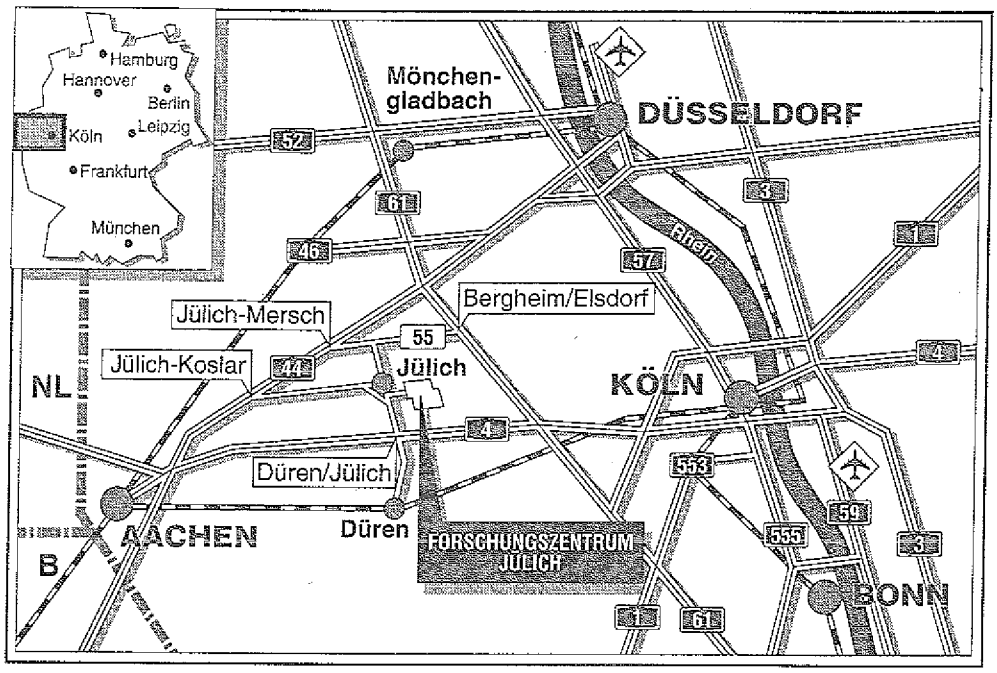
FORSCHUNGSZENTRUM JÜLICH GmbH

Institut für Schicht- und Ionentechnik

Herstellung und Charakterisierung des selektiv gewachsenen Permeable Base Transistors

Wolfgang Langen



Berichte des Forschungszentrums Jülich ; 2611
ISSN 0366-0885
Institut für Schicht- und Ionentechnik Jül-2611

Zu beziehen durch: Forschungszentrum Jülich GmbH · Zentralbibliothek
Postfach 1913 · D-5170 Jülich · Bundesrepublik Deutschland
Telefon: 02461/61-6102 · Telefax: 02461/61-6103 · Telex: 833556-70 kfa d

Herstellung und Charakterisierung des selektiv gewachsenen Permeable Base Transistors

Wolfgang Langen

Inhaltsverzeichnis

Physikalische Größen und Abkürzungen

A	:	Fläche
b	:	Breite der Wolfram-Streifen und des Kanals
C	:	Kapazität
C_{Hl}	:	Kapazität aufgrund der Raumladungszonen in Halbleiter
C_{Is}	:	Kapazität eines Isolators
d	:	Dicke des Isolators
$\vec{E}$	:	Elektrische Feldstärke
E_F	:	Ferminiveau
E_L	:	Energie an der Leitungsbandkante
E_V	:	Energie an der Valenzbandkante
ϵ	:	Dielektizitätskonstante des Vakuums
ϵ_r	:	relative Dielektrizitätskonstante
F	:	Querschnittsfläche des Kanals
f_{max}	:	maximale Schwingfrequenz
f_T	:	Transitfrequenz
G	:	Gewinnfaktor
G_{DS}	:	Ausgangsleitwert
g_m	:	maximale Steilheit
h	:	Kanallänge
I_D	:	Drainstrom
I_R	:	Reststrom
j	:	Stromdichte
j_R	:	Reststromdichte
L_g	:	Gatelänge (Dicke des Gatemetalles)
N_D	:	n-Dotierung
μ	:	Beweglichkeit
n	:	Idealitätsfaktor
P	:	elektrische Leistung
Φ_{Bn}	:	Barrierenhöhe
Φ_S	:	Bandverbiegung
Q	:	Ladung

q	:	Elementarladung
R_B	:	Bahnwiderstand
R^*	:	effektive Richardsonkonstante
ρ	:	Raumladungsdichte
σ	:	Leitfähigkeit
T	:	Temperatur
U	:	Spannung
U_D	:	Diffusionspannung
U_G	:	Gatespannung
U_{Po}	:	Abschnürrspannung (Pinch off)
U_T	:	Temperaturspannung
U_{th}	:	Schwellspannung
φ	:	Potential
$\vec{v}_d$	:	Driftgeschwindigkeit
$\vec{v}_s$	:	Sättigungsgeschwindigkeit
w	:	Ausdehnung der Raumladungszone
z	:	Gateweite (Summe aller Gatestreifen)

GaAs	:	Galliumarsenid
HBT	:	Heterojunction Bipolar Transistor
HEMT	:	High Electron Moblity Transistor
HMDS	:	Hexamethyldisilazan
LP-MOVPE	:	Low Pressure - Metal Organic Vapour Phase Epitaxy
MBE	:	Molecular Beam Epitaxy
MESFET	:	Metall Semiconductor Field Effect Transistor
MOMBE	:	Metal Organic Molecular Beam Epitaxy
MOVPE	:	Metal Organic Vapour Phase Epitaxy
PBT	:	Permeable Base Transistor
RIE	:	Reactive Ion Etching
SG-PBT	:	Selektiv Gewachsener Permeable Base Transistor
SEM	:	Sekundärelektronenmikroskopie
SiO_2	:	Siliziumdioxid
TEM	:	Transmissionselektronenmikroskopie
W	:	Wolfram

1 Einleitung

Die Entwicklung schneller und leistungsfähiger Bauelemente ist in den vergangenen Jahren immer weiter vorangetrieben worden. In vielen Bereichen der Halbleitertechnologie konnte ein besseres Verständnis der zu Grunde liegenden physikalischen Gesetzmäßigkeiten erworben werden, das wiederum Anstoß zu neuen Technologien gab. Über die physikalische Grundlagenforschung hinaus wird die Halbleiterphysik durch ihre Anwendungsmöglichkeiten motiviert. Schwerpunkte der aktuellen Forschung liegen auf dem Gebiet der Speicherbauelemente, die es gestatten, immer größere Datenmengen zu verarbeiten, und bei schnellen Schaltungen, die die Zugriffszeit auf die Daten und die Verarbeitungszeit verkleinern.

Durch Fortschritte in verschiedenen Epitaxieverfahren wird die Qualität der Halbleiterschichtsysteme weiter verbessert. Dies ermöglicht die hohe Leistungsfähigkeit bestehender Bauelemente und völlig neue Konzepte. Neben den fest etablierten Verfahren Molecular Beam Epitaxy (MBE), Metal Organic Vapour Phase Epitaxy (MOVPE) konnte auch die Metal Organic Molecular Beam Epitaxy (MOMBE) überzeugende Beweise ihrer Leistungsfähigkeit liefern [1].

Den Transistoren kommt als aktive Bauelemente eine besondere Bedeutung zu. Unter den Heterostrukturbauelementen haben sich insbesondere der High Electron Mobility Transistor (HEMT), der Heterojunction Bipolar Transistor (HBT) und der Permeable Base Transistor (PBT) als vielversprechend und zukunftsweisend herausgestellt [2],[3]. Der HEMT zeichnet sich durch besonders gute Hochfrequenzeigenschaften und Rauscharmut aus. Dies beruht vor allem auf der räumlichen Trennung von Dotieratomen und Ladungsträgern. Der HBT besitzt wegen seines Wide-Gap Emitters eine höhere Stromverstärkung als herkömmliche Bipolartransistoren.

Der Permeable Base Transistor wurde 1979 von C.O. Bozler und G.D. Alley vorgeschlagen und im GaAs Materialsystem realisiert [4]. Ein feines Streifengitter aus Wolfram, welches als Gate dient, wurde durch epitaktisches Überwachsen in GaAs eingebettet. Der seinem Aufbau nach vertikale Transistor moduliert den durch das Gitter fließenden Source-Drain-Strom über das am Wolfram-Gate angelegte Potential. Numerische Berechnungen ergeben für den PBT eine Transitfrequenz und eine maximale Schwingfrequenz von mehr als 200 GHz [5]. Experimentell wurde bisher eine maximale Schwingfrequenz von 223 GHz und eine Transit-

frequenz von 50 GHz erreicht [5], [6]. Mögliche Anwendungen für den PBT sind schnelle digitale Logikschaltungen und analoge Hochfrequenz-Leistungsverstärker [5]. Wegen seines vertikalen Aufbaus ist der PBT auch für eine dreidimensionale Integration geeignet.

Um die Grenzfrequenzen und die Gleichstromeigenschaften des PBT's zu verbessern, müssen Kapazitäten und Widerstände verringert und das Herstellungsverfahren optimiert werden. Beim Überwachsen der Wolfram-Streifen mit GaAs treten Kristallbaufehler und Löcher gerade im Steuerbereich des Transistors auf [7]. Diese beeinträchtigen das elektrische Verhalten und die Reproduzierbarkeit.

In dieser Arbeit soll ein PBT entwickelt werden, bei dem das Wolfram-Gate in zwei SiO_2-Schichten eingebettet wird. Anschließend sollen Kanäle durch das Schichtpaket geätzt werden, die dann wieder mittels selektiver Epitaxie mit GaAs aufgefüllt werden. Der durch das SiO_2 bedingte Gate-Drain und Gate-Source Abstand und die kleine Dielektrizitätskonstante des SiO_2 reduzieren die Kapazitäten und ermöglichen damit höhere Frequenzen [8]. Die oberhalb des Wolframs auftretenden Kristallfehler entfallen, da an dieser Stelle kein GaAs mehr vorhanden ist.

Das Ziel der Arbeit ist die Entwicklung eines geeigneten Herstellungsverfahrens, das den neuen technologischen Erfordernissen (selektive Epitaxie, SiO_2-Schichten) Rechnung trägt. Die Epitaxie des selektiv gewachsenen Permeable Base Transistors (SG-PBT) soll sowohl mit MOVPE als auch mit MOMBE duchgeführt werden. Die Gesamtheit der technologischen Schritte soll mit Hilfe verschiedener Analyse-Verfahren bewertet und verbessert werden. Schließlich ist der fertiggestellte Transistor auf seine elektrischen Gleichstromeigenschaften hin zu untersuchen.

2 Grundlagen zum Permeable Base Transistor

Der Permeable Base Transistor (PBT) ist ein vertikal aufgebauter Feldeffekttransistor mit den drei Anschlüssen Source, Drain und Gate. Die Elektronen fließen bei einem n-dotierten Halbleiter durch den vertikalen Kanal von Source zu Drain, wobei der Stromfluß durch das am Gate angelegte Potential gesteuert wird.

Der prinzipielle Aufbau des selektiv gewachsenen PBT's (SG-PBT), wie er in dieser Arbeit zum erstenmal vorgestellt wird, ist in Abb. 1 dargestellt [8]. Das aus

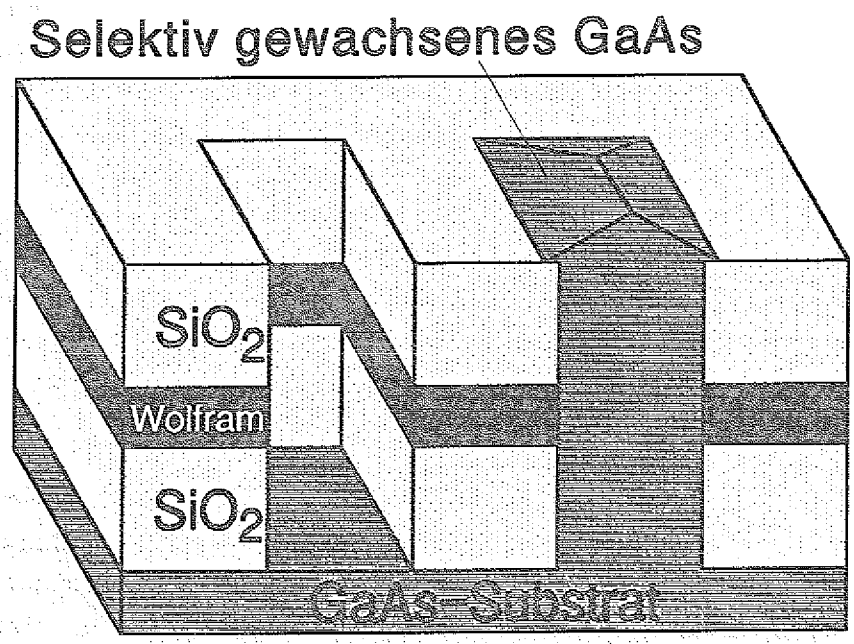


Abbildung 1: Querschnitt des selektiv gewachsenen Permeable Base Transistors mit $SiO_2/W/SiO_2$ Gate.

Wolfram bestehende Gate ist in SiO_2 eingebettet und bildet mit dem GaAs in den Kanälen einen Schottky-Kontakt. Die elektrischen Eigenschaften, die Herstellung und die Physik dieses Bauelementes sind Thema der Arbeit. Um die Funktionsweise des PBT's zu verstehen, wird zunächst der Schottky - Kontakt und damit die Steuerrung des Stromes durch den Feldeffekt behandelt. Mit diesem Verständnis wird der PBT allgemein und anschließend der SG-PBT diskutiert.

2.1 Der Metall-Halbleiter Übergang

Ein Metall - Halbleiter Übergang wird als Schottky-Kontakt bezeichnet, wenn damit eine Barriere für den Ladungsträgertransport gegeben ist. Das Funktionsprinzip der darauf basierenden Schottky-Diode soll nun erläutert werden. An dieser Stelle, wie auch in der gesamten Arbeit, wird immer von einem n-dotierten Halbleiter ausgegangen.

Im thermodynamischen Gleichgewicht stimmt das Ferminiveau E_F des Metalls mit dem des Halbleiters überein [9]. An der Metall-Halbleiter-Grenzfläche bilden sich im verbotenen Band Grenzflächenzustände aus. Diese Zustände tragen eine elektrische Ladung, die zu einer Dipolschicht führt. Sie haben eine typische Dichte von $10^{12}\ cm^{-2}$, und können damit das Ferminiveau pinnen. Dies bedeutet, daß die Lage des Ferminiveaus weitgehend unabhängig von der Höhe der n-Dotierung des Halbleiters und der Austrittsarbeit des verwendeten Metalls ist. Bei n-GaAs ist das Ferminiveau bei etwa 0.8 eV oberhalb des Valenzbandmaximums gepinnt. Die Barrierenhöhe Φ_{Bn}, also die energetische Differenz zwischen dem Maximum des Leitungsbandes des Halbleiters und dem Ferminiveau an der Grenzfläche, wird durch Zustände an der Metall-Halbleiter Grenzfläche bestimmt (Metal-Induced Gap States) [10], [11], sie soll hier jedoch als phänomenologische Größe betrachtet werden.

Bei einem n-dotierten Halbleiter fließen Elektronen aus dem Halbleiter in das Metall. Im Halbleiter bildet sich eine positiv geladene Raumladungszone aus, der eine negativ geladene Metallschicht gegenübersteht. Aus Gründen der Ladungsneutralität sind diese Ladungen von gleichem Betrag. Im Metall ist die Ladungsträgerkonzentration an frei beweglichen Elektronen bedeutend höher als die im Halbleiter, daher wird die Dipolladung im Metall schon nach wenigen Angström abgeschirmt (Thomas-Fermi-Abschirmung), während die Raumladungszone weit in den Halbleiter hineinreichen kann.

Die Ausdehnung der Raumladungszone im Halbleiter ist von der Dotierung des Halbleiters abhängig. Das Bändermodell für den Metall - Halbleiter - Kontakt und die Ladungsverteilung nach der Schottky-Näherung zeigt Abb. 2.

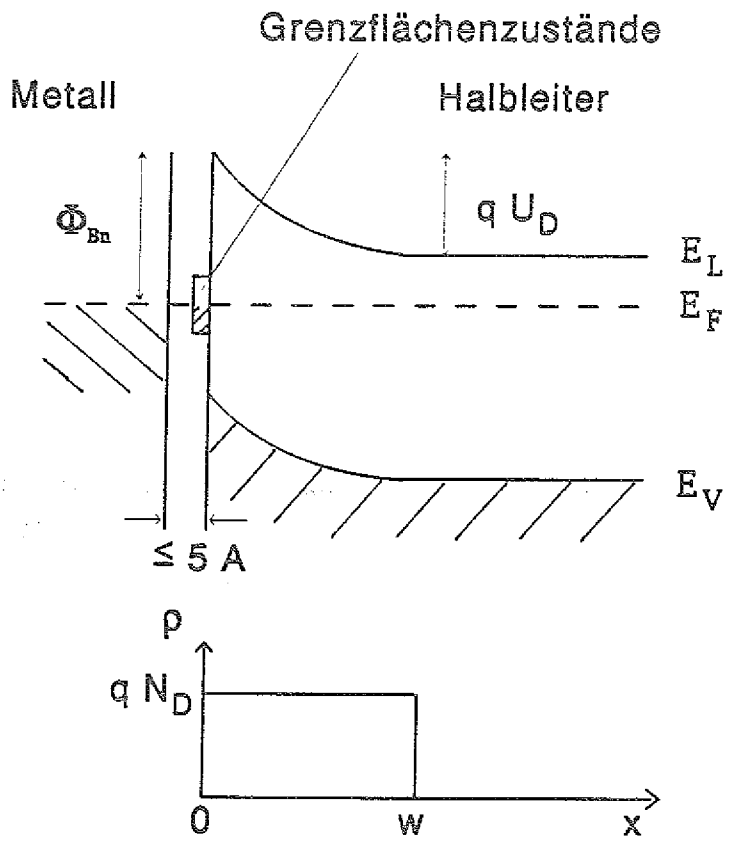


Abbildung 2: Bänderschema des Metall-Halbleiter-Kontaktes im thermodynamischen Gleichgewicht mit Bandverbiegung. Die Grenzflächenzone mit den Grenzflächenzuständen ist vergrößert gezeichnet. Im unteren Bild wird die Raumladungszone im Halbleiter mit der Raumladungsdichte ρ dargestellt.

Im Schottky-Modell wird angenommen, daß sich in dem Gebiet $0 < x < w$ nur ionisierte Donatoren der räumlichen Dichte N_d befinden, deren Ladung, im Gegensatz zum Inneren des Halbleiters, nicht mehr von frei beweglichen Elektronen kompensiert wird. Die Weite w der Raumladungszone im Halbleiter kann nach diesem Modell näherungsweise berechnet werden. Die Raumladungsdichte ρ ist:

$$\rho(0 < x < w) = qN_d \tag{1}$$

$$\rho(x > w) = 0 \tag{2}$$

Als Randbedingung wird angenommen, daß die Spannung nur über dem verarmten Bereich abfällt, und daß für $x > w$ das Potential φ und die Ableitung des

Potentiales φ gleich Null ist. Aus der eindimensionalen Poisson-Gleichung:

$$\frac{\partial^2 \varphi}{\partial x^2} = -\frac{qN_d}{\varepsilon \varepsilon_r} \tag{3}$$

folgt nach zweimaliger Integration die Ausdehnung w der Raumladungszone

$$w = \sqrt{\frac{2\varepsilon\varepsilon_r(U_d - U)}{qN_d}} \tag{4}$$

wobei U_d die sogenannte Diffusionsspannung, ε die Dielektrizitätskonstante des Halbleiters und ε_r die Dielektrizitätskonstante des Vakuums ist. Die Spannung U liegt zwischen Metall und Halbleiter an (vgl. Abb. 5). Aus Gl. 4 geht hervor, daß das von Elektronen verarmte Gebiet durch Anlegen einer äußeren Spannung U vergrößert bzw. verkleinert werden kann. Die Ausdehnung der Raumladungszone ist in Abb. 3 als Funktion der Spannung U dargestellt.

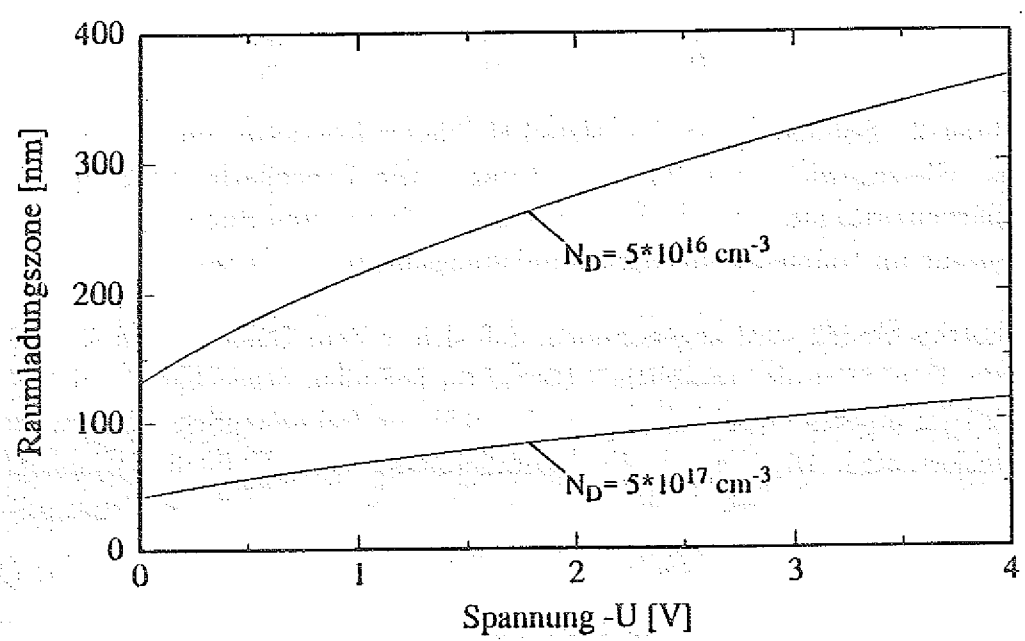


Abbildung 3: Weite der Raumladungszone in Abhängigkeit der Spannug U für zwei verschiedene Dotierungen

Für die Erklärung des Stromtransportes vom Halbleiter in das Metall (vgl. Abb. 4) müssen mehrere Mechanismen herangezogen werden [9].

1. *Thermische Emission*: Die Elektronen besitzen genügend thermische Energie, um die Barriere q U_d zu überwinden.

2. *Feldemission*: Die Raumladungszone ist so schmal, daß die Elektronen die Barriere durchtunneln können.

3. *Generations-Rekombinationsstrom*: Dieser Strom wird durch die Erzeugung oder Vernichtung von Elektron-Lochpaaren in der Raumladungszone getragen.

4. *Injektionsstrom*: Dieser Strom ensteht durch die Injektion von Löchern aus dem Metall in das Halbleiterinnere hinein.

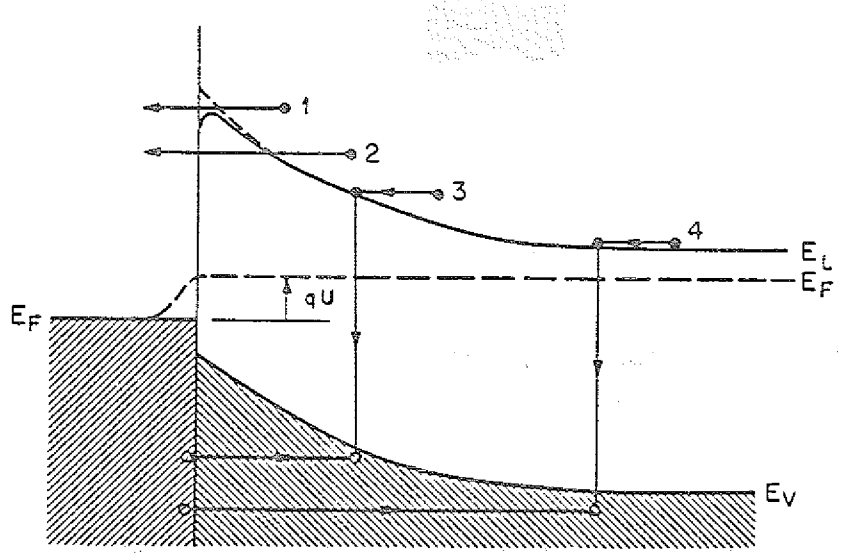


Abbildung 4: Stromtransportmechanismen des Metall-Halbleiterkontaktes bei Spannung in Durchlaßrichtung [9]

Welcher Mechanismus jeweils überwiegt, hängt entscheidend von der Dotierung des Halbleiters ab. Je stärker der Halbleiter dotiert ist, desto dünner ist die Ausbreitung der Verarmungszone, und desto größer ist die Tunnelwahrscheinlichkeit. Die physikalisch unterschiedlichen Übergänge haben Auswirkungen auf die Kennlinie einer Gleichstrom - Messung (vgl. Kapitel 4.3.3).

Der über die Schottky-Barriere fließende Strom I kann mit folgender Gleichung beschrieben werden [10]:

$$I = I_0(exp(\frac{U}{U_T}) - 1) \tag{5}$$

wobei $U_T = kT/q$ als Temperaturspannung bezeichnet wird. In Abhängigkeit von der Polung kann die Diode in Durchlaßrichtung oder in Sperrichtung betrieben werden.

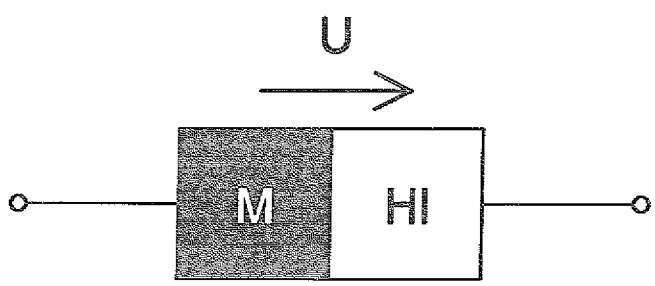


Abbildung 5: Die Spannung U liegt zwischen Metall und Halbleiter an.

Die Diodentheorie liefert auch die Abhängigkeit des Stromes I_0 von der Temperatur T und der Barrierenhöhe Φ_{Bn} [12]:

$$I_0 = AR^*T^2exp(-\frac{\Phi_{Bn}}{qU_T}) \tag{6}$$

A ist die Metall-Halbleiter Kontaktfläche und R^* die effektive Richardson-Konstante, diese ist für Galliumarsenid $\approx 8.15\ A/cm^2$ [11]. Aus Gleichung (6) läßt sich bei Kenntnis der I-U Diodenkennlinie die Barrierenhöhe Φ_{Bn} bestimmen.

$$\Phi_{Bn} = kT \cdot ln(\frac{AR^*T^2}{I_0}) \tag{7}$$

In der Realität wird die exakte Dioden - Gleichung nicht erfüllt. Die Abweichungen sind auf eine Reihe von Effekten zurückzuführen, die in der Theorie der

idealen Diode nicht berücksichtigt werden [9]. Zum einen ist die Barrierenhöhe Φ_{Bn} nicht konstant, sondern spannungsabhängig. Außerdem werden die an einer Metall-Halbleiter Grenzfläche auftretenden Grenzflächenzustände und Störstellen vernachlässigt. Die Abweichung der realen von der idealen Kennlinie im Durchlaßbereich wird durch einen Idealitätsfaktors n charakterisiert [9]. Mit ihm lautet dann die Diodengleichung:

$$I = I_0 \cdot (exp(\frac{U}{nU_T}) - 1) \tag{8}$$

Bei höheren Dotierungen wird der Tunnelstrom immer stärker. Er führt insbesondere im Sperrbereich einer Diode zu einem spannungsabhängigen Stromanstieg. Als Maß für diesen Sperrstrom wird in dieser Arbeit der U = -1.5 V fließende Strom I_R benutzt, der als Reststrom bezeichnet wird.

$$I_R = I(U = -1.5V) \tag{9}$$

2.2 Der Metall-Halbleiter Feldeffekt Transistor

Der Permeable Base Transistor ist ein vertikal aufgebauter MESFET (Metall Semiconductor Field Effekt Transistor). Zum besseren Verständnis des Permeable Base Transistors wird nun kurz auf den MESFET eingegangen.

Der MESFET ist ein unipolares Bauelement, dies macht ihn insbesondere für schnelle Anwendungen interessant, da die Schaltzeiten nicht durch die Rekombinationszeiten der Minoritätsladungsträger vergrößert werden.

Ein bei der Spannung $U_G = 0$ V geöffneter Transistor ist vom Verarmungs-Typ, zu seiner Steuerung muß die Raumladungszone im Kanal vergrößert werden. Der bei einer Spannung von $U_G = 0$ V nicht leitende Transistor ist vom Anreicherungs-Typ, für eine Stromleitung muß die Raumladungszone im Kanal verkleinert werden. In Abbildung 6 ist ein N-Kanal-Verarmungs-MESFET dargestellt. Das aus einem Metall bestehende Gate bildet mit dem n-GaAs einen Schottky-Kontakt. Die Ausdehnung w der Raumladungszone kann durch das am Gate angelegte Potential gesteuert werden. Der für den Source-Drain Strom zur Verfügung stehende Kanal wird gemäß $w \sim \sqrt{U_D - U}$ verbreitert bzw. verkleinert. An dem Drain-nahen Gate-Ende besteht eine größere Spannungsdifferenz U zwischen Gate und

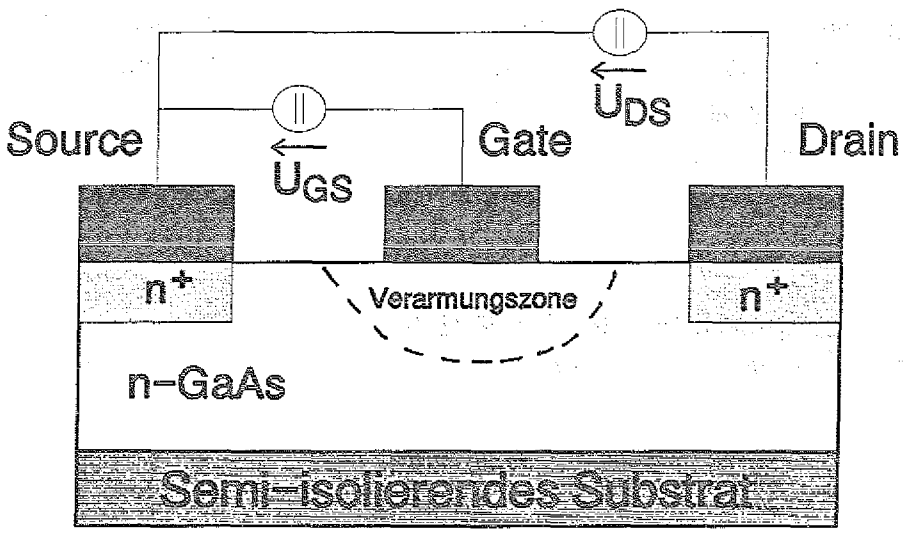


Abbildung 6: Querschnitt eines N-Kanal-MESFET's mit eingezeichneter Raumladungszone bei einer Source-Drain Spannung von 0V.

Kanal als an dem Drain-fernen Ende. Folglich ist die Raumladungszone, bei Anlegen einer Spannung, nicht symmetrisch um das Gate angeordnet, sondern zum Drain-Kontakt hin verschoben. Wird die Gate-Source Spannung U_{GS} immer weiter erhöht, so ist schließlich der gesamte Kanal an einer Stelle abgeschnürt (Pinch off). Obwohl man aufgrund der Schottky-Näherung erwarten könnte, daß ab der Pinch off - Spannung U_{Po} kein Strom mehr durch den Kanal fließt, ergibt sich selbst bei steigender Drain-Source-Spannung ein konstanter Sättigungsstrom. Die Stromleitung wird durch die Injektion von Elektronen, die nicht im thermodynamischen Gleichgewicht sind, aus dem Source-Anschluß in den verarmten Bereich ermöglicht.

Elektronen im n-dotierten GaAs bewegen sich ohne äußeres Feld mit der temperaturabhängigen thermischen Geschwindigkeit. Die sich durch ein angelegtes elektrisches Feld zusätzlich ergebende Geschwindigkeit wird Driftgeschwindigkeit $\vec{v}_d$ genannt. Der Zusammenhang von Driftgeschwindigkeit und elektrischer Feldstärke für GaAs geht aus Abb. 7 hervor. Bei höheren Feldstärken geht die Driftgeschwindigkeit in die Sättigungsgeschwindigkeit $\vec{v}_s$ über. Das im GaAs Materialsystem auftretende Maximum bei einer elektrischen Feldstärke $E \approx 4$ kV/cm

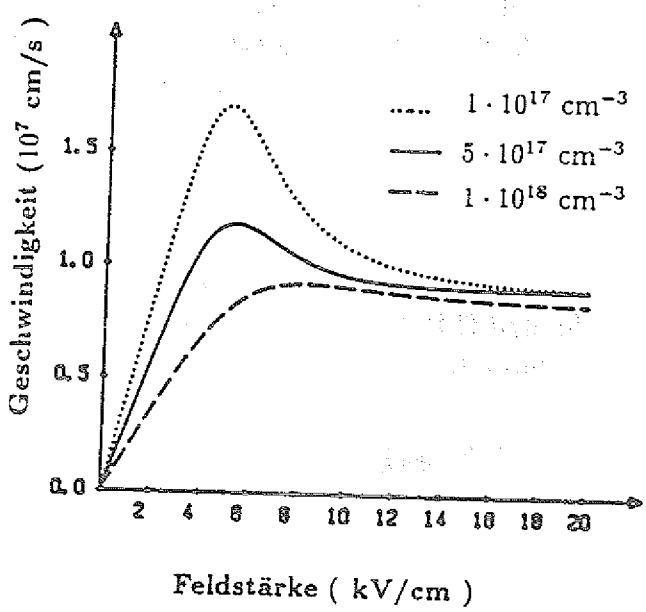


Abbildung 7: Driftgeschwindigkeit als Funktion der Feldstärke für GaAs bei 300 K und verschiedenen Dotierungen [12]

führt dazu, daß die Geschwindigkeit der Elektronen einen Wert annehmenm kann, der weit über der Sättigungsgeschwindigkeit $\vec{v}_s$ liegt (Abb. 7). Dies hat Einfluß auf die Hochfrequenzeigenschaften eines Bauelementes, da die Schaltzeit von der Transitzeit der Elektronen von Source nach Drain abhängt [14].

Im Hinblick auf Anwendungen ist es von Vorteil , daß MESFET's leistungsarm gesteuert werden. Wird das Gate in Sperrichtung betrieben, so fließt über das Gate nur ein kleiner Sperrstrom und die Steuerleistung P ist wegen $P = U \cdot I$ gering.

2.3 Der überwachsene Permeable Base Transistor

Der fortschreitenden Integration der Bauelemente auf kleiner werdender Fläche sind physikalische und technologische Grenzen gesetzt. Eine weitere Integration ist nur noch unter Verwendung drei-dimensionaler Strukturen möglich. Vertikale Transistoren ermöglichen kürzere Source-Drain Abstände als lateral angeordnete Bauelemente. Dies reduziert sowohl die Transitzeit der Elektronen als auch die Source- und Drain-Bahnwiderstände.

Bei einem vertikalen Bauelement wie dem PBT wird die Gatelänge nicht durch die Lithographie sondern durch die Dicke der epitaktisch und durch Verdampfung aufgebrachten Schichten bestimmt. Ein besonderer Vorteil einer vertikalen Transistor Struktur liegt in der Möglichkeit, die Gatelänge und die Dotierung des Kanals unabhängig voneinander zu optimieren. Dies liefert eine große Zahl von Anwendungsmöglichkeiten [15],[16].

Der Permeable Base Transistor ist ein vertikal aufgebauter Transistor, er wurde 1979 erstmals von C.O.Bozler und G.D.Alley hergestellt und numerisch berechnet [4]. Der Aufbau dieses Transistors ist in Abb.8 dargestellt.

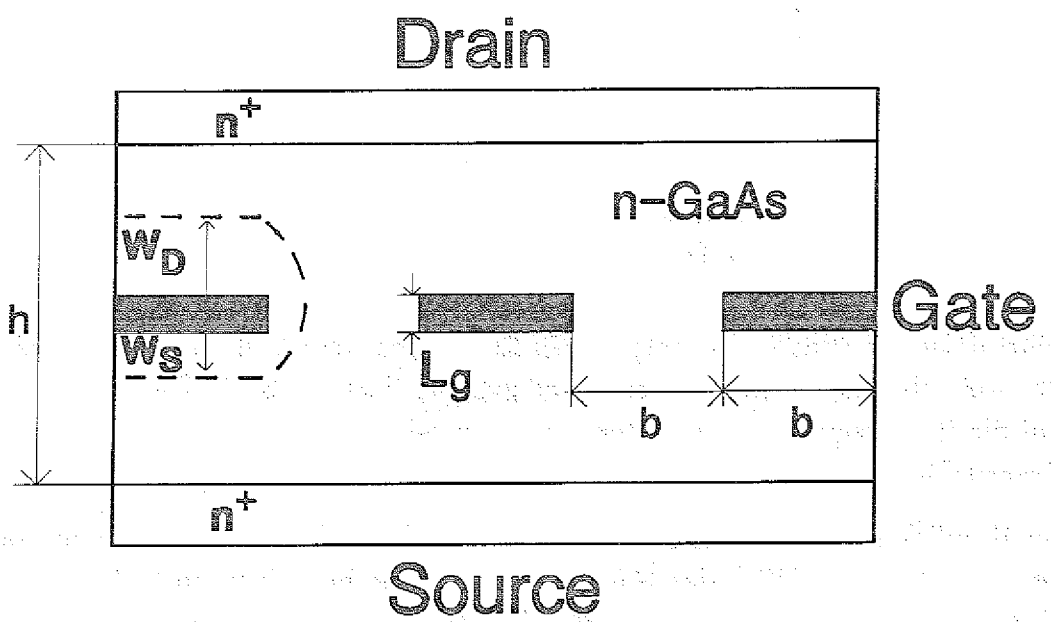


Abbildung 8: Aufbau des Permeable Base Transistors mit vergrabenem Wolfram - Gate, der sich darum ausbildenden Raumladungszone und den im Text verwendeten geometrischen Größen

Auf einem n^+ Substrat wird ein Gitter aus Wolfram durch epitaktisches Überwachsen in n-GaAs-Schichten eingebettet. Die Wolfram Streifen werden durch Röntgenstrahl Lithographie definiert. Der Elektronenfluß wird durch Ionenimplantation auf den steuerbaren Bereich des Wolfram - Gitters beschränkt. Das mit Protonen beschossene GaAs ist so stark gestört, daß der elektrische Wi-

derstand sehr hohe Werte animmt. Das Wolfram bildet mit dem GaAs einen Schottky-Kontakt, mit dem der von Source zu Drain fließende Strom gesteuert wird.

Es soll nun der Einfluß der Gate-Spannung auf den im Kanal des PBT's fließenden Strom untersucht werden. Dazu werden zwei Gate-Spannungen herausgegriffen, U_{G1} und U_{G2}. Diese seien durch

$$U_{G1} < U_{Po} < U_{G2}$$

definiert. Bei der Spannung U_{G1} wird der Strom durch die Ausdehnung der Raumladungszone limitiert (geometrische Einengung). Diese wird mit wachsender Spannung U_{G1} größer, bis sich die Raumladungszonen der Gate-Streifen bei $U_{G1} = U_{Po}$ berühren.

Wird die Spannung weiter erhöht ($U_{G2} > U_{Po}$), so bildet sich im Gate-Bereich eine negative Raumladung aus, die für die Elektronen eine Elektronenbarriere darstellt (raumladungsbegrenzter Strom). Energiereiche Elektronen, die von der Source injiziert werden, können bis zu einer bestimmten Gate-Spannung U_G die Barriere jedoch weiterhin überwinden.

Das durch die angelegte Gate-Spannung im Kanal auftretende Potential steuert also den von Source nach Drain fließenden Strom I_D. Dies ist auch an der Ausgangskennlinie zu sehen, bei dieser wird der Drain-Strom I_D über der Spannung zwischen Drain und Source U_{DS} als Funktion der Gate-Spannung aufgetragen (vgl. Abb. 9).

Aus den Ausgangskennlinien läßt sich eine wichtige Größe ablesen, die Steilheit g. Sie ist definiert als:

$$g = \frac{dI_{DS}}{dU_{GS\,|U_{DS}=const.}} \tag{10}$$

Aus Abb. 9 ergibt sich damit eine maximale Steilheit ($g_m = \max[g]$) von

$$g_m = \frac{\Delta I_{DS}}{\Delta U_{GS\,|U_{DS}=const.}} = \frac{11.82mA}{1V}_{|U_{DS}=2V} = 11.82mS \tag{11}$$

Die geometrische Einengung des Stromes bei der Spannung U_{G1} führt zu einem FET- oder pentodenartigen Verlauf der Kennlinien [16]. Diese sind rechtsgekrümmt, und der Strom I_D ist ab einer bestimmten Spannung U_{DS} „konstant".

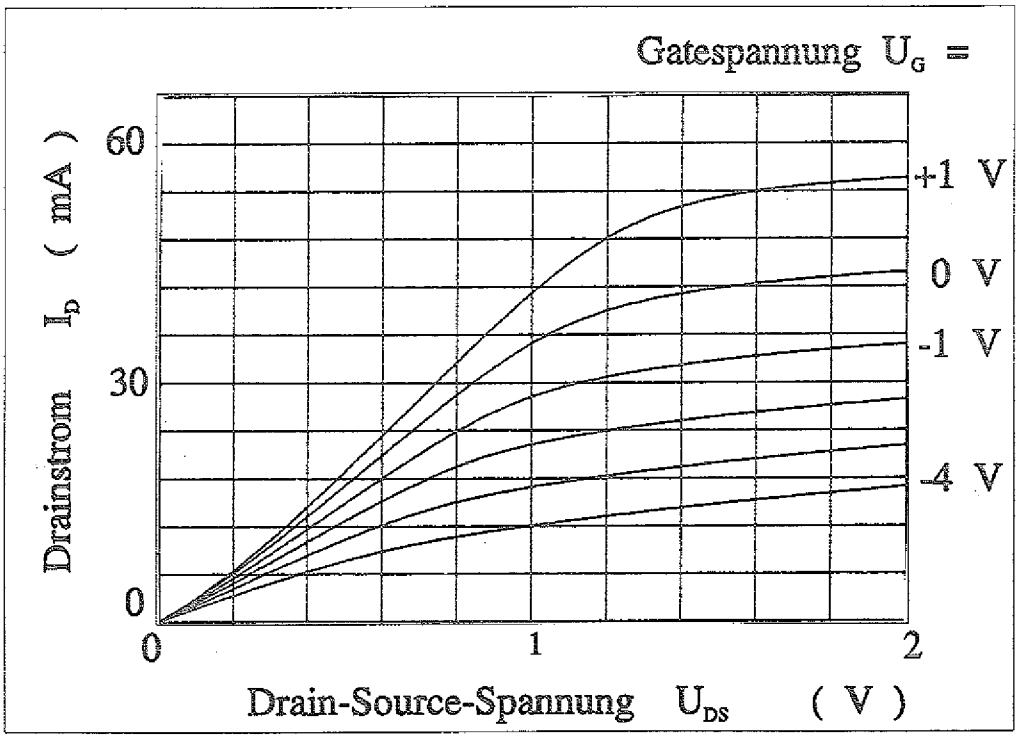


Abbildung 9: Ausgangskennlinie eines in dieser Arbeit hergestellten PBT's zur Erläuterung der Steilheit g_m.

Die Sättigung des Drain-Stromes I_D tritt auf, da ein Anstieg von I_D einen Potentialanstieg im Kanal bewirken würde. ($U_{Kan} = I_D \cdot R_{Kan}$, wobei R_{Kan} der Widerstand im Kanal zwischen Source und Gate und U_{Kan} die darüber abfallende Spannung ist). Die Raumladungszone müßte folglich breiter und der Drain-Strom geringer werden. Aufgrund dieser negativen Rückkopplung kann der Drain-Strom nicht ansteigen [17]. Bei U_{G2} ist der Strom raumladungsbegrenzt, die Kennlinien zeigen ein triodenartiges Verhalten [16], der Drain-Strom geht mit steigender Spannung U_{DS} nicht in eine Sättigung.

Die beiden Bereiche der Stromsteuerung zeigen sich auch in der Transfercharakteristik. Dort wird der Drain-Strom als Funktion der Spannung zwischen Gate und Source aufgetragen, wobei die Spannung U_{DS} konstant gehalten wird (vgl. 4.3.6). Im Bereich der geometrischen Einengung ist der Drain-Strom vom Quadrat der Gate-Spannung abhängig. Im Bereich des raumladungsbegrenzten Stromes ist der Drain-Strom exponentiell von U_G abhängig [4]. Der Übergang vom parabelförmigen zum exponentiellen Verlauf erfolgt, wenn sich in der Kanalmitte eine Raumladungszone ausbildet [4].

Nach numerischen Berechnungen ergeben Permeable Base Transistoren gute Hochfrequenzeigenschaften [4], [5]. Ein wichtiger Wert zu deren Charakterisierung ist die Transitfrequenz f_T. Sie ist definiert als die Frequenz, bei der die Stromverstärkung auf eins abgefallen ist. Für die Transitfrequenz gilt [4]:

$$f_T = \frac{g_m}{2\pi C_{ges}} \tag{12}$$

C_{ges} ist hierbei die totale Ladungsänderung pro Spannungsänderung (Kleinsignalkapazität) zwischen Gate und Source.

$$C_{ges} = \frac{dQ}{dU_{GS}} \tag{13}$$

Um die für den Bereich der Digitalelektronik wichtigen hohen Transitfrequenzen zu erzielen, ist wegen Gl. 12 eine möglichst hohe Steilheit g_m und eine kleine Kapazität erforderlich [18].

Der PBT kann als aktives Bauelement auch oberhalb der Transitfrequenz f_T eingesetzt werden. Die maximal erreichbare Schwingfrequenz wird als f_{max} bezeichnet. Sie ist definiert als die Frequenz bei der der unilaterale Leistungsgewinn gerade eins ist [18]. Im Kleinsignal-Ersatzschaltbild der Abb. 10 sind die für das statische und das Hochfrequenzverhalten des PBT's wesentlichen Größen eingetragen [19].

Die Kapazitäten C_{GS} und C_{GD} entsprechen den Raumladungszonen, die Widerstände den ohmschen Verlusten und der Ausgangsleitwert G_{DS} entspricht der Steigung der Ausgangskennlinien. Unter der Annahme, daß $C_{GS} = C_{GD}$, eines vernachlässigbaren Source-Widerstandes R_S und Gate-Widerstandes R_G, kann daraus ein genäherter Ausdruck für die maximale Schwingfrequenz f_{max} abgeleitet werden [19]:

$$f_{max} = \frac{f_T}{\sqrt{(G_{DS} R_{GS})}} \tag{14}$$

Diese Näherung ist sicherlich sehr grob, dennoch unterstreicht sie die Bedeutung einer hohen Transitfrequenz, eines kleinen Gate-Source-Widerstandes und kleinen Ausgangsleitwertes.

Numerische Rechnungen für den PBT ergeben eine Transitfrequenz f_T von über 200 GHz [5]. Hergestellte PBT's erreichen eine Transitfrequenz f_T von 50 GHz [5]. Diese Diskrepanz kann auf mehrere Ursachen zurückgeführt werden. Zum

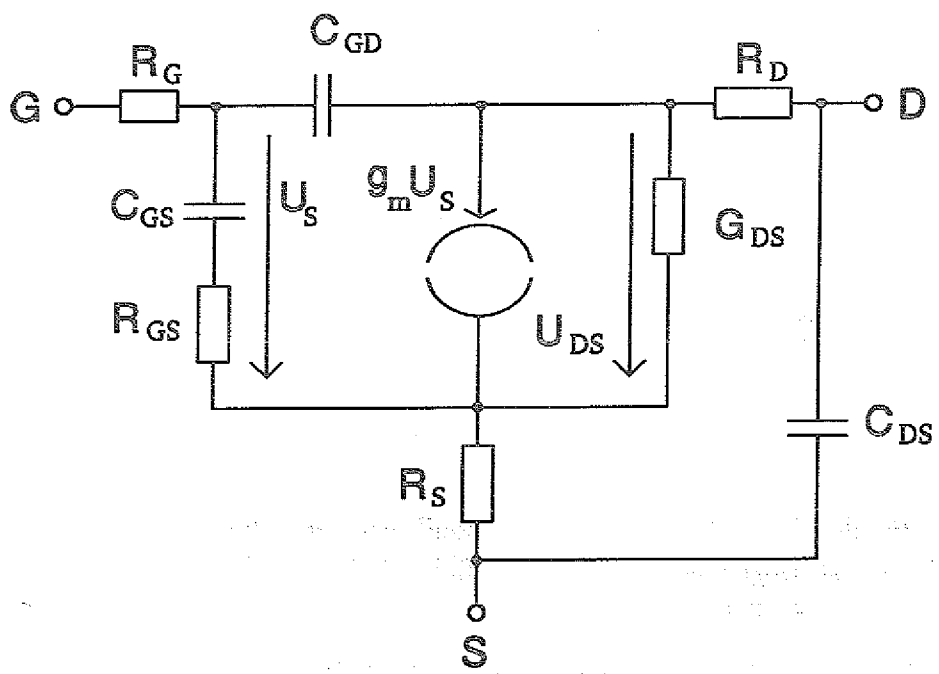


Abbildung 10: Kleinsignal-Ersatzschaltbild des PBT's, die Raumladungszonen des PBT's werden durch die Kapazitäten C_{GS} und C_{GD} beschrieben [19].

einen sind die hergestellten PBT's noch nicht ausreichend optimiert worden, zum anderen beruhte die numerische Vorhersage von f_T bzw. f_{max} auf Annahmen, die Effekte wie den heißen Ladungsträgertransport unzureichend berüchsichtigen [12]. Es treten auch Probleme mit der großen Grenzfläche von Wolfram und GaAs auf. Aus dem Wolfram diffundieren Fremdstoffe in das benachbarte GaAs und beeinträchtigen diese elektrisch aktiven Gebiete. Weitere Schwierigkeiten ergeben sich insbesondere aus Defekten, die beim Überwachsen des Wolframs mit GaAs enstehen. Wie mit TEM aufgeklärt werden konnte, bilden sich Stapelfehler und Löcher aus, die zu einer Beeinträchtigung von Steilheit und Hochfrequenzverhalten führen [7]. Die angesprochenen Defekte, die beim Überwachsen des Wolframs an der Wolfram/GaAs Grenzfläche entstehen, führen zu Problemen bei der reproduzierbaren Herstellung eines PBT's.

Adachi et al. versuchten dieses Grenzflächenproblem zu umgehen [20]. Sie umgaben die Wolfram-Finger mit einer dünnen Schicht von SiO_2 (60 nm) und überwuchsen diese Schichten in einer MOVPE-Anlage ganzflächig mit GaAs (vgl. Abb. 11). Damit konnte die kritische W/GaAs Grenzfläche auf den Kanal Bereich

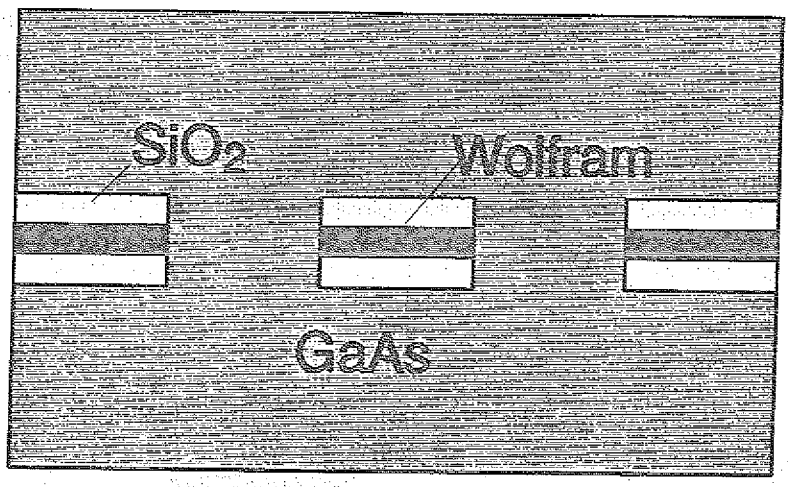


Abbildung 11: Der ganzflächig überwachsene $SiO_2/W/SiO_2$ PBT

reduziert werden. Oberhalb der SiO_2-Flächen bleibt das Problem des Wachstums von GaAs auf ein anderes Material jedoch bestehen. Der Drain-Strom in den hergestellten Strukturen war wesentlich kleiner als in den herkömmlichen PBT's. Bei einer Drain-Source - Spannung von 2 V wurde ein maximaler Drain-Strom von 1 mA ! bei einer Gate-Spannung von + 1.7 V erreicht (Die Stromdichten wurden nicht angegeben). Als mögliche Erklärung für diesen kleinen Drain-Strom wurden Kristalldefekte zwischen dem GaAs und dem SiO_2 bzw. Wolfram angegeben.

2.4 Der selektiv gewachsene Permeable Base Transistor

Es soll nun der in der vorliegenden Arbeit herzustellende selektiv gewachsene Permeable Base Transistor (SG-PBT) [8] vorgestellt und erläutert werden. Für die Beschreibung des genauen technologischen Ablaufes wird auf Kapitel 3 verwiesen.

Im Unterschied zu den im Kapitel 2.3 aufgeführten PBT's wird bei diesem Transistor das Gate nicht ganzflächig überwachsen, vielmehr werden die Kanäle des Gates selektiv aufgefüllt. Den prinzipiellen Aufbau des Bauelementes zeigt Abb. 12. Diese Struktur besitzt verschiedene Vorteile. Zur Steuerung des Transistors sind

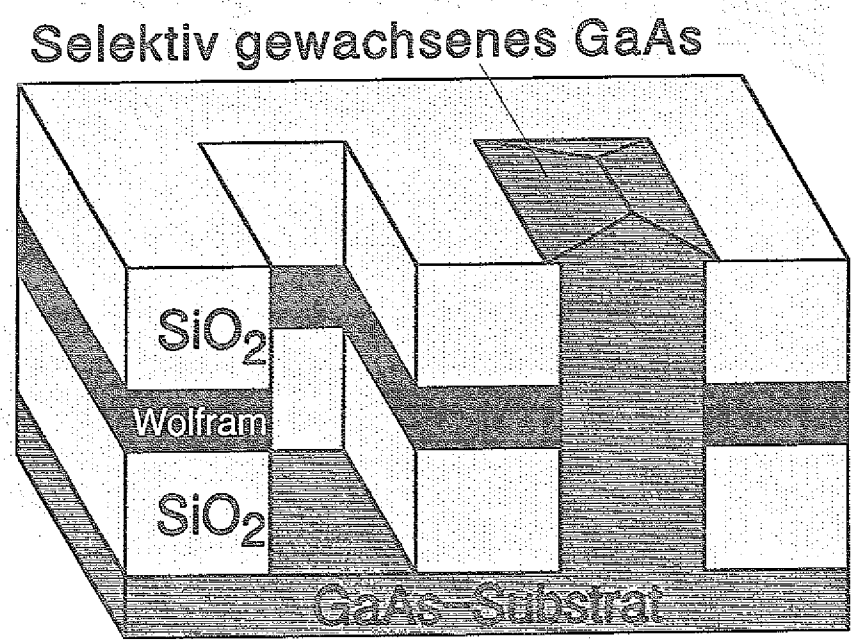


Abbildung 12: Aufbau des selektiv gewachsenen PBT's

nur die Raumladungszonen zwischen den Gate-Streifen notwendig. Die sich im herkömmlichen PBT oberhalb und unterhalb der Wolfram-Streifen im GaAs ausbildenden Raumladungszonen erhöhen nur die Kapazitäten. Die SiO_2-Schicht führt zu einer Reduzierung der Gate-Source und der Gate-Drain Kapazität. Die W/SiO_2 Schichtenfolge bildet einen Plattenkondensator, dessen Kapazität durch

$$C = \varepsilon\varepsilon_r \frac{A}{d}$$

gegeben ist. Die Dielektrizitätskonstante von SiO_2 ist mit $\varepsilon_r = 3.9$ um einen Faktor 3.4 kleiner als die von GaAs $\varepsilon_r = 13.1$ [9]. Da die Kapazität C umgekehrt proportional zur Dicke d der SiO_2-Schicht ist, kann C über ein vergrößertes d (größer als die Ausdehnung der Raumladungszone im GaAs) weiter reduziert werden. Die Gesamtkapazität eines PBT's setzt sich bei Vernachlässigung parasitärer Kapazitäten aus drei Anteilen zusammen.

- Gate-Source Kapazität C_{GS}
- Gate-Drain Kapazität C_{GD}
- Gate-Kanal Kapazität C_{GK}

Durch die Einbettung des Wolframs in SiO_2 kann nur die Gate-Source- und die Gate-Drain- nicht aber die Gate-Kanal-Kapazität reduziert werden. Nach Berechnungen von Osman et al. [21] verteilt sich die Gesamtkapazität eines PBT's zu etwa 50 % auf die Kanal-Kapazität, zu 30 % auf die Drain-Kapazität und zu 20 % auf die Source-Kapazität. Diese Werte wurden bei einer Dotierung von $N_D = 1 \cdot 10^{16} cm^{-3}$, einer Gate - Spannung von 0 V und einer Drain - Spannung von 1 V berechnet.

Es wird nun die Änderung der Transitfrequenz f_T durch die Einbettung des Wolfram Gates in eine SiO_2 Schicht der Dicke d diskutiert [8] (vgl. Abb. 13). Wenn die Raumladungszonen im Halbleiter oberhalb (W_D) und unterhalb (W_S) des Gates konstant sind, kann die Gate-Drain und Gate-Source Kapazität durch die Plattenkondensatorformel ausgedrückt werden:

$$C_{Hl} = \epsilon_0 \epsilon_{Hl} \cdot z \cdot b(\frac{W_S + W_D}{W_S \cdot W_D}) \tag{15}$$

Darin bedeutet z die Gateweite und b die Breite eines Gatestreifens, die hier gleich der Kanalbreite ist. Die Kapazität des von einem Isolator umgebenen Gates ist bei gleichen Isolatordicken:

$$C_{Is} = \epsilon_0 \epsilon_{Hl} \cdot \frac{z \cdot b}{d} \tag{16}$$

Die Transitfrequenz ist jedoch nicht alleine durch die Gate-Drain und die Gate-Source-Kapazität sondern auch durch die Gate-Kanal-Kapazität C_K gegeben.

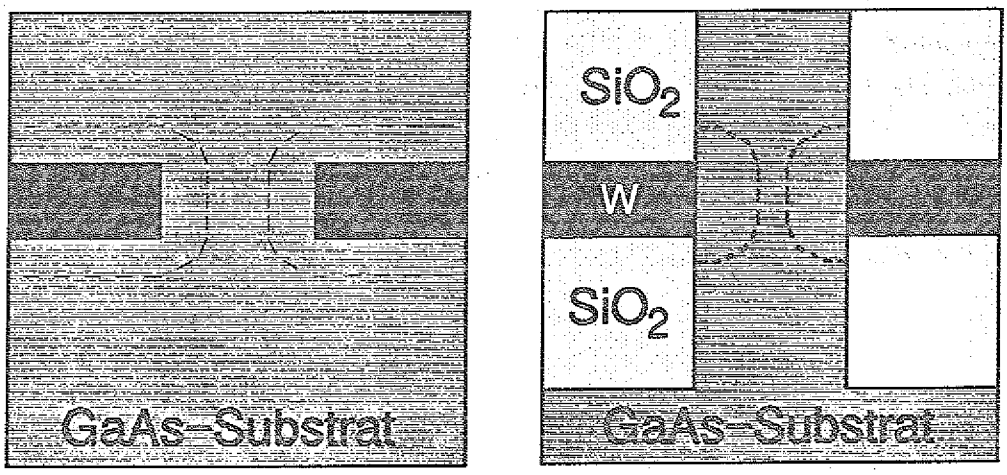


Abbildung 13: Durch das SiO_2 werden die Gate-Source und Gate-Drain-Kapazitäten reduziert. Gleichzeitig wird der den Elektronen zur Verfügung stehende Raum auf den Kanal beschränkt.

Näherungsweise kann diese, als die Kapazität eines halben Zylinderkondensators ausgedrückt werden [22].

$$C_K = \frac{1}{2} \cdot \frac{2\pi\epsilon_0\epsilon_{Hl} \cdot z}{ln(\frac{2W_S}{L_g})} \tag{17}$$

Wegen Gl. 12 ist dann das Verhältnis der Transitfrequenz des SG-PBT mit einem Isolator und der des PBT's mit einem Halbleiter um das Gate, unter der Voraussetzung gleicher Steilheiten:

$$G = \frac{f_{TIs}}{f_{THl}} = \frac{C_K + C_{Hl}}{C_K + C_{Is}} \tag{18}$$

Nach Einsetzen der Gl. 15, 16, 17 folgt daraus der Gewinnfaktor G:

$$G = \frac{1 + \frac{b}{2\pi} \cdot ln(\frac{2W_S}{L_G}) \cdot (\frac{W_S + W_D}{W_S \cdot W_D})}{1 + \frac{b}{\pi} \cdot ln(\frac{2W_S}{L_G}) \cdot (\frac{\epsilon_{Is}}{\epsilon_{Hl} \cdot d})} \tag{19}$$

Dieser soll nun für folgende Werte berechnet werden: Dicke des Isolatormaterials d = 400 nm, Weite der Raumladungszone zum Drain hin W_D = 300 nm, Weite

der Raumladungszone zur Source hin W_S = 100 nm, Dicke des Gatemetalles (Gatelänge) L_G = 40 nm, Breite eines Streifens b = 1 μm. Damit ergibt sich ein Gewinnfaktor von G = 3.2. Die Transitfrequenz des SG-PBT's wäre also bei diesen Parametern etwa dreimal so groß wie die des nicht in SiO_2 eingebetteten PBT's!

Es ist nicht sinnvoll die Dicke d immer weiter zu erhöhen, da der Gewinnfaktor für große d gegen einen Grenzwert strebt. Dieser ist gegeben durch:

$$\lim_{d \to \infty} G = 1 + \frac{b}{2\pi} \cdot ln(\frac{2W_S}{L_G})(\frac{W_S + W_D}{W_S \cdot W_D}) \tag{20}$$

Dieser Wert ist durch die stets verbleibende Kanal-Kapazität bedingt. Der Verlauf des Gewinnfaktors ist in Abb. 14 für die in dem obigen Beispiel gerechneten Werte als Funktion der SiO_2-Dicke d dargestellt. Bei diesen Parametern ist also eine SiO_2 Dicke von 200-400 nm sinnvoll.

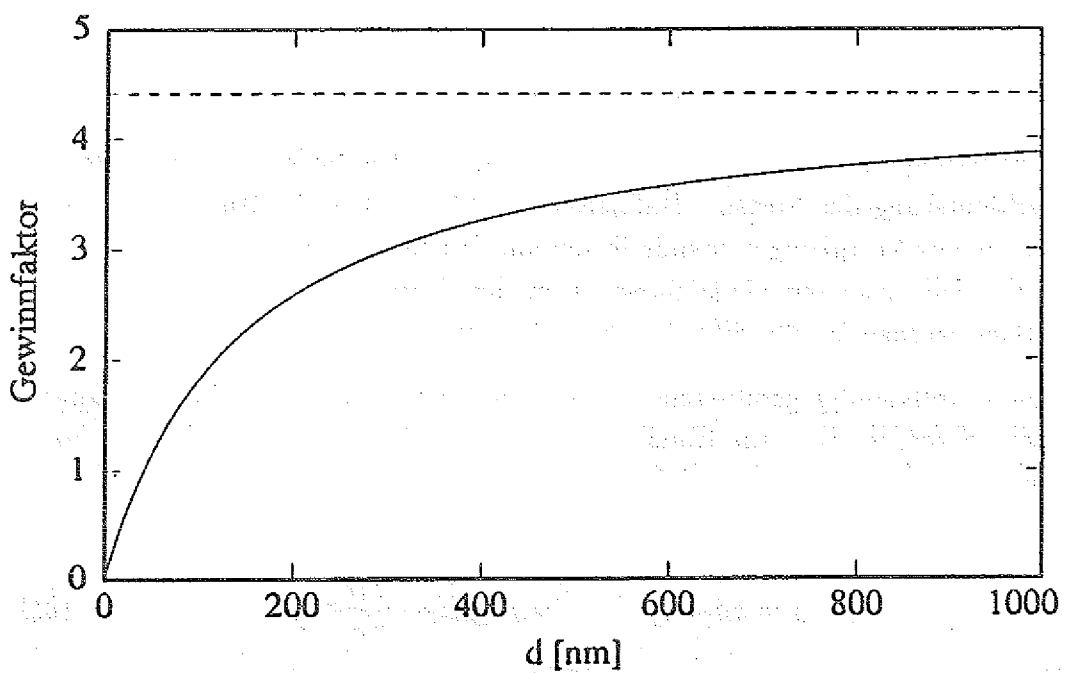


Abbildung 14: Gewinnfaktor G in Abhängigkeit von der Dicke d der SiO_2 - Schichten, Grenzwert gestrichelt. Gatelänge L_G = 40 nm, Streifenbreite b = 1 μm

Die von Source nach Drain fließenden Elektronen erfahren im Halbleiter einen

Widerstand, der hier als Kanalwiderstand R_K bezeichnet wird. Dieser ist gegeben durch:

$$R_K = \frac{1}{m} \cdot \rho \frac{h}{F}$$

wobei F die Querschnittsfläche eines Kanals, h die Kanallänge, m die Anzahl der Kanäle und ρ der spezifische Widerstand des Halbleiters ist. Für diesen gilt:

$$\rho = \frac{1}{e\mu N_D}$$

Bei einer Dotierung $N_D = 5 \cdot 10^{16}$ cm^{-3} und einer Beweglichkeit in GaAs von $\mu = 4000$ cm^2/Vs bei T = 300 K ergibt sich ein spezifischer Widerstand von $\rho = 0.03\ \Omega$ cm. Bei einer Kanallänge h von 1 μm und einem Kanalquerschnitt m · F von 2000 μm^2 ist der Bahnwiderstand $R_K = 0.15\ \Omega$. Dieser Wert des Bahnwiderstandes ist kleiner als der an den hergestellten ohmschen Kontakten abfallende Widerstand, so daß die Dotierung im Bereich $5 \cdot 10^{16}$ cm^{-3} nicht der limitierende Faktor des Gesamtwiderstandes ist.

Die Einbettung des Wolfram - Gates in einen Isolator bedeutet eine wesentliche Verkleinerung der Metall - Halbleitergrenzfläche. Gleichzeitig wird der den Elektronen zur Verfügung stehende Raum auf den Kanalbereich beschränkt (vgl. Abb. 13). Die aus dem GaAs-Substrat in den Kanal des SG-PBT fließenden Elektronen werden an den SiO_2-Flächen gestreut.

Bei einem vollständig geöffnetem Kanal und einer konstanten Gate-Spannung kann die Stromdichte j im Kanal des SG-PBT abgeschätzt werden. Wegen des Zusammenhangs von Stromdichte j und elektrischer Feldstärke E über die Leitfähigkeit σ, gilt im einfachsten Fall:

$$j = \sigma E = q\mu N_D \cdot E = q\mu N_D \cdot \frac{U_{DS}}{h} \tag{21}$$

Mit den im obigen Beispiel für den spezifischen Widerstand gerechneten Werten, einer Kanallänge von h = 1 μm und einer Spannung zwischen Drain und Source von U_{DS} = 1 V ergibt sich daraus eine Stromdichte von $j = 3.3 \cdot 10^5$ A/cm^2. Es ist zu erwarten, daß die Stromdichten tatsächlich niedriger sind, da z.B. die Kontaktwiderstände nicht berücksichtigt wurden.

2.5 Kristallwachstum von GaAs

Das epitaktische Wachstum von GaAs in den Kanälen des SG-PBT ist ein wichtiger Schritt in der Herstellung des Transistors. Die dabei auftretenden Wachstumsprozeße (vgl. Kapitel 4.2) werden durch die Struktur der GaAs-Oberfläche beeinflußt. Deshalb werden nun verschiedene GaAs-Oberflächen und ihr Wachstumsverhalten in der Epitaxie diskutiert. Die mit dem Wachstum von GaAs verbundenen Modelle werden nach Arbeiten von R.C. Sangster [23] und O. Kayser [24] behandelt.

III - V Halbleiter und damit auch GaAs weisen eine überwiegend kovalente Bindung auf. GaAs kristalisiert so, daß zwei kubisch flächenzentrierte Gitter in Richtung der Raumdiagonalen um 1/4 der Diagonallänge gegeneinander verschoben sind. Jedes Atom ist von vier nächsten Nachbarn umgeben, die einen Tetraeder bilden [25]. Diese Zinkblende - Struktur ist in Abb. 15 dargestellt.

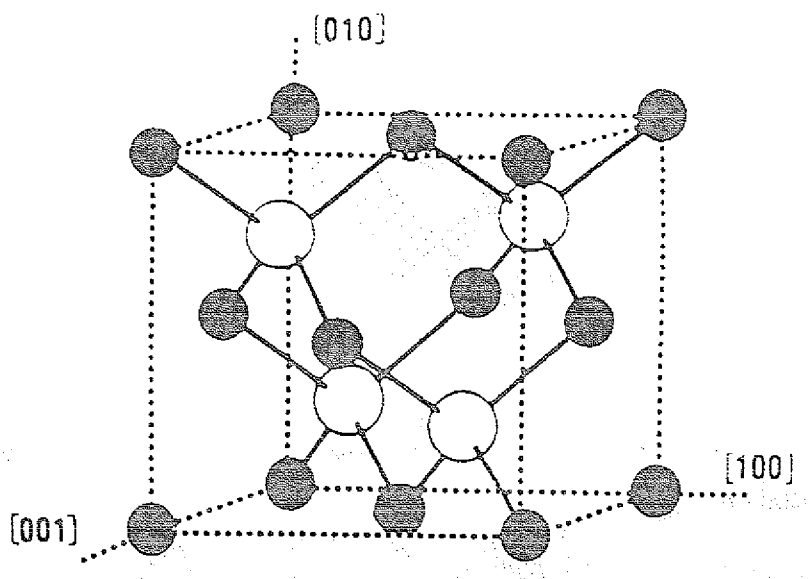


Abbildung 15: Zinkblendestruktur der Elementarzelle des GaAs

Die {100}, {110} und {111} Ebenen sind bei der Epitaxie von besonderer Bedeutung (vgl. Abb. 16). {100} Ebenen sind entweder nur mit Ga oder nur mit As Atomen besetzt. Diese Ebenen sind so gestapelt, daß nach einer Ga - Ebene, die als $\{100A\}$ Ebene bezeichnet wird, eine As - Ebene, das ist eine $\{100B\}$

Ebene, folgt. Jedes Ga Atom einer $\{100A\}$ Ebene ist in den Kristall hinein mit zwei As Atomen in der „tiefer" liegenden $\{100B\}$ Ebene verbunden. Zwei weitere Bindungen (dangling bonds) ragen an der Oberfläche aus der betrachteten Ebene heraus. Im Epitaxie Prozeß kann sich an diese Bindungen ein As Atom anlagern und hat dann ebenfalls zwei dangling bonds. Die Gesamtenergie bleibt unverändert, beim Wachstum auf $\{100\}$ Oberflächen ist nach diesem Modell keine Potentialbarriere zu überwinden.

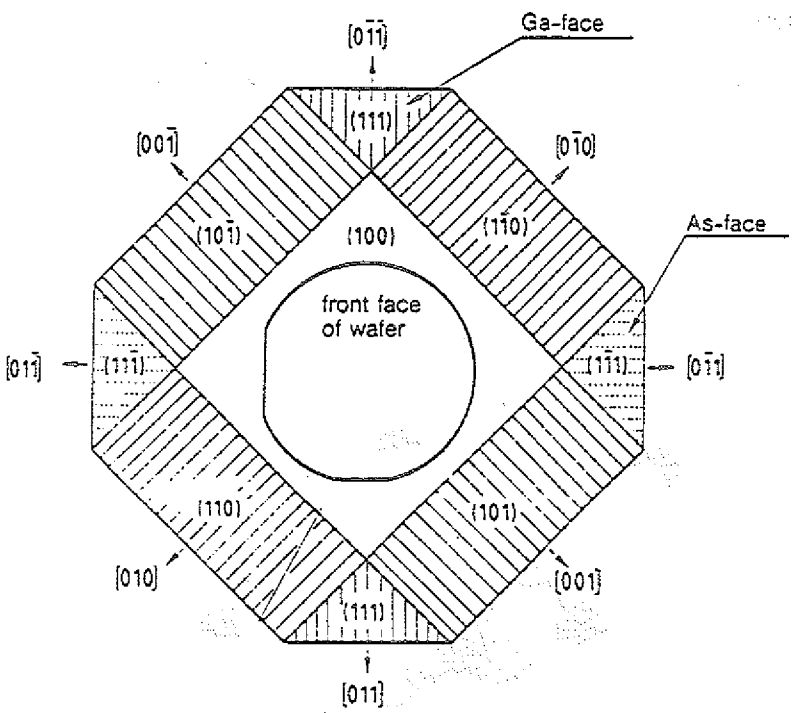


Abbildung 16: Darstellung der Kristallorientierungen eines GaAs Wafers mit $\{100\}$ Oberfläche

In $\{110\}$ Ebenen findet sich eine gleich große Anzahl von Ga wie von As Atomen. Zwei Bindungen eines Atoms liegen in einer Ebene, sie bilden eine alternierende Kette von Ga und As Atomen. Eine Bindung eines Atoms geht in die darunter liegende Ebene und eine Bindung bildet an der Oberfläche ein dangling bond. Lagert sich an dieses dangling bond ein weiteres Atom an, so ergeben sich drei freie Bindungen. Insgesamt wird die Anzahl der freien Bindungen um zwei erhöht, also muß beim Wachstum eine Potentialbarriere überwunden werden. Wenn jetzt

ein weiteres Atom der anderen Sorte sich in unmitelbarer Nachbarschaft des ersten anlagert, so werden zwei neue dangling bonds gebildet, aber gleichzeitig werden zwei Bindungen abgesätigt. Demnach müssen bei der weiteren Anlagerung von Atomen keine Potentialbarrieren überwunden werden, wenn dies in einer Kette einmal aufgetreten ist. Das ist aber für jede einzelne Kette immer wieder neu erforderlich. Bei {110} Ebenen sollte eine besonders glatte Oberfläche auftreten, da das Wachstum einer neuen Ebene über einer bestehenden die Existenz von mindestens zwei Ketten fordert.

{111} Oberflächen bestehen aus zwei eng benachbarten Ga - und As - Ebenen, die sich als eine Doppelebene anordnen. Der Abstand dieser Ebenen entspricht in etwa einem Viertel des Abstandes zur nächsten Doppelebene. Jedes Atom hat drei Bindungen in die nah anliegende Ebene und eine Bindung in die darunter liegende „Doppel-Ebene". Geht ein Atom eine Bindung mit einem Oberflächen-Atom ein, so werden zwei zusätzliche dangling bonds geschaffen. Im Unterschied zur {110} Ebene kann hier kein zweites Atom ohne Überwindung einer Potentialbarriere angelagert werden. Zur Anlagerung ist ein komplizierter Mechanismus erforderlich. Wird ein Ga Atom angelagert und in der Nachbarschaft ein weiteres Ga Atom, so kann ein As Atom mit diesen eine Bindung eingehen. Ein drittes Ga Atom kann jetzt ohne Überwindung einer Potentialbarriere gebunden werden. Das Wachstum auf {111} Ebenen hat im Vergleich zum Wachstum auf {100} oder {110} Ebenen eine geringere Wahrscheinlichkeit und deshalb ist das Wachstum auf {111} Ebenen relativ langsam.

3 Technologie des selektiv gewachsenen PBT's

Im folgenden sollen die Verfahrensschritte zur Herstellung eines selektiv gewachsenen PBT's auf GaAs-Basis vorgestellt werden. Die Entwicklung der dazu nötigen Prozeßschritte war wesentlicher Bestandteil dieser Diplomarbeit. Es zeigt sich, daß kein Herstellungsschritt isoliert gesehen werden darf, da Auswirkungen eines Prozeschrittes auf die nachfolgenden bestehen. Die Kanalätzung, die Prozessierung des Wafers und die Reinigung muß stets auf die Reduzierung von Defekten und Fremdstoffen abzielen.

An das für das Gate des PBT's verwendete Material werden hohe Ansprüche gestellt. Es muß als dünner Film auf GaAs aufgebracht werden können, mit GaAs nicht chemisch reagieren, einen geringen elektrischen Widerstand besitzen und bei den Epitaxietemperaturen von 600 - 650 °C stabil bleiben. Desweiteren müssen die Wärmeausdehnungskoeffizienten von Gate-Material und GaAs vergleichbar sein. Weichen diese Werte zu stark voneinander ab, so kann dies beim Auf- und Abheizen zu starken Spannungen und Rissen im Material führen.

Das Material der Wahl ist hier Wolfram, da es diese Anforderungen gut erfüllt. Wolfram ist bei den hohen Temperaturen des Epitaxie-Prozeßes (600-650 °C) beständig, es besitzt bei 2600 °C, also weit oberhalb gängiger Epitaxie-Temperaturen, einen Dampfdruck von weniger als $1 \cdot 10^{-4}$ mbar, das Abdampfen von Wolfram in der Epitaxie ist damit ausgeschlossen. Die Wärmeausdehnungskoeffizienten sind $3 \cdot 10^{-6}\ {}^{\circ}C^{-1}$ für W, $5 \cdot 10^{-7}\ {}^{\circ}C^{-1}$ für SiO_2 und $6.86 \cdot 10^{-6}\ {}^{\circ}C^{-1}$ für GaAs. Wolfram weist in dünnen Schichten bei 300 K einen spezifischen Widerstand von 21 $\mu\Omega$cm auf.

3.1 Elektronenstrahlverdampfung

Zur Herstellung des PBT's wird ein (100) orientierter n-GaAs Wafer verwendet. Der Wafer ist hoch n-dotiert ($n \approx 3 \cdot 10^{18}$ cm^{-3}), um eine spätere Rückseitenkontaktierung zu ermöglichen. Die Prozessierung beginnt mit der einminütigen Reinigung des Wafers in einer 10 H_2SO_4 : 1H_2O_2 : 1H_2O Ätze und dem Spülen in deionisiertem Wasser. Durch diese Behandlung werden etwa 1 μm der Waferoberfläche entfernt und eine glatte, defektarme GaAs-Fläche erzielt. Diese Reinigung ist für das spätere epitaktische Wachstum von GaAs auf dem Wafer

von Bedeutung. Sie beeinflußt die Morphologie und die Defektdichte des gewachsenen GaAs. Der Wafer wird möglichst direkt nach der Reinigung in eine Aufdampfanlage eingeschleust, in der er zunächst 15 min bei 200 $°C$ getrocknet wird. Dies führt zu einer gleichmäßigen Erwärmung des Wafers und beseitigt letzte Feuchtigkeitsspuren. Es zeigte sich, daß nur so eine glatte SiO_2 Oberfläche gewährleistet werden kann. Zur Verdampfung wird ein Elektronenstrahl nacheinander auf einen Tiegel, der SiO_2 bzw. Wolfram enthält, gerichtet wodurch das Material erhitzt wird und verdampft. Die Methode der thermischen Verdampfung zeichnet sich durch hohe Reinheit des aufgedampften Materials aus, da das Ausgangsmaterial seinen eigenen Tiegel bildet und nicht mit kontaminierenden Behälterwänden in Berührung kommt. Die große Menge des Ausgangsmaterials bleibt praktisch konstant, so daß sich die Aufdampfrate besser als mit anderen Methoden kontrollieren läßt. Der Wafer wird mit einem Schichtpaket aus SiO_2/Wolfram/SiO_2 ganzflächig bedeckt (vgl. Abb. 17). Typische Schichtdicken sind 200-400 nm für SiO_2 und 50-100 nm für das Wolfram.

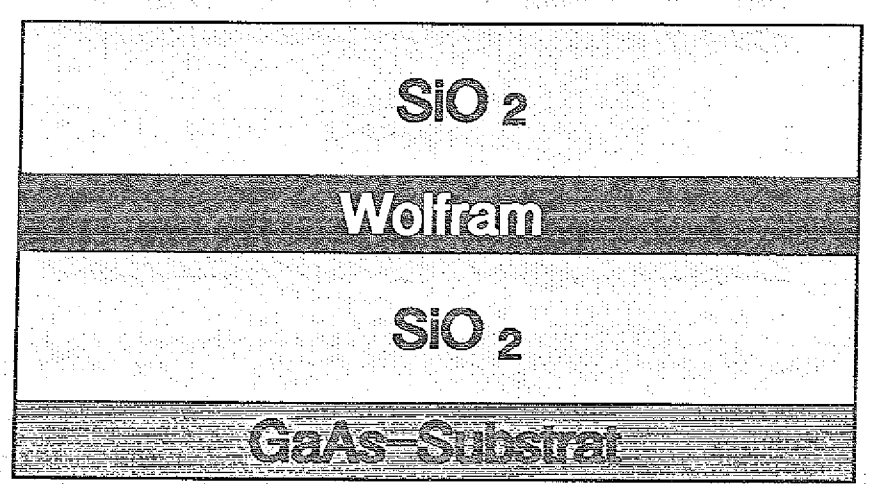


Abbildung 17: GaAs-Substrat mit aufgedampftem $SiO_2/W/SiO_2$

3.2 Optische Lithographie

Mittels optischer Lithographie werden im nächsten Schritt die Transistorstrukturen auf dem Wafer definiert (vgl. Abb 18). Zunächst wird der Haftvermittler Hexamethyldisilazan (HMDS) mit 4000 U/min aufgeschleudert und 5 min bei 90 °C getrocknet, damit wird eine bessere Haftung des Photolackes auf dem Substrat erreicht. Auf gleiche Weise wird der Photolack AZ 5210 DI aufgebracht, der bei diesen Parametern zusammen mit dem Haftvermittler eine Dicke von etwa 1.1 μm hat. Jetzt kann der Wafer mit der K_α Linie einer Quecksilberdampflampe bei einer Wellenlänge von 365 nm belichtet werden.

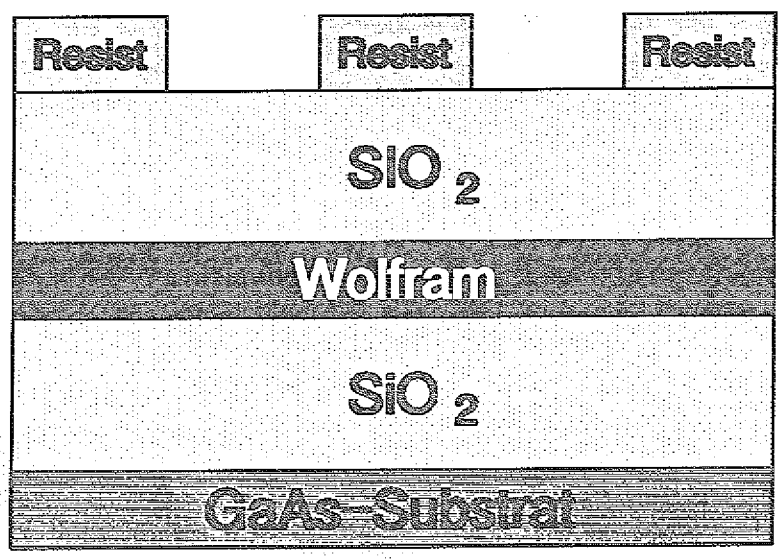


Abbildung 18: Wafer mit $SiO_2/W/SiO_2$ und strukturiertem Photolack

Um möglichst kleine Strukturen (subμm) aufzulösen, wird zwischen Wafer und Maske ein Vakuum erzeugt, das einen besonders guten Kontakt von Maske zum Wafer gewährleistet. Um mit der benutzten Maske die gewünschten Strukturen zu erhalten, wird ein Umkehrprozeß durchgeführt. Der den Wafer bedeckende Photolack wird bei 120 °C für 2,5 min auf der Hot-Plate nachgehärtet, anschließend erfolgt eine Totalbelichtung. Der Wafer wird gewendet und zum Schutz der Oberfläche mit dem Außenrand auf einen Ring gelegt, eine längere Belichtung führt zur Entfernung des auf die Rückseite gelangten Photolackes.

Nach der Belichtung folgt nun eine Entwicklung. Um die Kontamination des Wafers mit schädigenden Metall - Fremdstoffen auf ein Minimum zu beschränken, wird ein metallionenfreier Entwickler (MIF) verwendet. Es zeigte sich, daß eine Verdünnung des Entwicklers mit Wasser im Verhältnis 1:1.5 hinsichtlich der Schärfe der Konturen gute Ergebnisse liefert. Nach einer Entwicklungszeit von etwa 2 min wird der Wafer für 3 min in deionisiertem Wasser gespült und mit Stickstoff getrocknet.

Mit Hilfe eines einfachen Lichtmikroskopes kann die Qualität der Lithographie kontrolliert werden, bei mangelnder Qualität kann der Photolack mit Aceton entfernt und der Lithographie-Prozeß wiederholt werden.

3.3 Reaktives Ionen-Ätzen

Die mit der Photolithographie im Photolack definierten Strukturen müssen auf die aufgedampften Schichten übertragen werden. Dazu werden die freien Flächen mit reaktivem Ionen-Ätzen (RIE) bis auf das GaAs heruntergeätzt (vgl. Abb. 19). In der Anlage wird ein Plasma erzeugt, dessen Ionen gerichtet auf die Oberfläche des Wafers treffen und gleichzeitig mit dem Material der aufgedampften Schicht chemisch reagiern. Das Material wird in flüchtige Komponenten überführt und von der Oberfläche entfernt. Der Photolack dient als Schutzmaske. Dies setzt voraus, daß das Plasma eine höhere Ätzrate bei SiO_2 und Wolfram als bei Photolack besitzt. Im Unterschied zur naßchemischen Ätzung, bei der oft Mesa-Kanten und Unterätzungen auftreten, weist RIE ein stark gerichtetes Ätzverhalten auf, bei dem die vertikale Ätzrate die laterale Ätzrate weit übersteigt. Um den Photolack nicht zu stark anzugreifen und dennoch steile Kanten zu erhalten, wurden in dieser Arbeit verschiedene Gase und Prozeßparameter untersucht. Im allgemeinen wird die physikalische Komponente, die zur vertikalen Ätzung beiträgt, mit steigender Leistung größer und die chemische Komponente, die zur lateralen Ätzung beiträgt, nimmt mit fallendem Druck ab. Es zeigte sich, daß die vertikale Ätzung der Strukturen durch den Einsatz von CHF_3 zur Ätzung von SiO_2 und SF_6 zur Ätzung von Wolfram gut erfüllt werden. In der folgenden Tabelle sind die Prozeßparameter zusammengestellt.

Ätzung von	Gas	Gasfluß	Druck	Leistung	Ätzrate
SiO_2	CHF_3	8 sccm	0.01 mbar	100 W	25 - 30 nm/min
Wolfram	SF_6	8 sccm	0.02 mbar	240 W	70 nm/min

Die erreichte Ätztiefe kann mit einem Laserinterferometer verfolgt werden. Das auf die Oberfläche auftretende Laserlicht wird am unteren und oberen Rand der SiO_2-Schicht reflektiert. Die Interferenz an der planparallelen Platte ist von der Plattendicke abhängig. In dem Moment, wo die Wolfram-Schicht erreicht ist, wird der CHF_3-Ätzprozeß gestoppt und das SF_6-Plasma gezündet. Ist die untere SiO_2 Schicht erreicht, wird das Plasma wieder auf CHF_3 umgestellt, und der Kanal bis zum GaAs freigelegt. Der richtige Zeitpunkt des Umschaltprozeßes kann nur mit Unterstützung des Interferenzsignals erkannt werden. Hilfreich ist die Tatsache, daß Wolfram sehr widerstandsfähig gegen das CHF_3 Plasma ist, so daß die Wolfram-Oberfläche während der SiO_2 Ätzung nicht unnötig angegriffen wird. In einem letzten RIE Schritt wird der als Schutzmaske dienende Photolack in einem O_2 Plasma restlos entfernt. Dies sollte sorgfältig erfolgen, da sich Reste des Photolackes äußerst nachteilig auf die Epitaxieanlagen auswirken können.

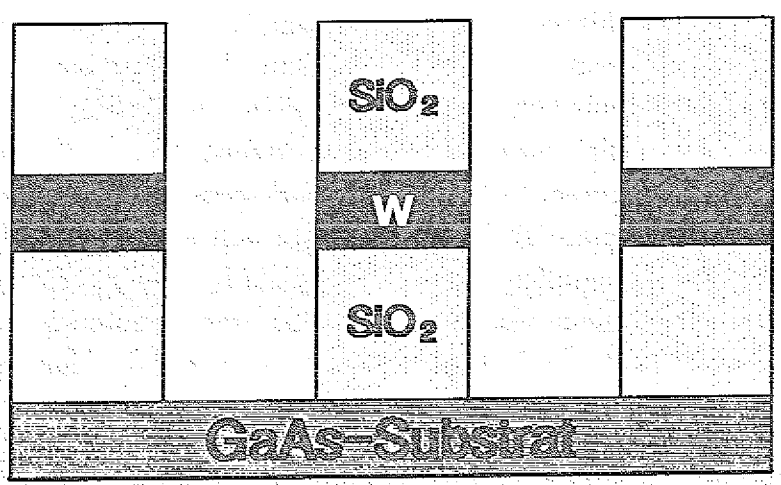


Abbildung 19: Das Schichtpaket aus $SiO_2/W/SiO_2$ nach dem reaktivem Ionen-Ätzen

3.4 Selektive Epitaxie

Der Wafer wird vor dem Einbau in die Epitaxieanlage in einer verdünnten Säure gereinigt. Hier besteht ein Problem, einerseits sollte der Wafer wegen der Vorbehandlung besonders gründlich, d.h. mit einer besonders starken Ätze, gereinigt werden, andererseits ist wegen der Kleinheit der Strukturen (sub μm Bereich) die Gefahr einer Unterätzung bzw. Zerstörung der soeben hergestellten Strukturen gegeben. Um beiden Anforderungen gerecht zu werden, wird eine $800H_2SO_4$: $200H_2O$: $1H_2O_2$ Ätze verwendet, die in 1 min etwa 40 nm GaAs entfernt.

Das Auffüllen der Kanäle und eine selektive Epitaxie ist sowohl mit einer MOVPE als auch mit einer MOMBE Anlage möglich. Unter selektiver Epitaxie wird hier ein Wachstum verstanden, das die polykristalline Abscheidung von GaAs auf den SiO_2-Flächen verhindert (vgl. Abb.20).

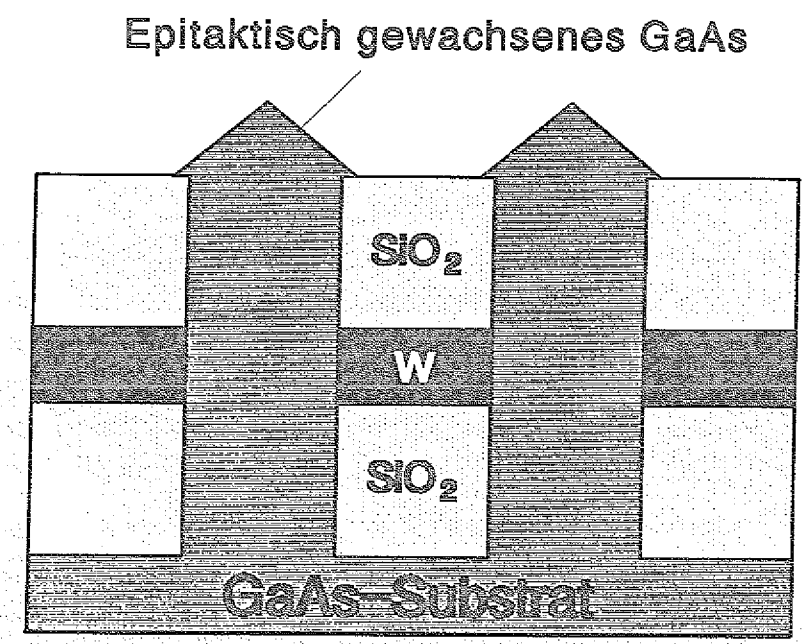


Abbildung 20: Strukturierter Wafer nach der selektiven Epitaxie

Bevor sich die Ausgangsstoffe der Epitaxie an eine Oberfläche anlagern können,

müssen sie zerlegt werden. Dieser Vorgang wird katalytisch auf der GaAs- nicht aber auf der SiO_2-Fläche unterstützt [24]. Auf der SiO_2-Oberfläche desorbieren die Ausgangstoffe wieder, damit kann das Wachstum durch die Maskengeometrie vorgegeben werden. Die verstärkte Desorption der Ausgangsstoffe ist nur in bestimmten Temperatur und Druckbereichen möglich. Bei zu niedrigen Temperaturen ist die Adsorption von As auf der SiO_2 Oberfläche möglich [26] und die Epitaxie ist nicht mehr selektiv. Die für die selektive Epitaxie benutzte Temperatur betrug schließlich 610 °C bei der MOMBE und 650 °C bei der MOVPE. Bei der MOVPE wurde sowohl Wasserstoff als auch Stickstoff als Trägergas verwendet.

Die Selektivität der Epitaxie ist auch von der Maskengeometrie abhängig. Ist die Migrationslänge der Ausgangstoffe zu klein, bzw. sind die SiO_2-Flächen zu groß, so wächst auch dort GaAs [25], [26]. Dies wurde auch bei größeren SiO_2-Flächen (200 μm· 200 μm) beobachtet, ein Randstreifen von etwa 10 μm blieb unbedeckt von GaAs, die Flächenmitte wurde überwachsen. Dieses Verhalten wirkt sich jedoch bei der Kleinheit der PBT-Streifen nicht negativ aus, da das zwischen den Kanälen liegende SiO_2 höchstens eine Ausdehnung von 3 μm hat.

3.5 Kontakt-Metallisierung

Die metallische Source Elektrode des PBT's dient als Elektronenquelle und die Drain Elektrode als Elektronensenke. Hier ergibt sich ein Problem. Die Ankopplung eines metallischen Leiters an das GaAs bildet im allgemeinen einen Schottky-Kontakt damit wird die sich aus der speziellen Gate-Geometrie eines PBT's ergebende Strom-Spannungs-Charakteristik von einer unerwünschten Dioden-Kennlinie, die spannungsabhängig ist, überlagert und verfälscht.

Es wird also ein *ohmscher* Kontakt benötigt, der es ermöglicht, Signale linear und dies mit geringem Spannungsabfall zu übertragen. Eine geeignete Methode zur Erstellung eines solchen ohmschen Kontaktes ist das Einlegieren von zusätzlichen Dotierstoffen. Die damit erzeugte hoch dotierte Halbleiterschicht besitzt wegen $w \sim 1/\sqrt{N_D}$ eine dünne Raumladungszone, die von den Ladungsträgern in beiden Richtungen durchtunnelt werden kann, wodurch eine lineare Übertragungsfunktion ermöglicht wird. Zur Erzeugung eines ohmschen Kontaktes zu n-GaAs mit einem geringen Kontaktwiderstand ist z.B. Ni/AuGe/Ni geeignet [29].

Auf den Wafer wird nach Auftragen des Haftvermittlers HMDS der Resist AZ 1512 bei einer Schleuderzahl von 4000 U/min aufgebracht und 25 min auf der Hot-Plate getrocknet. Da nun ein bereits strukturierter Wafer vorliegt, muß die Relativjustierung der zweiten Maske präzise ausgeführt werden. Auf den Masken befindliche Justiermarken erleichtern die Justierung. Der Wafer wird belichtet und nach der Entwicklung in deionisiertem Wasser gespült. Zur Aufbringung der Metallisierung wird der Wafer in die Aufdampfanlage eingeschleust und ein Schichtpaket aus 5 nm Ni, 90 nm AuGe und 25 nm Ni aufgedampft. Anders als SiO_2 , Wolfram und Nickel, die über Elektronenstrahlverdampfung auf dem Wafer deponiert werden, wird das AuGe über eine widerstandsbeheizte Verdampfungsquelle aufgebracht, das sich in einem Schiffchen befindende AuGe wird erhitzt und verdampft. Die erste Ni-Schicht dient einer besseren Haftung des Metalles, das AuGe ermöglicht die Dotierung des Halbleiters und die obere Ni-Schicht vermindert Blasenbildung an der Metalloberfläche [30].

Der Wafer wird jetzt in Aceton eingebracht, das Lösungsmittel greift den Photolack an und hebt die darüber befindlichen Metallflächen ab (Lift-Off). Der verwendete Photolack muß dicker als das Metall sein und steile oder überhängende Flanken besitzen, an denen das Aceton leicht angreifen kann. Diese Bedingungen werden von dem AZ 1512 bei einer Dicke von 1.4 μm gut erfüllt. Der Source-Anschluß kann durch Bedampfen der Rückseite des Wafers mit Ni/AuGe/Ni erzielt werden, eine Photolithographie ist hier nicht erforderlich (vgl. Abb. 21).

Das aufgedampfte Metall bildet mit dem GaAs einen Schottky-Kontakt. Ein ohmscher Kontakt wird erst durch Einlegieren erzeugt. Wegen der vertikalen Struktur des PBT's und der relativ kurzen Source-Drain Abstände besteht die Gefahr, daß das einlegierte Material zu tief in den Kanal eindringt und so die elektrischen Eigenschaften des Transistors negativ beeinflußt. Deshalb ist eine oberflächennahe Einlegierung, die dennoch gute ohmsche Kontakte liefert, anzustreben. Dies kann mit kurzen Einlegierzeiten bei nicht zu hohen Temperaturen verwirklicht werden. Scharfe, definierte und reproduzierbare Temperaturprofile lassen sich mittels RTA (Rapid Thermal Anealing) erreichen. Die Probe wird mit einer hohen Lichtintensität bestrahlt und in 5 s von 190 °C auf 430 °C aufgeheizt. Die Abkühlrate ist jedoch langsamer und beträgt etwa 10 °C/s.

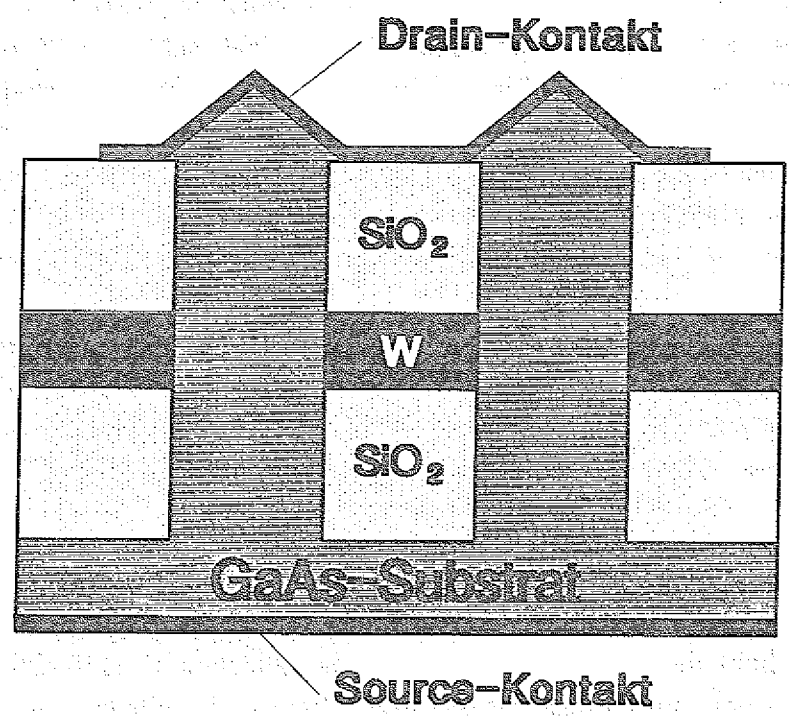


Abbildung 21: Strukturierter Wafer nach dem Aufdampfen der Metallisierung und Lift-Off.

3.6 Selbstjustierende Gate-Freilegung

Der letzte Verfahrensschritt besteht in der Freilegung des Gates, über das der Transistor gesteuert wird. Wegen der selektiven Epitaxie muß nur die SiO_2 Schicht über dem Wolfram-Gate und kein GaAs entfernt werden. Durch die diesem Schritt vorhergehende Kontaktmetallisierung bildet das Ni/AuGe/Ni eine selbstjustierende Maske für die Freilegung des Gates mit einem CHF_3-Plasma in der RIE-Anlage, so daß auf einen dritten Photolithographie Schritt verzichtet werden kann. Das SiO_2 wird nur an den Stellen entfernt, die nicht durch die Metallisierung geschützt sind (vgl. Abb. 22). Das Erreichen des Wolfram Gates wird am Lasersignal abgelesen und kann durch eine elektrische Messung bestätigt werden. Die Eigenschaften der hergestellten Transistoren können nun durch elektrische Messungen untersucht werden (vgl. Kapitel 4.3).

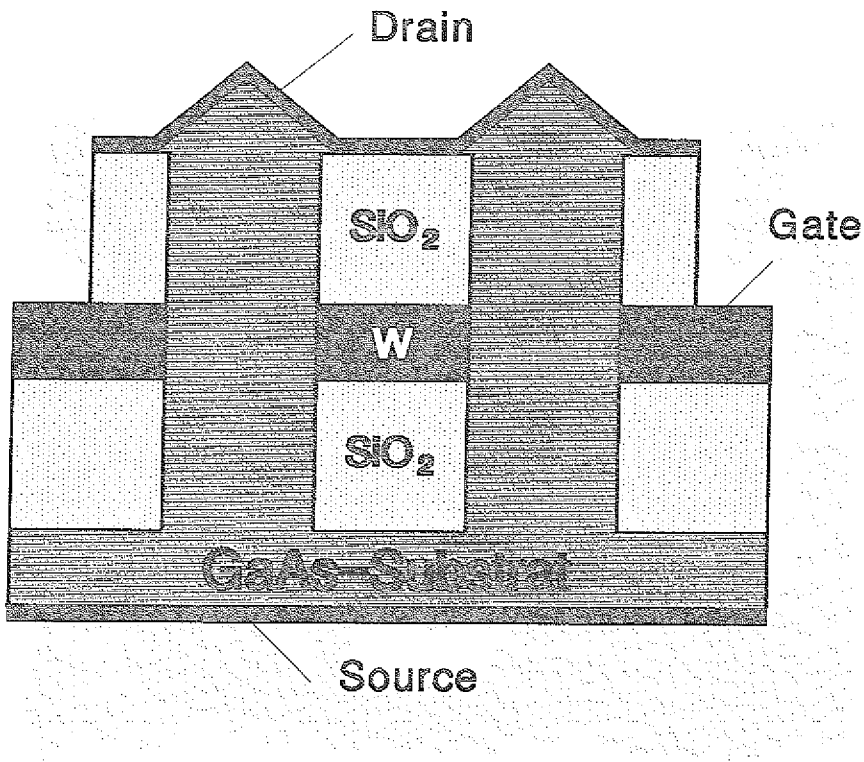


Abbildung 22: Letzter Herstellungsschritt des PBT's ist die selbstjustierende Gate Freilegung

Über die technologischen Basisschritte hinaus sind noch weitere Prozeßschritte sinnvoll. Die Ni/AuGe/Ni Metallisierung ist mit einer Dicke von insgesamt 120 nm anfällig gegen mechanische Beanspruchung, wie sie bei elektrischen Messungen durch das Aufsetzen der Meßnadel auftritt. Sollen die Transistor-Anschlüsse über einen Bonddraht mit einer anderen Metallfläche verbunden werden, so ist dies nur über eine Metallverstärkung des Kontaktes möglich. Diese Metallverstärkung wird durch das Aufdampfen einer Schichtenfolge von Ti/Pt/Au (40 nm/40 nm/150 nm) erreicht.

Die einzelnen PBT's auf dem Wafer sind über den Außenrand des Gates mit dem epitaktisch gewachsenen GaAs verbunden. Dieser Kontakt trägt nicht zur Steuerung des Bauelementes bei und sollte im Hinblick auf Leckströme vermieden werden. Dies kann durch Herunterätzen des GaAs bis unter das Gate oder durch Erhöhung des GaAs-Widerstandes durch Ionenimplantation geschehen.

In Abb. 23 wird ein fertig strukturierter selektiv gewachsener PBT gezeigt. Die helle Fläche ist das aufgedampfte AuGe, das nur die Mitte der Streifen bedeckt.

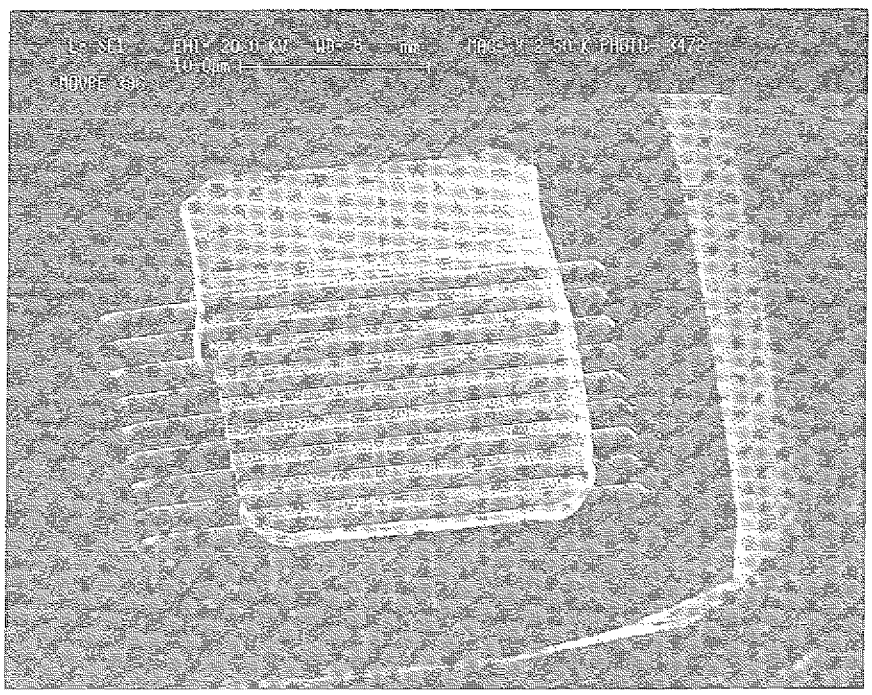


Abbildung 23: Aufsicht auf einen fertig prozessierten PBT. Die helle Fläche in der Mitte der GaAs-Streifen ist das aufgedampfte Ni/AuGe/Ni. Der Rand der Metallisierung wurde durch den Lift-Off Prozeß nach oben gewölbt

4 Ergebnisse und Charakterisierung

4.1 Strukturierung

Nachdem in Kapitel 2 und 3 die theoretischen Grunglagen des SG-PBT behandelt und in Kapitel 4 ein Herstellungsprozeß aufgezeigt wurde, sollen jetzt die Eigenschaften der hergestellten Bauelemente betrachtet werden. Zur Charakterisierung des Prozeßes wurden elektronenmikroskopische Untersuchungen (SEM, TEM) und elektrische Messungen (CV, Hall- und Gleichstrom - Messungen) durchgeführt. Von besonderer Bedeutung wird das reaktive Ionen-Ätzen und das Anwachsverhalten bei der selektiven Epitaxie sein. Die Kennlinien der Transistoren werden ausgewertet und miteinander verglichen.

Die mit der Elektronenstrahlverdampfung hergstellten $SiO_2/W/SiO_2$ Schichten können in kontrollierter Weise in Dicken von insgesamt 100 - 1000 nm aufgebracht werden. Die anfänglich auftretenden Probleme, wie eine rauhe SiO_2 Oberfläche und das Abplatzen der oberen SiO_2 Schicht vom Wolfram konnten durch Aufheizen des Wafers auf 200°C gelöst werden. Eine glatte, reine SiO_2 Oberfläche ist Voraussetzung sowohl für die Auflösung kleiner Strukturen bei der optischen Lithographie als auch für die selektive Epitaxie.

Das reaktive Ionen-Ätzen ist insofern problematisch als zwei Materialien vertikal geätzt werden müssen, ohne die strukturdefinierende Maske anzugreifen. Bei vielen RIE-Prozeßen besteht die Schutzmaske aus SiO_2, das nach dem Ätzen wieder entfernt wird. Eine solches Schutzmaterial kann bei dem SG-PBT, der eine in SiO_2 eingebettete Gate-Struktur besitzt, nicht verwendet werden. Eine andere Möglichkeit besteht in der Verwendung eines Metalles als Schutzmaske. Metalle wie Chrom haben den Vorteil besonders inert gegen die Ätzgase zu sein. Damit lassen sich steile Flanken, wie in Abb. 24 gezeigt, erreichen.

Ein Nachteil von Chrom ist, daß Reste des Schutzmetalles im GaAs tiefe Störstellen erzeugen können. Mit SIMS-Untersuchungen [5] konnten Kontaminationen wie diese nachgewiesen werden. Diese können die Hochfrequenzeigenschaften des PBT's beeinträchtigen. Schließlich gelang es, Parameter zu finden, den bei der optischen Lithographie ohnehin aufgebrachte Photolack als Schutzmaske zu verwenden. Der AZ 5210 DI besitzt zusammen mit dem Haftvermittler nach Höhenprofil-Messungen mit einem DEKTAK eine Dicke von 1.1 μm. Diese Dicke

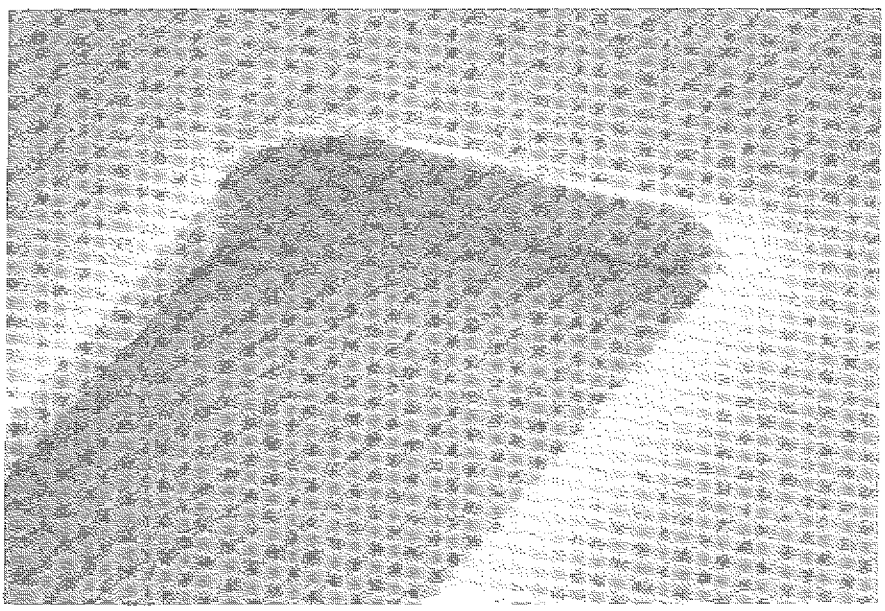


Abbildung 24: Ein mit reaktivem Ionen-Ätzen hergestellter Kanal in einem $SiO_2/W/SiO_2$ Schichtpaket.

ist ausreichend, so daß die obere SiO_2 Schicht nicht von dem Plasma angegriffen wird. RIE beinhaltet physikalisches und chemisches Ätzen deren relativer Anteil durch Druck, Leistung und Gasfluß eingestellt werden kann. Es konnte gezeigt werden, daß mit einer Schutzmaske aus Photolack die Kanäle geätzt werden können. Photolack wird jedoch immer stärker von den Ätzgasen angegriffen als ein Metall. Deshalb sollte die Möglichkeit einer Schutzmaske aus Metall weiter untersucht werden.

4.2 Wachstum von GaAs bei selektiver Epitaxie

Der technisch aufwendigste Schritt in der Herstellung des PBT's ist die Epitaxie. Es standen zwei Anlagen zur Verfügung. Eine MOMBE - Anlage und eine MOVPE - Anlage, die im Niederdruck Verfahren (LP-MOVPE) arbeitet. Beim Wachstum von GaAs konnte auf bereits im Institut vorhandene Kenntnisse aufgebaut werden, dennoch mußten viele PBT-spezifische Probleme gelöst werden.

Dazu gehört an erster Stelle das für das Institut neue Verfahren der selektiven Epitaxie. Anders als bei ganzflächigem Wachstum von GaAs auf unstrukturierten Wafern, muß der Einfluß der Maskengeometrie und die Orientierung der Maske relativ zum Substrat berücksichtigt werden. Es soll nun die beobachtete Facettierung des gewachsenen GaAs vorgestellt (vgl. Abb. 25) und gleichzeitig eine qualitative Erklärung für dieses Verhalten gegeben werden.

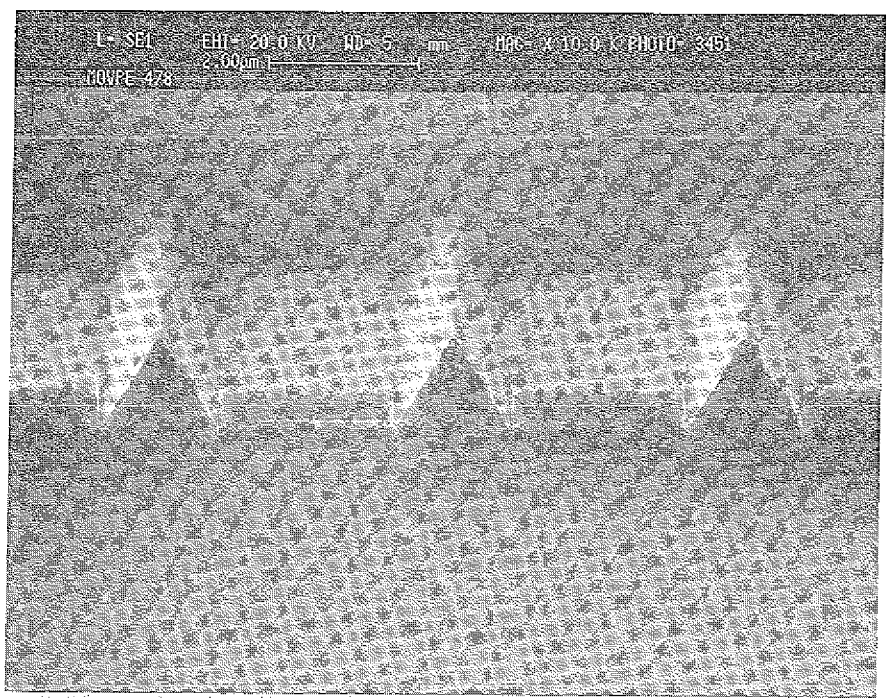


Abbildung 25: Typisches Profil des epitaktisch gewachsenen GaAs bei selektiver Epitaxie. Die Giebel bestehen aus GaAs, dazwischen befinden sich die $SiO_2/W/SiO_2$ Schichten.

Das Wachstum in der Epitaxie wurde mit einer speziellen Maske [1] untersucht. Auf der Maske befinden sich u.a. 14 Streifen, die in Schritten von 15° einen Winkelbereich von 0° bis 180° abdecken. Somit konnte das Anwachsverhalten des GaAs an die $SiO_2/W/SiO_2$ Flächen in Abhängigkeit von der Streifenorientierung festgestellt werden. Die Wahl der Streifenorientierung relativ zum (100)

[1] Die Maske wurde freundlicherweise von Herrn O. Kayser, IHT Aachen zur Verfügung gestellt.

GaAs Substrat ergibt eine bestimmte Facettierung, die das Anwachsverhalten bestimmt. In einem Epitaxie-Prozeß kann der Einfluß der Streifen-Orientierung auf das Anwachsverhalten unter Beibehaltung sonst gleicher Parameter ermittelt werden. Die Probe wird nach der Epitaxie senkrecht zu den Streifen gespalten und mit Hilfe der Sekundär-Elektronen-Mikroskopie (SEM) untersucht. Dies wurde sowohl für MOMBE als auch für MOVPE Proben durchgeführt. Als Ergebnis zeigte sich eine starke Facettierung aller gewachsenen GaAs Streifen. Es bilden sich je nach Wachstumszeit trapezförmige (vgl. Abb. 26) bzw. dreieckige (vgl. Abb. 27) Wachstumsprofile aus, wobei der zwischen der GaAs-Oberfläche und dem Substrat auftretende Winkel α von der Orientierung abhängig ist.

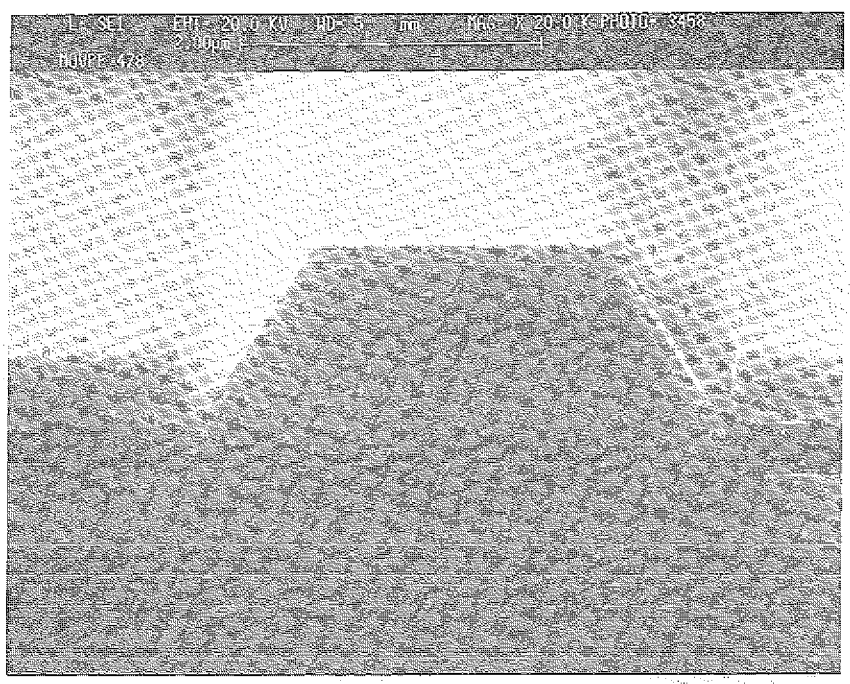


Abbildung 26: Wachstumsprofil des GaAs in den Kanälen vor dem Giebelschluß. Der Kanal zeigt auf dem {100} GaAs-Wafer in [011]-Richtung.

Bei der selektiven Epitaxie werden nicht alle Atome dort eingebaut wo sie auftreffen. Sie besitzen eine von den Epitaxie-Parameteren abhängige Migrationslänge. Die Atome werden bevorzugt auf solchen Ebenen angelagert, wo die geringste Potentialbarriere zu überwinden ist. Dies sind die {100} Ebenen. Es findet ein Materialtransport von den Seitenfacetten zur {100} Ebene statt, außerdem liegt

eine verstärkte Desorption der Atome von den Seitenfacetten vor. Die Wachstumsrate auf den {110} und {111} Ebenen ist demnach geringer als die auf der {100} Ebene. Dieser Materialtransport kann natürlich nur so lange aufrecht erhalten werden, wie die Migrationslänge ausreicht, die {100} Ebenen zu erreichen und bevor die {100} Ebenen sich zu einem Giebel geschlossen haben. Erst dann beginnt ein verstärktes Wachstum auf den Seitenebenen. Die Wachstumsrate der

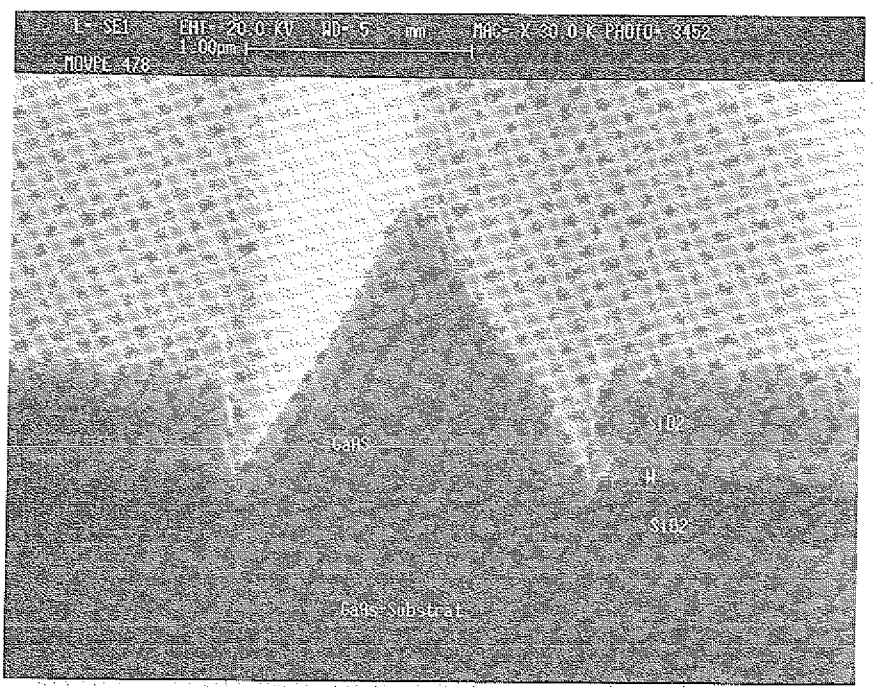


Abbildung 27: Wachstumsprofil des GaAs nach dem Giebelschluß. Die ursprüngliche {100} Oberfläche des GaAs ist aufgrund der seitlichen Facetierung verschwunden. Der Kanal zeigt in [011]-Richtung.

seitlichen Begrenzung, das sind {110} oder {111} Ebenen, sollte möglichst hoch, und die Morphologie gut sein. Dies ist bei {110} Ebenen am besten gewährleistet. Die Streifen sind deshalb auf dem {100} orientierten Wafer in [001] Richtung auszurichten; dies korrespondiert mit {110} Ebenen als seitliche Wachstumsberandung.

Mit dem in Kapitel 2.5 erläuterten Modell zum Wachstum von GaAs kann die Oberflächenorientierung und das Anwachsverhalten qualitativ richtig beschrieben werden. Abweichungen von diesem Modell und Wachstumsstörungen sind beim

Übergang von einer ausgezeichneten Kristallrichtung zur anderen zu erwarten. Diese Situation liegt bei den Streifenenden des PBT's vor. Zeigen die Streifen relativ zum Substrat etwa in [001] Richtung, so weisen die Streifenenden bei rechteckigen Kanälen senkrecht dazu, also in [010] Richtung. In dem Übergangsbereich muß die Oberflächenorientierung des GaAs geändert werden, dies führt zu Anwachsproblemen, die auch experimentell mit Hilfe von SEM-Untersuchungen beobachtet wurden (vgl. Abb. 28). Parallel zu den Streifen ist das GaAs der her-

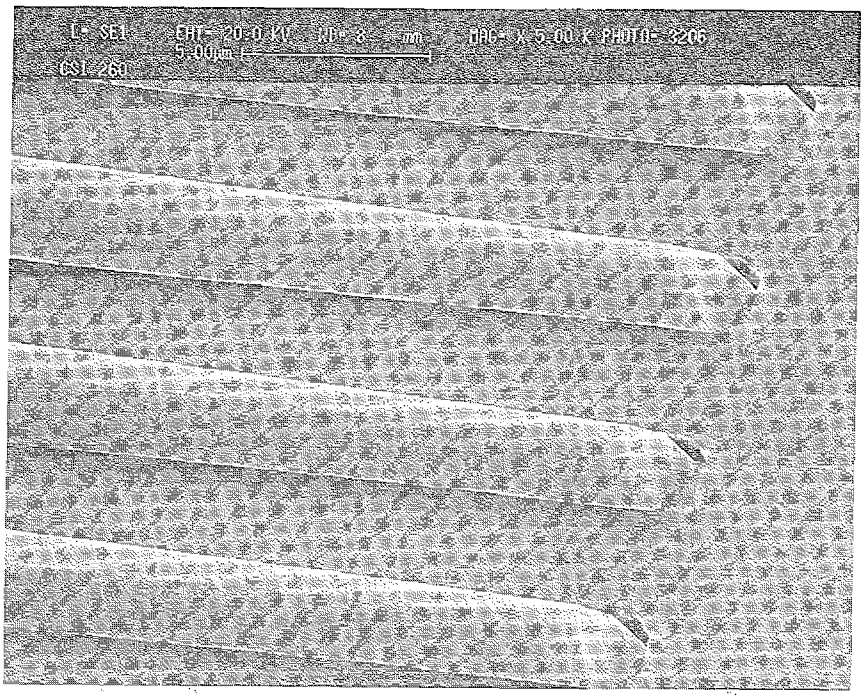


Abbildung 28: Wachstumslücke beim Übergang von der [001] zur [010] Richtung. Das GaAs ist in der Mitte der Streifen gut an die $SiO_2/W/SiO_2$-Schicht angewachsen und wächst sogar etwas über die SiO_2-Fläche. Am Ende der Streifen besteht jedoch eine Lücke.

gestellten Strukturen gut an die $SiO_2/W/SiO_2$ - Flächen angewachsen. An den Steifenenden schließt das GaAs jedoch nicht an diese Flächen an, es bleibt eine Lücke. Diese Lücke verhindert zum einen den Schottky-Kontakt zwischen dem GaAs und dem Wolfram, zum anderen entstehen Kurzschlüsse zwischen Gate und Drain. Für diese die Transistor-Funktion zerstörenden Kurzschlüsse kann eine einfache Erklärung gegeben werden. Der Drain-Bereich wird zur Erzeugung eines ohmschen Kontaktes mit Ni/AuGe/Ni bedeckt. Dieses Metall gelangt nun

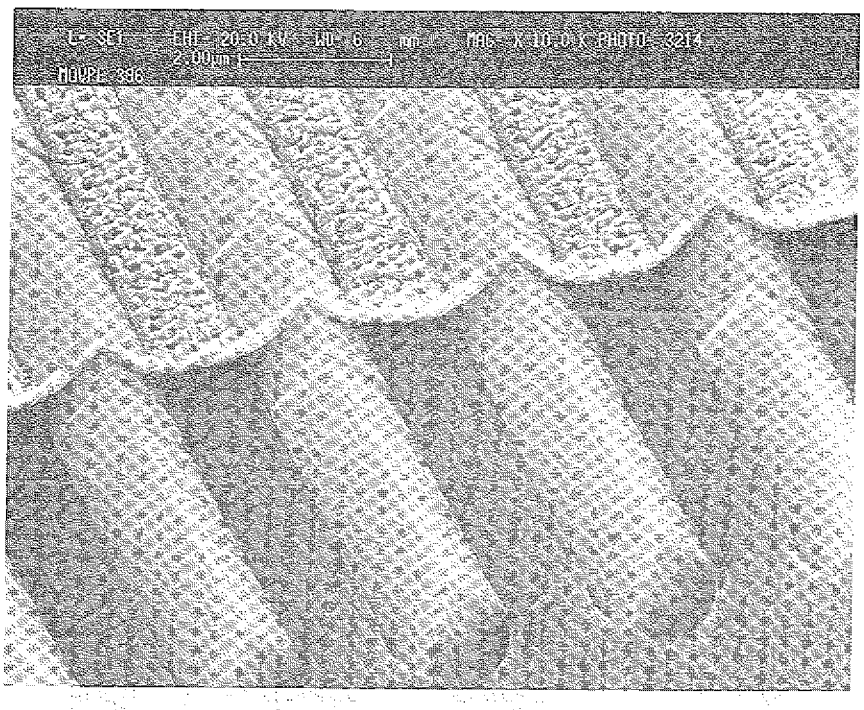


Abbildung 29: Die Maske für den zweiten Photolithographie-Schritt wurde so entworfen, daß die Streifenenden bei der Metall-Aufdampfung nicht bedeckt werden. Damit gelangt in die Lücke kein Metall zwischen GaAs und Gate.

auch in die Lücke an den Streifenenden. Zwischen dem Wolfram und dem aufgedampften Metall besteht damit eine leitende, metallische Verbindung.

Eine Lösungsmöglichkeit für dieses Problem besteht darin, die Lücke durch Änderung der Epitaxie - Bedingungen zu vermeiden. Vermehrtes Wachstum von GaAs durch Erhöhen der Wachsrate oder durch Verlängern der Wachszeit sollte schließlich die Lücke auffüllen können. Die Epitaxie-Parameter können auch dahingehend abgeändert werden, daß das GaAs primär dort anwächst, wo es auftrifft. Dies ist durch die Verringerung der Migrationslänge und der Desorptionsrate möglich. Schließlich könnte ganz auf die selektive Epitaxie verzichtet werden, so daß auch die Streifenenden überwachsen werden.

In dieser Arbeit wurde eine Lösungsmöglichkeit durch einen geeigneten Maskenentwurf realisiert. Die Chrommaske des zweiten Photolithographie-Schrittes wurde gerade so ausgelegt, daß das aufgedampfte Metall nicht auf die Streifenenden gelangt (vgl. Abb. 29). Nur in der Mitte der Streifen wird das zur

Erzeugung des ohmschen Drain-Kontaktes notwendige Metall einlegiert. Gleichstrommessungen zwischen Gate und Drain bestätigten den Erfolg dieser Methode. Es konnten die angestrebten Schottky - Dioden mit einer guten Charakteristik hergestellt werden.

Es wurde auch ein mit SiO_2 stukturierter Wafer mittels MBE (Molecular Beam Epitaxy) ganzflächig mit GaAs überwachsen, das Wachstum ist nicht selektiv. In Abb. 30 zeigen sich polykristalline Abscheidungen auf den SiO_2 Flächen. Nur

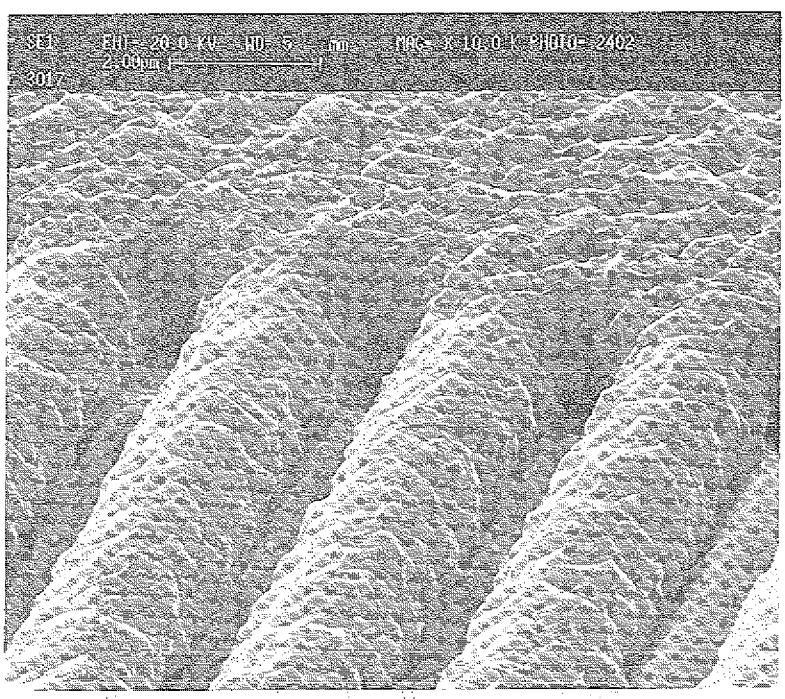


Abbildung 30: Überwachsen einer PBT-Struktur mit MBE. Das GaAs wächst polykristallin auf die SiO_2-Flächen

in den Kanälen ist eine „glatte " GaAs-Oberfläche erkennbar. Bei der selektiven Epitaxie dagegen wird das GaAs nur in die Kanäle eingefüllt. Polykristallines Wachstum von GaAs auf dem SiO_2 wird unterdrückt, wodurch auch eine Reduktion der Kristallfehler im benachbarten Kanalbereich erwartet wird. Die selektive Epitaxie vereinfacht bestimmte Prozeßschritte, das SiO_2 über dem Gate muß nicht erst von GaAs befreit werden um das Gate zu erreichen. Es genügt eine trockenchemische Ätzung des SiO_2.

4.3 Elektrische Messungen

Das günstige Anwachsverhalten der in [001]-Richtung orientierten Streifen und die Drain-Metallisierung, die die Streifenenden ausspart, führte zu funktionsfähigen Transistoren. Diese wurden auf ihre elektrischen Daten hin untersucht. Dazu gehören die Schottky - Dioden, das Ausgangskennlinienfeld und die Transfercharakteristik.

4.3.1 Ohmsche Kontakte

Der ohmsche Kontakt des Bauelementes soll einen möglichst geringen Widerstand besitzen. Dieser Widerstand wird durch die Qualität der GaAs-Oberfläche, die Dotierung, das verwendete Metall und durch das Einlegierverfahren entscheidend beeinflußt. Der ohmsche Kontakt zwischen dem GaAs und dem Ni/AuGe/Ni ist bis zu einer bestimmten Grenze, bei höheren Einlegiertemperaturen und längeren Einlegierzeiten besser [30]. Dies konkurriert mit der bei einem vertikalen Bauelement möglichen Verschlechterung des Schottky-Kontaktes durch zu tief in den Kanal eindiffundierte Dotierstoffe. In der Literatur werden Eindringtiefen des Goldes von mehr als 0.3 μm berichtet [31]. Dies würde natürlich das Funktionieren des Transistors stark beeinträchtigen.

Um möglichst geringe Kontaktwiderstände zu erhalten, wurden mittels MOMBE hergestellte PBT-Strukturen bei verschiedenen Temperaturen und Zeiten getempert. Die n-Dotierung des gewachsenen GaAs wurde mit einer CV-Messung bestimmt und lag bei $N_D = 5 \cdot 10^{16}$ cm^{-3}. Aus der CV-Messung sind keine Dotierungsschwankungen abzulesen, dies ist auch im Hinblick auf die Reproduzierbarkeit und Einstellbarkeit der elektrischen Eigenschaften im Kanal wichtig. Da in den facettierten nur 1 μm breiten Strukturen die übliche Vier-Punkt - Methode zur Messung des Kontaktwiderstandes nicht möglich ist, wurde der ohmsche Widerstand R zwischen zwei Drain-Kontakten bestimmt. Wenn diese Methode bei jeweils gleichen Flächen angewendet wird, können die verschiedenen Proben untereinander verglichen werden. Die Widerstände der in einem RTP-Ofen bei verschiedenen Parametern einlegierten Proben sind in der folgenden Tabelle aufgeführt.

Probe	Temperatur	Zeit	Widerstand
A	$430°C$	30 s	12Ω
B	$400°C$	30 s	16Ω
C	$430°C$	15 s	39Ω

Der Widerstand wird also mit sinkender Einlegierzeit größer, der Einfluß der Einlegiertemperatur ist dagegen schwächer ausgeprägt. Die meisten hergestellten PBT's wurden bei einer Temperatur von 430 °C für 30 s einlegiert. Mit diesen Werten können Schottky-Dioden, wie sie im folgenden beschrieben sind, erreicht werden.

4.3.2 Schottky - Dioden

Schottky - Dioden werden bei planarer Geometrie oft durch Aufdampfen eines Metalles hergestellt. Wegen seines geringen Widerstandes wird dazu insbesondere Aluminium verwendet. Wenn höhere Temperaturen, wie etwa bei der Epitaxie oder beim Ausheilen nach der Ionenimplantation erforderlich werden, wird Wolfram eingesetzt [32]. Vor dem Aufdampfen des Metalls wird der Halbleiter chemisch geätzt, um einen möglichst guten und reproduzierbaren Kontakt zu erzeugen. Beim selektiv gewachsenen Permeable Base Transistor ist das Metall-Gate vorgegeben, und das GaAs wächst an das Metall an. Die Güte des Schottky Kontaktes wird bei vertikalen Transistoren deshalb eher durch die Epitaxie als durch das Aufdampfen des Metalls bestimmt. Die Reinigung ist bei Kanalweiten im sub-μm Bereich problematisch. Zum einen kann oftmals nur durch Ultraschall - Unterstützung die Benetzung der Strukturen erreicht werden, zum anderen ist der Austausch von verbrauchter Ätze mit deionisiertem Wasser schwieriger als bei ebenen Oberflächen. Darüberhinaus sind die spezifischen Probleme des Wachstum von GaAs auf bereits strukturierten Wafern zu berücksichtigen. Wie in Kapitel 4.2 beschrieben, wird das Anwachsverhalten von der Streifenorientierung, den Prozeßparametern und der Maskengeometrie beeinflußt. Auftretende Kristallfehler wie Stapelfehler und Löcher können in vielfacher Weise den Metall - Halbleiter Kontakt beeinträchtigen [7].

Die angesprochenen Unterschiede im Herstellungsverfahren des Schottky - Kontaktes können auch Einfluß auf die Diodenkennlinie haben. Der Vergleich eines

in lateraler und in vertikaler Geometrie hergestellten Metall - Halbleiter-Überganges diente der Klärung dieser Frage. Gleichzeitig wurde die Abhängigkeit der Kennlinie von der Dotierung untersucht.

4.3.3 Laterale Schottky - Dioden

Zur Herstellung von lateralen Schottky - Dioden wurden in einer MOVPE - Anlage drei semiisolierende (100) GaAs Wafer mit 1 μm n-dotiertem GaAs bei einer Temperatur von 650 °C überwachsen. Die Dotierung betrug $3 \cdot 10^{16}$ cm^{-3}, $3 \cdot 10^{17}$ cm^{-3} und $3 \cdot 10^{18}$ cm^{-3}. Auf ein Drittel der rechteckig geformten Proben wurde ein Schichtpaket aus Ni/AuGe/Ni aufgedampft und einlegiert. Die restliche Fläche wurde nach Auftragen von Photolack mit einer aus Quadraten bestehenden Maske strukturiert. Auf die Proben wurden dann 50 nm Wolfram aufgedampft und durch einen Lift - Off Prozeß wurde das Wolfram über den mit Photolack bedeckten Stellen wieder entfernt. Der schematische Aufbau dieser Stuktur wird in Abb. 31 gezeigt. Das epitaktisch gewachsene GaAs und das

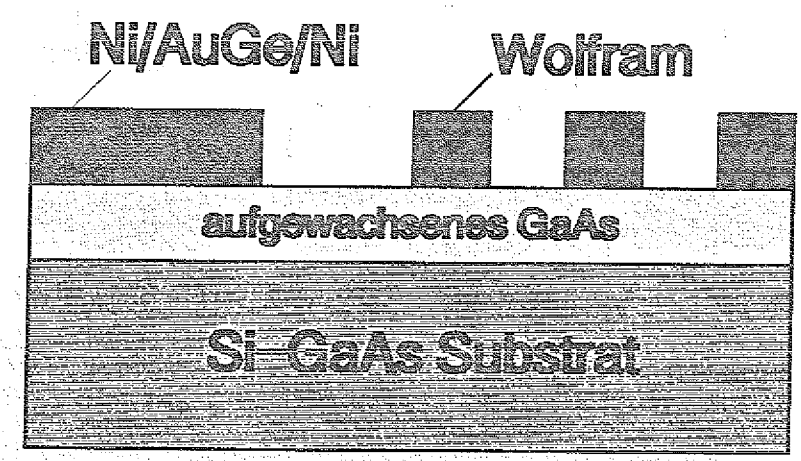


Abbildung 31: Aufbau der hergestellten lateralen Schottky-Dioden

Wolfram bilden nach der in Kapitel 2.1 erläuterten Theorie des Metall - Halbleiter Überganges einen Schottky - Kontakt. Wird zwischen dem GaAs (über den ohmschen Kontakt) und dem Wolfram eine Spannung angelegt, so ergeben sich bei einer Fläche von $1 \cdot 10^{-6}$ cm^2 die in Abb. 32, 33 und 34 dargestellten Kennlinien. Beim Vergleich der Kennlinien fällt sofort die starke Abhängigkeit des

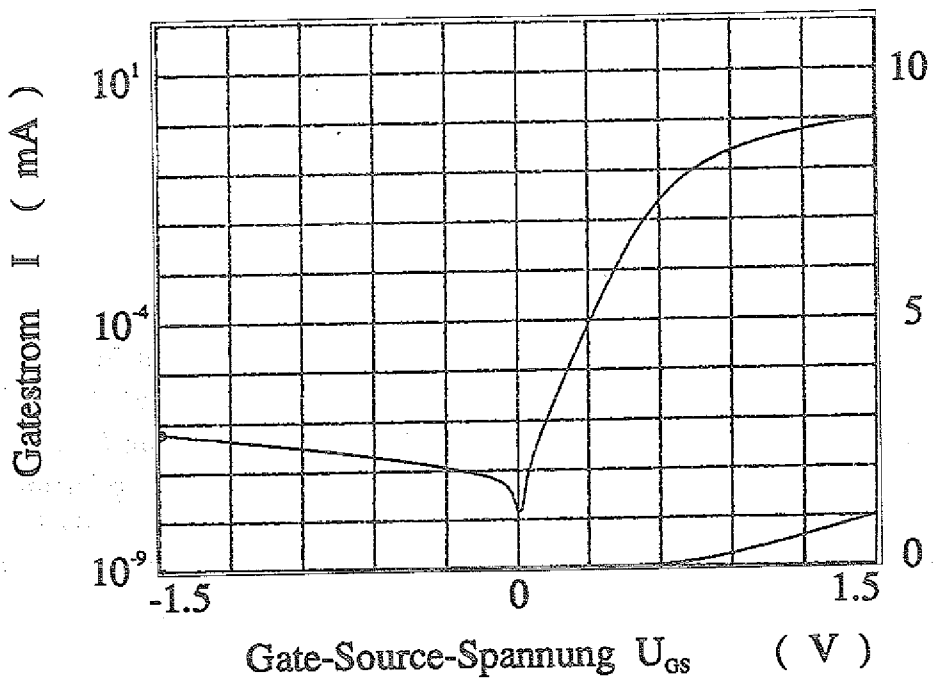


Abbildung 32: Kennlinie der lateralen Schottky-Diode mit einer Dotierung von $N_D = 3 \cdot 10^{16}$ cm^{-3}.

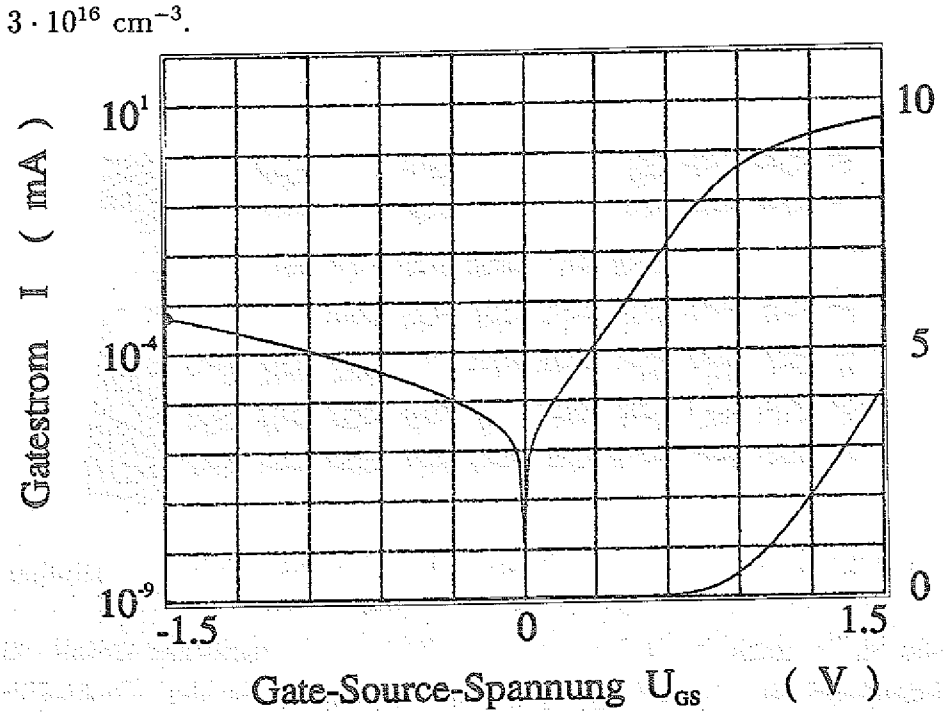


Abbildung 33: Kennlinie der lateralen Schottky - Diode mit einer Dotierung von $N_D = 3 \cdot 10^{17}$ cm^{-3}

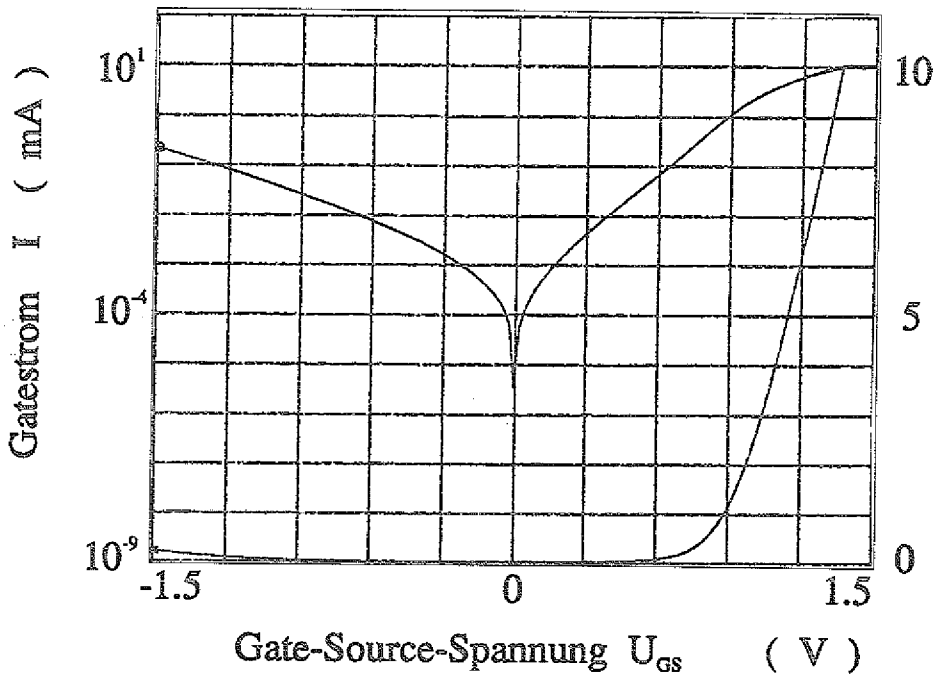


Abbildung 34: Kennlinie der lateralen Schottky - Diode mit einer Dotierung von $N_D = 3 \cdot 10^{18}$ cm^{-3}

Kennlinienverlaufes von der Dotierung auf. Unter Verwendung der Gleichungen (9),(10),(11) ergibt die Auswertung der Kennlinien folgende Werte:

N_D	Φ_{Bn}	n	j_R
$3 * 10^{16}$cm^{-3}	0.60 eV	1.4	0.59 mA/cm^2
$3 * 10^{17}$cm^{-3}	0.51 eV	2.4	550 mA/cm^2
$3 * 10^{18}$cm^{-3}	0.37 eV	3.8	22 $\cdot 10^4$ mA/cm^2

Wie aus der Theorie zu erwarten war, liegt bei der geringsten Dotierung $N_D = 3 \cdot 10^{16}$ cm^{-3} das beste Schottky - Verhalten vor. Die Barrierenhöhe beträgt Φ_{Bn} = 0.60 eV. Mit steigender Dotierung wird der Tunnel - Effekt immer wichtiger, der Idealitätsfaktor verschlechtert sich und die Reststromdichte j_R erreicht bei einer Dotierung von $N_d = 3 \cdot 10^{18}$ cm^{-3} einen Wert von 22 $\cdot 10^4$ mA/cm^2. Dies entspricht dem Übergang von der idealen Schottky-Diode zum ohmschen Kontakt. Die besten aus der Literatur bekannten Werte für aufgedampftes Wolfram sind eine Barrierenhöhe von Φ_{Bn} = 0.70 eV und ein Idealitätsfaktor n > 1.2 bei einer Dotierung des GaAs von $5 \cdot 10^{16}$ cm^{-3} [33]. Alle charakteristischen Werte der Schottky - Diode sind bei der Dotierung von $N_D = 3 \cdot 10^{16}$ cm^{-3} am besten ausgeprägt. Dies legt den Schluß nahe, für die Kanaldotierung des selektiv

gewachsenen Permeable Base Transistors im Gate-Bereich ebenfalls Dotierungen von $N_D \leq 3 \cdot 10^{17}$ cm^{-3} zu verwenden.

4.3.4 Vertikale Schottky - Dioden

Die vertikalen Schottky-Dioden wurden an PBT's gemessen, die nach dem in Kapitel 3 beschriebenen Verfahren hergestellt wurden. Die angegebene Dotierung des GaAs bezieht sich auf Epitaxie-Vorgaben und konnte in den Kanälen nicht eigens gemessen werden. In wie weit diese Dotierung mit der tatsächlichen Dotierung übereinstimmt, ist nicht genau bekannt; hier sind SIMS - Untersuchungen erforderlich.

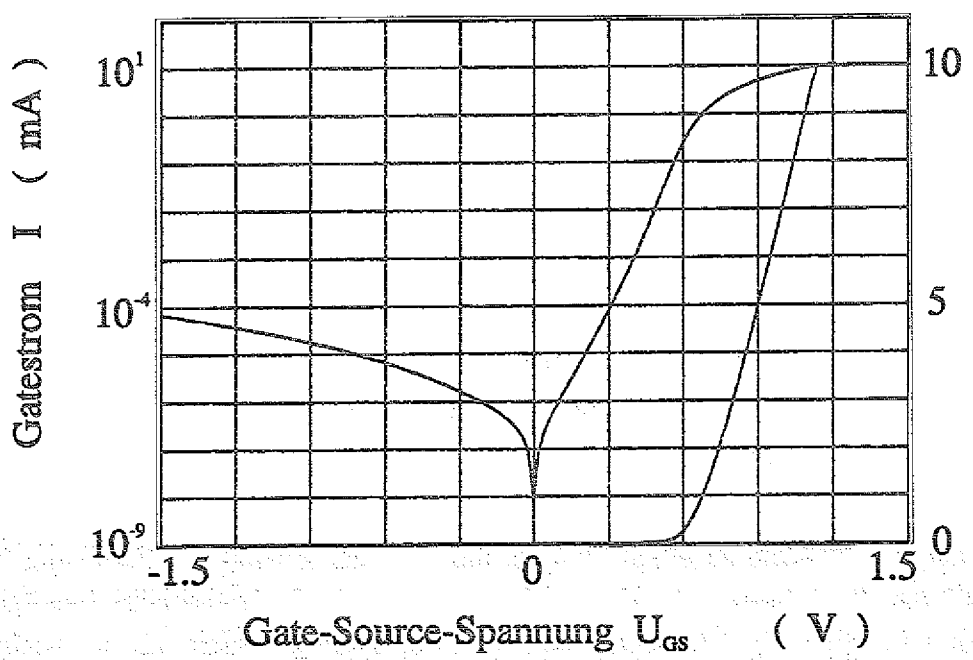


Abbildung 35: Kennlinie der mit MOMBE hergestelllten vertikalen Schottky - Diode mit einer Dotierung von $N_D = 5 \cdot 10^{16}$ cm^{-3} und einer Fläche von $A = 1 \cdot 10^{-6}$ cm^2 .

Die Kennlinien zeigen Schottky - Dioden Verhalten. Zwischen der Gate - Source und der Gate - Drain Diode ist kein wesentlicher Unterschied erkennbar. Die Auswertung der Kennlinien (vgl. Abb. 35 und 36) ergibt folgende Werte:

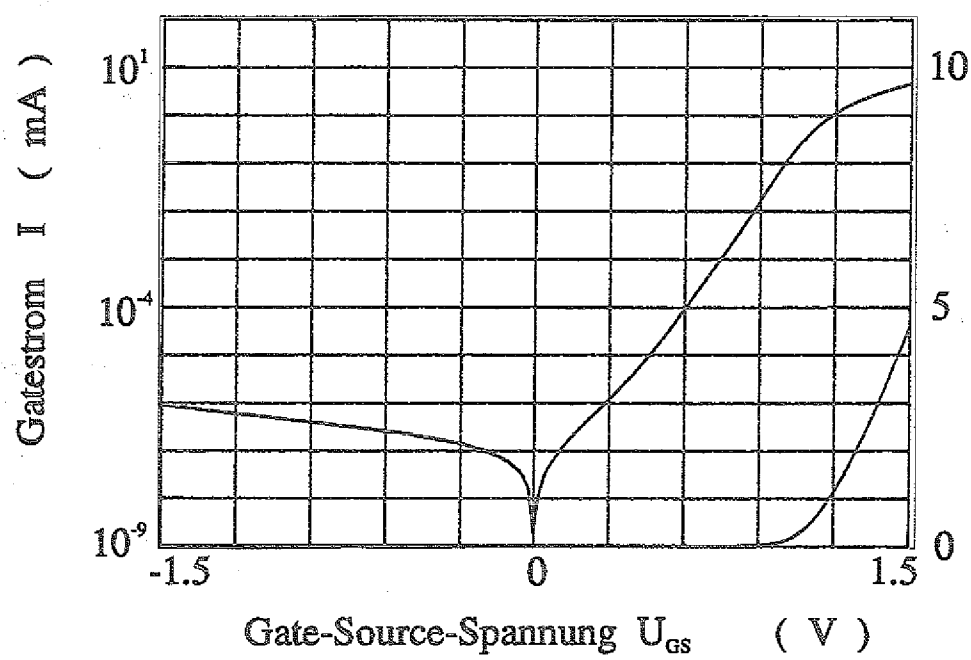


Abbildung 36: Kennlinie der mit MOVPE hergestellten vertikalen Schottky - Diode mit einer Dotierung von $N_D = 8 \cdot 10^{15}$ cm^{-3} und einer Fläche von $A = 3 \cdot 10^{-7}$ cm^2.

Anlage	N_D	Φ_{Bn}	n	j_R
MOMBE	$5 \cdot 10^{16} cm^{-3}$	0.65 eV	1.36	67.9 mA/cm^2
MOVPE	$8 \cdot 10^{15} cm^{-3}$	0.64 eV	2.3	3.0 mA/cm^2

Die Barrierenhöhen von 0.65 eV bzw. 0.64 eV sind im Vergleich zu den höchsten bei lateraler Geometrie gemessenen Barrierenhöhen um etwa 0.05 eV verbessert. Der Idealitätsfaktor nimmt mit 1.36 einen guten Wert im Vergleich zur lateralen Geometrie an. Die ersten von Bozler et al. gemessenen Idealitätsfaktoren an PBT - Strukturen hatten einen Wert von n = 1.5 [4].

Die unterschiedlichen Werte der lateralen und der vertikalen Dioden können auf die bereits erläuterten Herstellungsverfahren zurückgeführt werden. Das Wolfram wurde auf eine {100} Oberfläche aufgedampft, bei den vertikalen Dioden liegt das Wolfram an einer anderen GaAs-Oberfläche an. Die Wolfram-Streifen der vertikalen Dioden zeigen in [001] Richtung; damit berühren die den Kanal berandenden Wolfram-Flächen eine {010} Oberfläche, die eine andere Schottky-Charakteristik

aufweisen kann. Wegen der bei lateraler Geometrie gezeigten starken Abhängigkeit der Barrierenhöhe von der Dotierung kann die größere Barrierenhöhe auch in einer tatsächlich kleineren Dotierung als angenommen begründet werden. Es zeigte sich, daß die mit MOMBE hergestellten Dioden stets bessere Werte für die Barrierenhöhe und den Idealitätsfaktor zeigten als die MOVPE Proben. Dies ist möglicherweise durch die um etwa 40 °C geringere Wachstumstemperatur der MOMBE Proben begründet. Eine ähnliche Temperaturabhängigkeit bei lateralen Dioden wurde von Waldrop [33] gefunden.

Zusammenfassend kann gesagt werden, daß die in vertikaler Geometrie hergestellten Schottky - Dioden bessere Werte als die lateralen Dioden aufweisen. Möglicherweise liefert an Wolfram angewachsenes GaAs weniger Stress und Defekte als das Aufdampfen des Wolframs auf das GaAs. Die Reststromdichte ist mit etwa 70 mA/cm^2 noch relativ groß und sollte durch einen weiteren Abstand des Drain-Metalles von den kritischen Streifenenden noch weiter reduziert werden. Eine Barrierenhöhe von 0.65 eV ermöglicht die Verarmung des Kanals und damit die Steuerung des Transistors, die im nächsten Kapitel beschrieben wird.

4.3.5 Ausgangskennlinien

Das Ausgangskennlinienfeld eines Transistors zeigt die Abhängigkeit des Drainstromes I_D als Funktion der Spannung U_{SD} mit der Gatespannung U_{GS} als Parameter. In Abb. 37 ist das Ausgangskennlinienfeld eines mit MOVPE selektiv gewachsenen PBT's dargestellt. Als Trägergas wurde bei der Epitaxie Stickstoff verwendet, der Druck betrug 100 hPa. Der hier gemessene SG-PBT hat eine Kanalbreite von 1.5 μm, eine Source-Fläche von 18 μm· 30 μm, SiO_2-Dicken von 400 nm, eine Gate-Dicke von 150 nm und eine Dotierung von $4 \cdot 10^{15}$ cm^{-3} im Gatebereich. Bei einer Gate - Spannung von 0 V und $U_{DS} = 2$ V fließt ein Strom von 15 mA durch den Kanal. Doch erst bei einer positiven Ansteuerung des Gates (+1V) ist der Kanal ganz geöffnet, der Strom I_D steigt auf 22 mA an. Die Steilheit g_m beträgt in diesem Fall 24.2 mS/mm. Die Einheit mS/mm bedeutet, daß der absolute Wert der Steilheit wie er aus der Kennlinie folgt, auf die geometrische Gateweite, in diesem Fall 0.3 mm, bezogen wird. Dadurch wird der Wert spezifisch für die Dotierung und Kanalweite und unabhängig von der Gateweite.

Die Kennlinie zeigt, daß der PBT bei einer Gate-Spannung von -4 V abgeschnürt wird, der bei $U_{DS} = 0.5$ V fließende Strom beträgt nur $5 \cdot 10^{-4}$ mA und ist damit

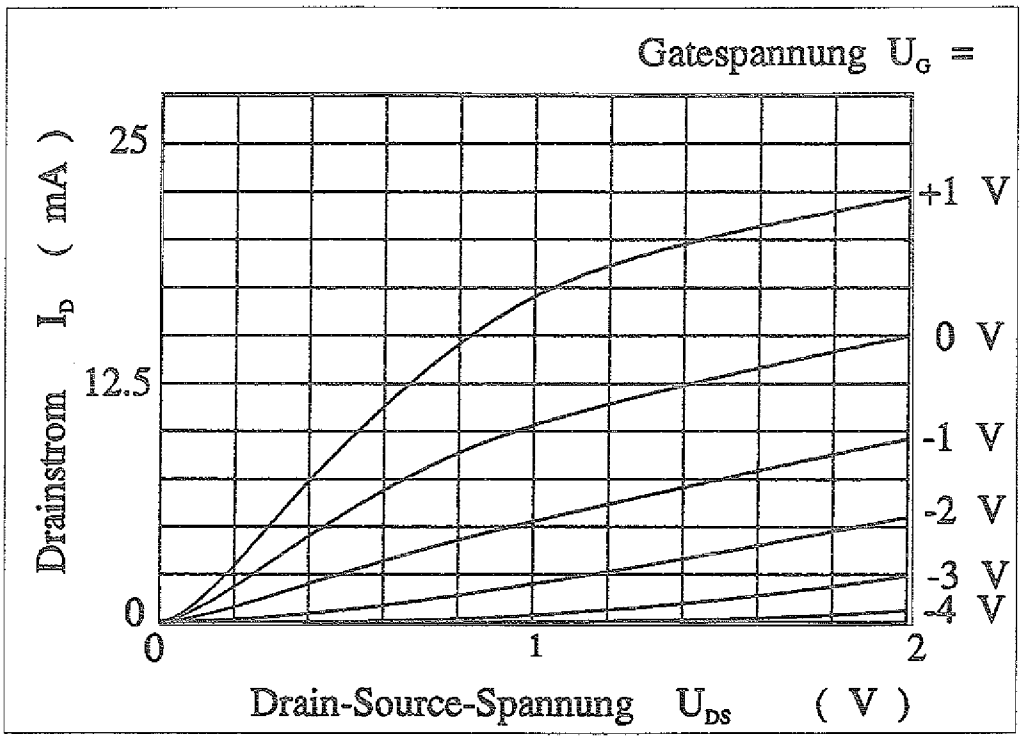


Abbildung 37: Ausgangskennlinienfeld eines mit MOVPE hergestellten selektiv gewachsenen Permeable Base Transistors. Der Kanal mit einer Weite von 1.5μm ist bei einer Gate-Spannung von +1 V maximal geöffnet und wird bei einer Gate-Spannung von -4 V abgeschnürt. Die Dotierung ist $N_D = 4 \cdot 10^{15}$ cm^{-3}.

20.000 mal kleiner als der bei einer Gate-Spannung von +1 V fließende Strom. Die Ausgangskennlinie wurde in der „ Source on Top " Anordnung gemessen. Es zeigte sich, daß bei Source-Anschluß auf dem GaAs-Substrat des Wafers (Drain on Top) Ausgangskennlinien mit kleineren Steilheiten als bei Drain-Anschluß auf dem GaAs-Substrat erhalten werden (Source on Top). Die Gate-Source und Gate-Drain Dioden zeigen das gleiche Verhalten, unterschiedlich sind nur die Ausgangskennlinien bei Vertauschen von Source und Drain. Eine mögliche Erklärung ist, daß sich bei Source on Top die Raumladungszone des Gates zwischen Gate und Drain weiter ausbreiten kann (in den Wafer hinein) als bei Drain on Top. Im letzteren Fall beträgt der Abstand zwischen Gate und Drain nur 200-400 nm, dies führt dazu, daß die Raumladungszone des Gates bis zum Drain-Kontakt reichen kann. Damit ist eine Steuerung des SG-PBT durch die Änderung der Raumladungszonenweite im Halbleiter nicht mehr möglich.

Bei einer höheren Dotierung N_D ist die Reichweite der Verarmungszone kleiner,

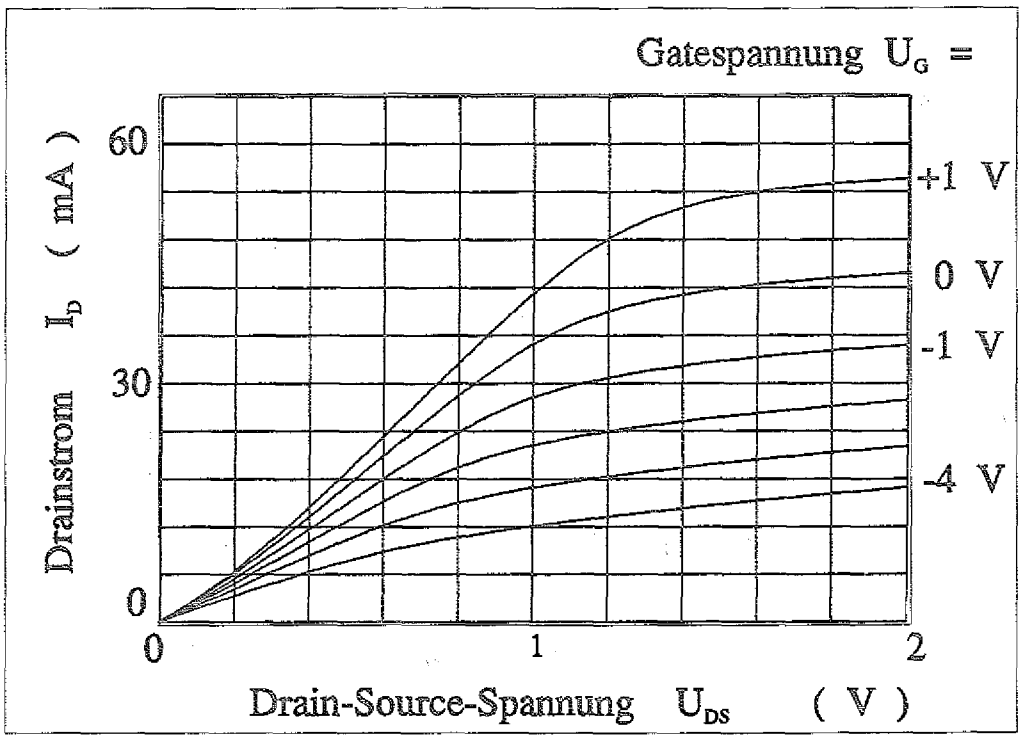


Abbildung 38: Ausgangskennlinienfeld eines mit MOVPE hergestellten selektiv gewachsenen PBT's mit Pentodencharakter. Die Gate-Spannung wird von +1 V bis -4 V variiert, die Dotierung beträgt $N_D = 7 \cdot 10^{15}$ cm^{-3}, die Kanalweite 1.5 μm.

und die Stromdichten sind (vgl. Gl. 21) wegen

$$j = \sigma E = q\mu N_D \cdot E \tag{22}$$

größer. Die Ausgangskennlinie eines PBT's mit einer Dotierung von $N_D = 7 \cdot 10^{15}$ cm^{-3}, einer Kanalweite von 1.5 μm, einer Gateweite von 0.3 mm und einer Source-Fläche von 30 μm · 18 μm ist in Abb. 38 dargestellt. Die Kennlinien weisen bei einer Gatespannung von + 1 V bis - 4 V Pentodencharakter auf. Der Kanal des Transistors kann nicht abgeschnürt werden, da bei noch kleineren Gate-Spannungen die Schottky-Dioden zerstört würden. Die aus Abb. 38 folgende maximale Steilheit wird bei der Gatespannung zwischen 0 V und + 1 V erreicht, sie ergibt sich zu g = 39.4 mS/mm. Bei den meisten Transitoren wurde beobachtet, daß die Steilheit bei weiterer Öffnung des Kanals stets größer war als beim Abschnüren des Kanals. Um hohe Steilheiten zu erzielen, sollte der PBT also im Anreicherungsmodus betrieben werden.

Es wurden auch SG-PBT's mit der metallorganischen Molekularstrahlepitaxie (MOMBE) hergestellt. Neben den physikalischen Unterschieden des Wachstumsprozeßes zwischen den beiden Anlagen, benutzt die MOVPE Silan (SiH_4) und die MOMBE DETe (Diethyltellur) als Dotierstoff. Mit der MOVPE kann in dem Bereich $N_D = 5 \cdot 10^{15}$ cm^{-3} bis $N_D = 3 \cdot 10^{18}$ cm^{-3} und mit der MOMBE in dem Bereich $N_D = 5 \cdot 10^{16}$ cm^{-3} bis $N_D = 2 \cdot 10^{19}$ cm^{-3} kontrolliert n-dotiertes GaAs deponiert werden. Beide Anlagen decken damit den für PBT-Anwendungen interessanten Dotierbereich ab. In Abb. 39 ist das Ausgangskennlinienfeld eines mit MOMBE hergestellten selektiv gewachsenen PBT's zu sehen.

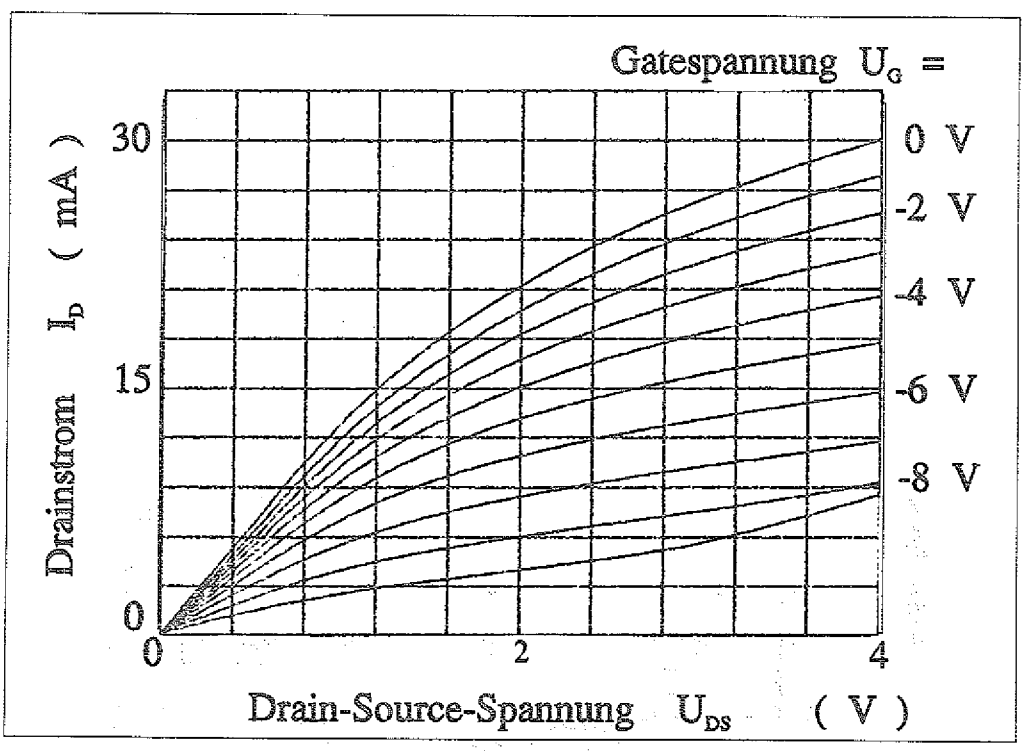


Abbildung 39: Ausgangskennlinienfeld eines mit MOMBE hergestellten selektiv gewachsenen Permeable Base Transistors.Die Gate-Spannung wird von 0 V bis -9 V varriert. Die Dotierung ist $N_D = 5 \cdot 10^{16}$ cm^{-3} und die Kanalweite 1 μm .

Die Kanalweite beträgt 1 μm, die SiO_2 Schichtdicke 600 nm, die Wolfram Dicke 50 nm und die Dotierung $N_D = 5 \cdot 10^{16}$ cm^{-3}. Bei $U_{DS} = 4$ V und $U_G = 0$ V ist der Drainstrom $I_D = 30$ mA. Die aus Abb. 39 und einer Gate-Weite von

1.05 mm folgende Steilheit ist 2.9 mS/mm. Es zeigte sich, daß die hergestellten Transistoren bis zu einer Gate - Spannung von etwa U_{GS} = - 9 V betrieben werden können. Bei höheren Gate-Spannungen wird die Schottky-Diode zerstört.

4.3.6 Transfercharakteristik

Die Transfercharakteistik gibt den Zusammenhang zwischen dem Drain - Strom I_D und der Gate - Source Spannung U_{GS} bei konstanter Drain-Source Spannung U_{DS} an. An dieser Kennlinie können elektrische Größen wie die Steilheit g_m und die Schwellspannung U_{th} abgelesen werden. Die Schwellspannung bei Transistoren vom Verarmungstyp ist die Spannung, bei der gerade kein Strom mehr durch den Kanal fließt, sie wird durch Extrapolation der Kennlinie bei I_D = 0 V abgelesen. Die Kennlinie eines SG-PBT ist in Abb. 40 dargestellt. Die konstante

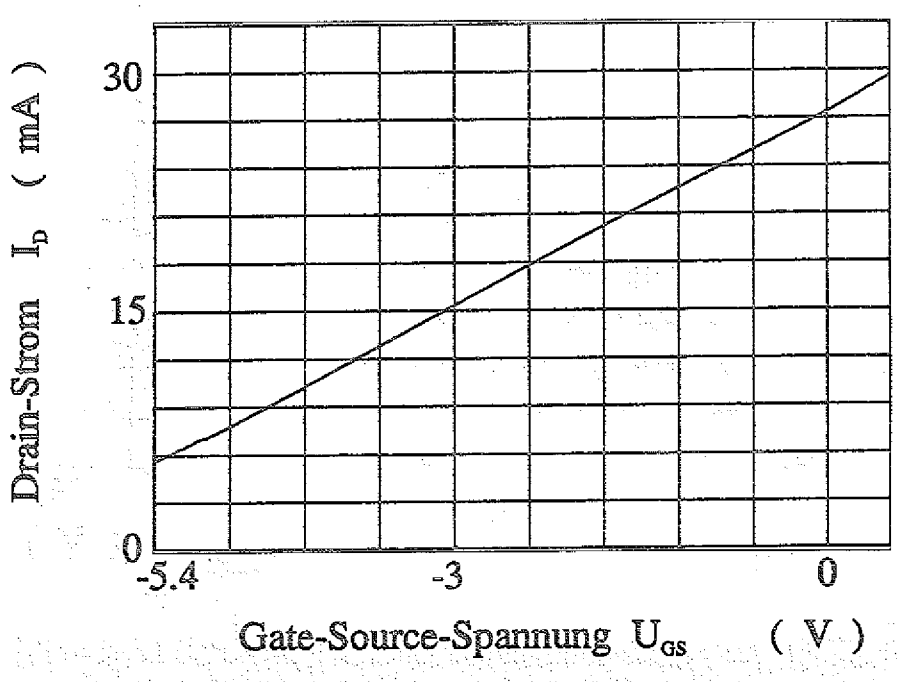


Abbildung 40: Transfercharakteristik eines selektiv gewachsenen Permeable Base Transistors bei einer Drain Spannung von U_D = 0.8 V. Die Dotierung ist $N_D = 5 \cdot 10^{15}$ cm^{-3}, die Kanalbreite b = 1.5 μm und die Gateweite z = 0.3 mm.

Spannung zwischen Source und Drain beträgt 0.8 V. Bei einer Gate-Spannung

von 0 V ist der Kanal geöffnet und von Source nach Drain fließt ein Strom von 27 mA. Wird die Gate Spannung erniedrigt, so wird der Kanal verarmt und der Drain-Strom muß abnehmen bis er (theoretisch) bei der Schwellspannung U_{th} = - 6.8 V ganz auf Null gesunken ist. Der lineare Verlauf der Transferkennlinie im unteren Spannungsbereich, kann durch folgende Gleichung erfaßt werden.

$$I_D = k \cdot (U_{GS} - U_{th}) \tag{23}$$

Aus Abb. 40 folgt eine Steilheit von 4 mS, das sind 13.3 mS/mm. Der lineare Verlauf der Transferkennlinie entspricht nicht der von Bozler beobachteten [4] parabelförmigen oder exponentiellen Abhängigkeit. Dies könnte auf einen unterschiedlichen Steuermechanismus des SG-PBT's hinweisen.

Aus der Definition der Steilheit folgt, daß der Faktor k gerade dem Wert der Steilheit entspricht.

$$g_m = \frac{dI_D}{dU_{GS}}_{|U_D} = k \tag{24}$$

An der Steigung der Kurve ist die Kontrolle des Drain-Stromes durch die Gate-Spannung abzulesen. Je steiler der Verlauf ist, desto stärker ist die Steuermöglichkeit.

5 Diskussion

5.1 Bauelementverhalten

Wenn die Kanalweiten oder die Dotierung richtig gewählt werden, so ist der Transistor bei einer Gate-Spannung von 0 Volt verarmt. Im Transistor fließt dann von Source nach Drain kein Strom. Die Verarmung des Kanals wird durch die Raumladungezone des Wolframs und durch die SiO_2 Oberfläche hervorgerufen. Die das Wolfram umgebenden SiO_2 Schichten des selektiv gewachsenen PBT's grenzen, wie aus Abb. 1 hervorgeht, an den Kanal. An der Halbleiter-Isolator Grenzfläche bilden sich Grenzflächenzustände aus (vgl. die Diskussion der Metall-Halbleiter Grenzfläche in Kapitel 1), die elektisch geladen sind. Die Ausdehnung w_0 der entstehenden Raumladungszone ergibt sich mit Hilfe der Poisson-Gleichung zu:

$$w_O = \sqrt{\frac{2\varepsilon\varepsilon_{GaAs}}{q^2 N_d}\Phi_S} \tag{25}$$

Die Bandverbiegung Φ_S ist die energetische Differenz zwischen dem Maximum des Leitungsbandes an der SiO_2/GaAs - Grenzfläche und dem Leitungsband im Inneren des Halbleiters. Für diese werden in der Literatur unterschiedliche Werte angegeben. Sie reichen für SiO_2 auf n-GaAs von $\Phi_S = 0.8$ eV [34] bis zu $\Phi_S = 0.6$ eV [35]. Die sich ergebende Raumladungszone in Abhängigkeit von der Dotierung ist für diese Bandverbiegungen in Abb. 41 dargestellt. Wegen der beidseitigen Kanalberandung durch das SiO_2 muß die aus Gl. (29) folgende Verarmungsweite verdoppelt werden. Ein 1 μm breiter Stromkanal des PBT's wäre demnach bei einer Dotierung von $N_D = 3 \cdot 10^{15}$ cm^{-3} und einer Bandverbiegung von $\Phi_S = 0.8$ eV durch die Wirkung der GaAs/SiO_2 Grenzfläche vollständig verarmt. Die in dieser Diplomarbeit durchgeführten Messungen ergeben jedoch bei den genannten Parametern einen offenen Kanal. Daraus ist entweder auf eine durch Diffusion bedingte höhere Kanaldotierung oder auf eine Bandverbiegung an der GaAs/SiO_2 Grenzfläche von weniger als 0.8 eV zu schließen.

Mit kleineren Kanalweiten und kleinerer Dotierung kann dennoch ein Transistor, der schon aufgrund der vorhandenen SiO_2 Flächen verarmt ist, erreicht werden. Der geschlossene Kanal kann durch negative Ansteuerung des Wolfram-Gates nur geöffnet werden, wenn die vertikale Länge des SiO_2 den Steuerbereich des Wolfram-Gates nicht übersteigt. Andernfalls könnten die Elektronen aus der

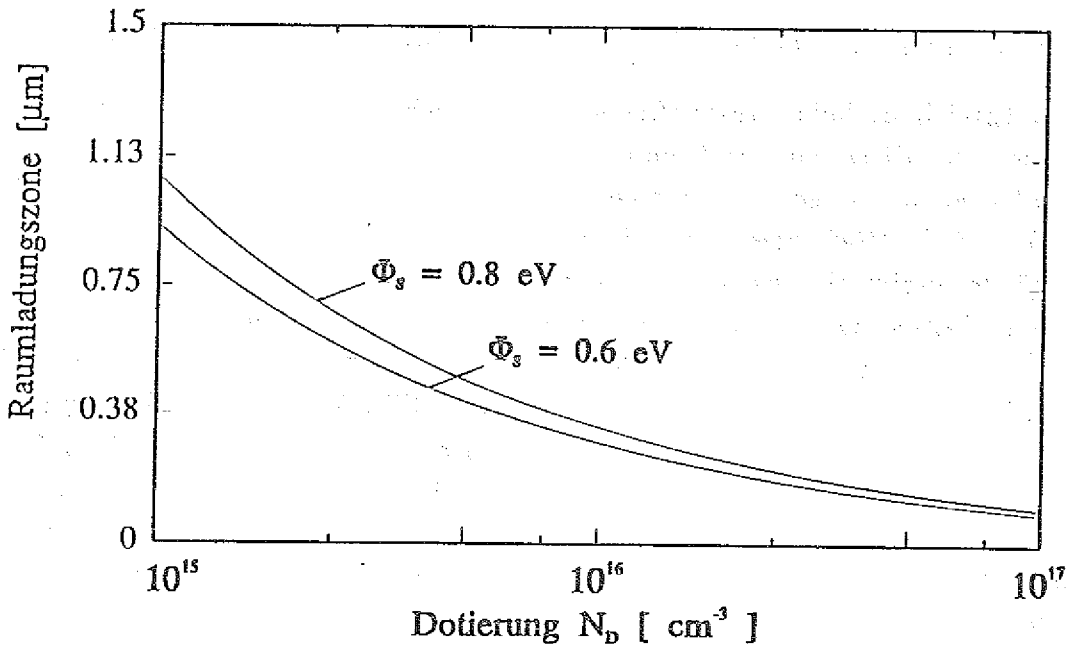


Abbildung 41: Verarmungsweite in Abhängigkeit von der Dotierung N_D für zwei Bandverbiegungen.

Source wegen der Barriere zwischen den SiO_2 Flächen nicht in den leitenden Gate-Bereich eindringen. Aus dieser Einsicht läßt sich mit GL. 4 eine obere SiO_2 Dicke bei einer bestimmten Dotierung und Kanalweite abschätzen.

Um einen Transistor herzustellen, der bei einer Gate-Spannung von 0 Volt einen geschlossenen Kanal besitzt, muß ausgehend von einem Transistor mit offenem Kanal entweder die Dotierung oder die Kanalweite reduziert werden. Die niedrigste bei der Epitaxie reproduzierbar einzustellene Dotierung lag bei der MOMBE bei $N_D = 3 \cdot 10^{16}$ cm^{-3} und bei der MOVPE bei $N_D = 3 \cdot 10^{15}$ cm^{-3}. Diese Werte sind jedoch wegen auftretender Hintergrunddotierungen Schwankungen unterworfen. Deshalb sollte nicht im unteren Bereich der möglichen Dotierung gewachsen werden, sondern bei einem stets reproduzierbaren Dotierungswert. Die Kanalabschnürung sollte also über verkleinerte Kanalweiten erreicht werden. Ein weiteres Argument, einen Transistor vom Anreicherungstyp über die Verkeinerung der Kanalweite zu erreichen, ist an der Skalierung der Gleichung 4 zu erkennen. Es gilt:

$$w \sim \sqrt{\frac{1}{N_D}} \tag{26}$$

Eine lineare geometrische Kanalweitenverringerung skaliert stärker als die nur

mit der Wurzel aus der Dotierung mögliche Verbreiterung der Raumladungszone.

Zur Erreichung hoher Transitfrequenzen ist nach Gl. 12 eine hohe Steilheit erforderlich. Diese wird nach numerischen und experimentellen Ergebnissen von Bozler [4] mit steigender Kanaldotierung und abnehmender Kanalweite größer. Eine weitere Möglichkeit die Steilheit g_m, und damit die Frequenz f_T, weiter zu erhöhen, ergibt sich nach Berechnungen von M. A. Osman et. al. [21] durch die n^+ Dotierung von Source und Drain Region, wodurch sich eine $n^+ - n - n^+$ Kanaldotierung ergibt. Dieses Dotierungsprofil wurde an herkömmlichen PBT-Strukturen diskutiert, hat jedoch auch beim SG-PBT Vorteile. Die Bewegung der Elektronen wird bei dieser Dotierung durch den „Spill-Over-Effect" beeinflußt. Dieser Effekt besteht in der Diffusion von Elektronen aus einem hoch dotierten in ein niedrig dotiertes Gebiet. Für den PBT bedeutet dies einen Anstieg der Elektronenkonzentration im Gate-Bereich und damit höhere Stromdichten [19]. Die Steuerung des PBT's geschieht primär in der Gate-Region, da die Reichweite der Gate-bedingten Verarmungszone in den hoch dotierten Bereichen schnell abklingt. Die hohe Dotierung zwischen den SiO_2 Flächen reduziert die Reichweite der durch die Oberfläche des SiO_2 hervorgerufenen Raumladungszone. Das $n^+ - n - n^+$ Dotierungsprofil kann erforderlich sein wenn, wie oben erwähnt, die Dicke des SiO_2 den Steuerbereich des Gates übersteigt. Ein weiterer Vorteil der n^+ Dotierung ist die Verkleinerung der Source und Drain Serienwiderstände.

Bei den in dieser Arbeit hergestellten Transistoren wurde die Dotierung der ersten 10 nm des gewachsenen GaAs linear von der Substratdotierung auf die Kanaldotierung heruntergefahren (grading), die abschließende Schicht bestand aus einer 50 nm n^+ GaAs Deckschicht. Durch die Prozeßschritte, die vor dem Wachstum des GaAs in der Epitaxie notwendig sind, verschlechtert sich die Qualität der Substrat Oberfläche. Im Übergangsbereich von Substrat und gewachsenem GaAs entstehen Verspannungen und Defekte. Die elektrische Reichweite dieser Schäden kann mit der zuerst gewachsenen n^+ Schicht reduziert und eine durch Kontamination mit Fremdstoffen mögliche effektive p-Dotierung der Substratoberfläche kompensiert werden. Die obere n^+ Deckschicht ist notwendig, da niedrige Kontaktwiderstände auf schwach n-dotiertem GaAs schwieriger zu erreichen sind. Die $n^+ - n - n^+$ Dotierung ist von großer Bedeutung, da erst mit diesem Dotierungsprofil gute und reproduzierbare Strom-Spannungs Charakteristiken erreicht wurden.

5.2 Auswertung der TEM - Aufnahmen

Ein kritischer Punkt der konventionellen PBT Herstellung ist das Überwachsen des Wolfram - Gates mit GaAs. Während der Epitaxie wird auf das Wolfram kein GaAs abgeschieden, die Bedeckung wird vielmehr durch seitliches Überwachsen erreicht. Transmissionselektronenmikroskopie (TEM) Untersuchungen haben gezeigt [7], daß oberhalb des Gates Löcher und Stapelfehler auftreten können. Dies ist im Hinblick auf gute elektrische Eigenschaften und eine sichere Reproduzierbarkeit bedenklich, da gerade hier der sensible Steuerbereich des PBT's ist. In Abb. 42 sind diese Kristallfehler oberhalb des Wolfram Streifen gut zu erkennen. Hier zeigt sich ein Vorteil der Einbettung des Wolfram - Gates in SiO_2,

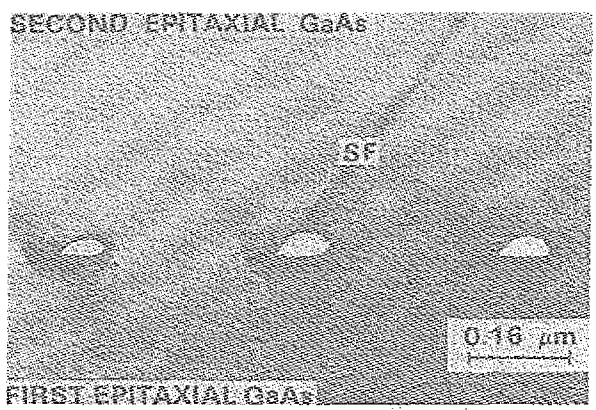


Abbildung 42: TEM - Querschnittaufnahme eines überwachsenen PBT's. Oberhalb der Wolfram - Streifen befinden sich Löcher, auf einem Streifen ist ein Stapelfehler zu erkennen. (Entnommen aus [7])

die Kristallfehler im GaAs oberhalb der Wolfram - Streifen können nicht auftreten, da kein GaAs vorhanden ist. Die selektive Epitaxie verhindert darüberhinaus polykristalline Abscheidungen von GaAs auf dem SiO_2, die sich in unkontrollierbarer Weise auf die elektrischen Eigenschaften auswirken können. Dieser Vorteil des SG-PBT muß jedoch an der Qualität des gewachsenen GaAs gemessen werden. Die Prozeßparameter zur Einhaltung der selektiven Epitaxie und die SiO_2 - Flächen seitlich des Kanals dürfen sich nicht negativ auf die elektrische Beschaffenheit des GaAs und auf das Anwachsverhalten des GaAs an das Gate auswirken. Die GaAs - Wolfram Grenzfläche wurde mit TEM untersucht,

um Aufschluß über das Anwachsverhalten und Kristalldefekte zu erhalten. Die Querschnittpräparation der Proben ist insofern problematisch als drei verschiedene Materialien (GaAs, Wolfram, Siliziumdioxid) gleichzeitig geschliffen und mit Ionenstrahlung gedünnt werden müssen. Die TEM-Aufnahme eines mit MOVPE gewachsenen PBT Streifens ist in Abb.43 zu sehen. Der dunkle Bereich im obe-

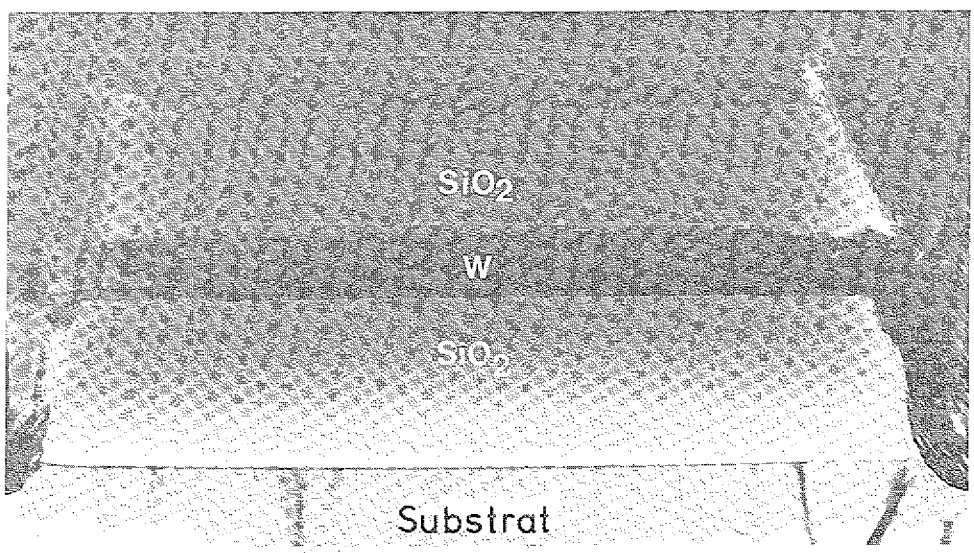


Abbildung 43: TEM - Querschnittaufnahme eines mit MOVPE selektiv gewachsenen PBT's. In der Mitte des Bildes ist das $SiO_2/W/SiO_2$ -Schichtpaket zu erkennen.

ren Bildteil ist aufgedampftes AuGe. Auf dem Bild ist die Verbreiterung der Kanäle zum Substrat hin deutlich zu erkennen. Dies ist verständlich, da die obere SiO_2-Schicht länger der RIE-Ätzung ausgesetzt ist. Eine stärkere Betonung der physikalischen Ätzkomponente könnte die Steilheit der SiO_2 Flanken verbessern. Bedenklich scheint die Unterätzung des Wolfram-Streifens zu sein, da dies den Schottky-Kontakt wesentlich verschlechtert. Diese Unterätzung entsteht durch die Einwirkung des SF_6 Ätzgases. Das von der oberen SiO_2-Schicht nicht abgedeckte Wolfram wird angegriffen und zurückgeätzt. Aufgrund dieser Aufnahme wurde die Ätzdauer des Wolframs auf ein Minimum reduziert, um das Gate nicht unnötig anzugreifen. Das GaAs in dieser Probe ist polykristallin aufgewachsen, was mit einer schlechten Substratoberfläche erklärt werden kann. Das Anwachsverhalten des GaAs an die $SiO_2/W/SiO_2$ Flächen kann besser an der einkristallin gewachsenen MOMBE-Probe in Abb. 44 erkannt werden. Obwohl auch bei dieser Probe das Wolfram-Gate zurückgeätzt wurde, füllt das epitaktisch gewachsene

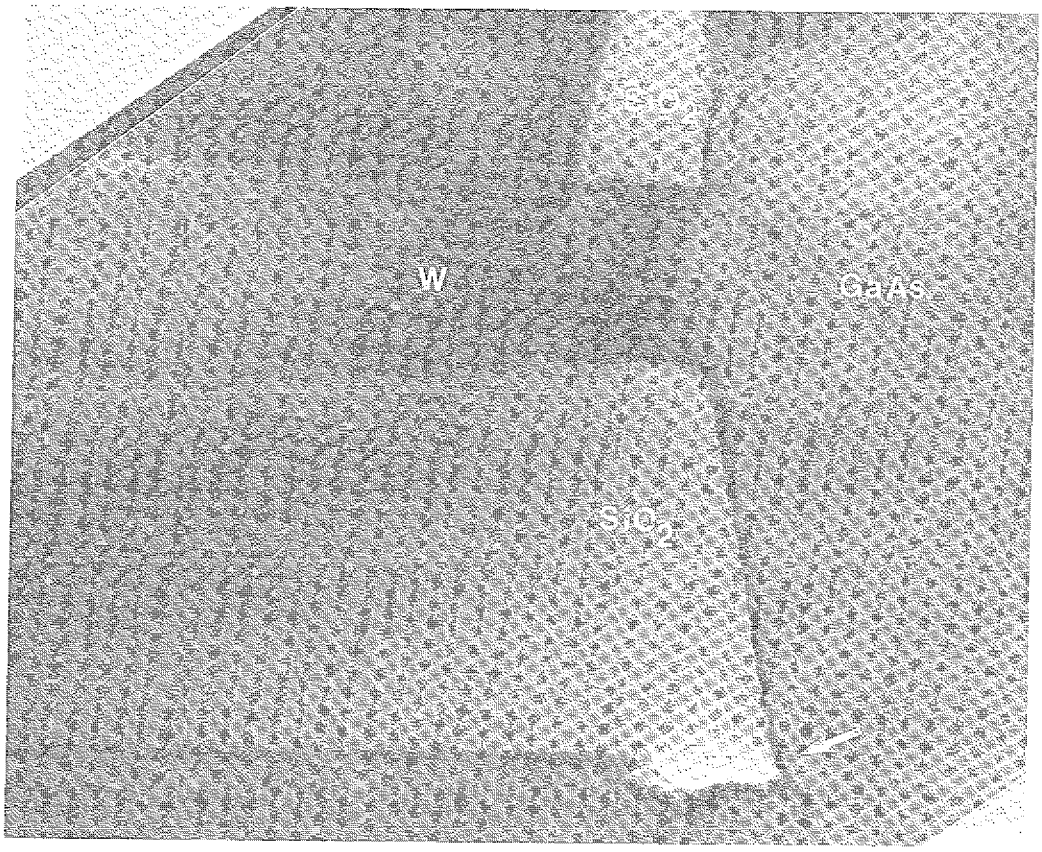


Abbildung 44: Querschnittsaufnahme eines mit MOMBE selektiv gewachsenen PBT's. Der dunkle Streifen in der Bildmitte ist das Wolfram-Gate umgeben von SiO_2. Das Wolfram wurde zurückgeätzt, am rechten unteren Rand des SiO_2 ist ein Loch aufgrund der Unterätzung zu erkennen.

GaAs die Wolfram-Lücke aus und ermöglicht so einen Schottky-Kontakt. Im Gegensatz zu Abb. 43 liegen hier auch keine sichtbaren Verspannungen im GaAs vor. Im unteren Bildbereich ist der Übergang vom Substrat zum gewachsenen GaAs zu erkennen. Das GaAs-Substrat wurde um etwa 50 nm weggeätzt. Dadurch ist auch die am Rand der unteren SiO_2 Schicht liegende etwa 50 nm lange GaAs-Lücke enstanden. Diese stört den Elektronentransport und muß durch die Änderung der Reinigung vor der Epitaxie (geringere Ätzrate) vermieden werden.

Die aufgezeigten Abweichungen von der idealen, d.h. fehlerfreien PBT-Struktur weisen die Richtung, in der der Herstellungsprozeß verbessert werden muß. Gleichzeitig motivieren sie die Zuversicht, daß der jetzt schon funktioniernde SG-PBT durch weiter optimierte Herstellungsverfahren in seiner Leistungsfähigkeit gesteigert werden kann.

6 Zusammenfassung und Ausblick

In dieser Diplomarbeit wurde ein Herstellungsprozeß für den selektiv gewachsenen Permeable Base Transistor entwickelt. Im Unterschied zu herkömmlichen PBT's wurde das Wolfram - Gate in SiO_2 eingebettet und das GaAs unter Ausnutzung der selektiven Epitaxie abgeschieden. Der durch das SiO_2 bedingte Gate - Source bzw. Gate - Drain Abstand führt in Verbindung mit der kleinen Dielektrizitätskonstanten von SiO_2 zu einer Kapazitätsreduzierung, die im Hinblick auf die Hochfrequenzeigenschaften wichtig ist. Die für einen vertikalen Transistor im GaAs Materialsystem spezifischen Probleme wurden analysiert und in ein Herstellungsrezept umgesetzt.

Ein wichtiger Punkt war die Erzeugung vertikaler Kanäle in dem $SiO_2/W/SiO_2$ Schichtpaket mittels reaktivem Ionen-Ätzen (RIE). Die Parameter sind so optimiert worden, daß durch das gerichtete Ätzen steile Flanken erzeugt wurden. Zur Ätzung von Wolfram wurde SF_6, zur Ätzung von Siliziumdioxid wurde CHF_3 gewählt.

Die Kanäle wurden durch selektive Epitaxie mit GaAs aufgefüllt. Durch diese Methode wurde polykristallines GaAs-Wachstum auf den SiO_2-Flächen unterdrückt. Im Institut für Schicht- und Ionentechnik des Forschungszentrums Jülich stehen dafür sowohl eine MOMBE- als auch eine MOVPE- Anlage zur Verfügung. An beiden Anlagen mußte die selektive Epitaxie erprobt und auf die speziellen SG-PBT Erfordernisse abgestimmt werden. In der MOVPE- Anlage wurde das GaAs sowohl mit Wasserstoff als auch mit Stickstoff als Trägergas mit vergleichbaren Ergebnissen abgeschieden.

Nach der selektiven Epitaxie wurden durch das Aufdampfen von Ni/AuGe/Ni die Source- und Drain- Kontakte definiert. Das aufgedampfte Metall diente in einem selbstjustierenden Prozeß gleichzeitig als Maske für die Freilegung des Gates.

Die genannten Verfahrensschritte wurden mit elektronischen Messungen (CV, Hall und Gleichstrom - Messungen) und elektronenmikroskopischen Untersuchungen (SEM, TEM) ausgewertet. Es zeigte sich u.a., daß die Orientierung der Wolfram-Streifen relativ zum Substrat einen bedeutenden Einfluß auf das Anwachsverhalten des GaAs hat. Die Ausrichtung der Streifen in [001] - Richtung ergab eine gute Anwachscharakteristik. Diese Erkentnisse wurden bei der Pho-

tolithographie durch die Ausrichtung der Maske und damit der Streifen berücksichtigt.

Mit diesem Konzept und dem Entwurf einer für die Metallisierung geeigneten Maske, konnte das zur Steuerung des Transistors notwendige Sperrverhalten der Schottky - Dioden erreicht werden.

Die Abhängigkeit der Barrierenhöhe und des Idealitätsfaktors einer Schottky-Diode von der Dotierung des GaAs wurde systematisch bei den für die selektive Epitaxie geeigneten Parametern untersucht. Im Dotierungsbereich von $N_D \leq 3 \cdot 10^{17}$ cm^{-3} zeigten die Dioden das beste Verhalten. Aufgrund dieser Versuche wurde der gleiche Dotierungsbereich für den Kanal des PBT's gewählt.

Die mit MOMBE hergstellten Schottky-Dioden wiesen eine bessere Charakteristik auf als die mit MOVPE hergestellten vergleichbaren Proben. Dies kann mit der geringeren Epitaxie-Temperatur der MOMBE erklärt werden. In der MOMBE hergestellte Dioden hatten eine Barrierenhöhe von $\Phi_{Bn} = 0.65$ eV und einen Idealitätsfaktor von n = 1.36. Der beste aus dem Ausgangskennlinienfeld folgende Wert der Steilheit wurde an einem mit MOVPE hergestellten SG-PBT gemessen. Dieser betrug $g_m = 39{,}4$ mS/mm.

Ausblick

Eine Optimierung der Dotierung, der Gate - Dicke und der übrigen geometrischen Abmessungen zur Verbesserung der elektrischen Eigenschaften des PBT's erfordert systematische vergleichende Experimente. Dies sollte in Verbindung mit der numerischen Simulation des Bauelementes erfolgen, die bereits geplant ist.

Die Verkleinerung der Kanalweite ist wichtig, da diese direkten Einfluß auf die Steilheit und die Pinch off-Spannung hat [9]. Um Kanalweiten von weniger als 0.5 μm zu erreichen, muß das Herstellungsverfahren von der optischen Lithographie auf Elektronenstrahllithographie umgestellt werden. An diesen Strukturen sind dann Kapazitäts- und Hochfrequenzmessungen von Interesse.

Schließlich kann der im GaAs-Materialsystem hergestellte SG-PBT im Prinzip auch durch das Aufdampfen von $SiO_2/W/SiO_2$ auf einen Silizium-Wafer im Silizium-Materialsystem erreichen werden.

Danksagung

Die Entwicklung, Herstellung und Untersuchung eines neuen Transistors ist nur in einem Team möglich. Zahlreiche Anregungen und interessante Diskussionen haben zu dieser Arbeit beigetragen. Mein besonderer Dank gilt:

Herrn Prof. Dr. H. Lüth für die Möglichkeit diese Arbeit im Institut für Schicht- und Ionentechnik durchzuführen und für seine Motivation in schwierigen Abschnitten der Arbeit,

meinem Betreuer Herrn Dipl. Phys. J. Gräber für viele hilfreiche Diskussionen und Anregungen,

Herrn Dipl. Ing. A. Schüppen, der die Idee für diesen Transistor hatte,

Frau Dr. H. Hardtdegen und den Herrn Dipl. Phys. R. Meyer und M. Hollfelder für die Herstellung zahlreicher MOVPE-Schichten,

den Herrn Dipl. Phys. M. Kamp, G. Mörsch und F. König für die Herstellung zahlreicher MOMBE-Schichten,

Herrn J. Zillikens für die Elektronenstrahlverdampfung,

Herrn Dr. A.v.d. Hart und Frau M. Nonn für die Erstellung der Masken mit dem Elektronenstrahlschreiber,

Frau C. Dieker für die Probenpräparation und die Transmissionselektronenmikroskopie (auch an Samstagen),

Herrn Dipl. Ing. H.P. Bochem für die Sekundärelektronenmikroskopie,

Herrn Prof. Dr. P. Kordos und Herrn Dr. M. Marso für viele unterstützende Diskussionen,

den Herrn Th. Klocke und B. Rösen für die Hilfe bei der Erstellung dieser Arbeit am Computer,

und allen im Institut für das ausgezeichnete Arbeitsklima.

Literatur

[1] W.T. Tsang: *Progress in chemical beam epitaxy*
Journal of Christal growth 105, 1990, 1

[2] W.Harth: *Microwave Semiconductor Devices: Status and Trends*
Mikrowellen Magazin, vol. 14, No. 2, 1988

[3] Hugh Mc Pherson: *Microwave engineering the future*
Electronics & Wireless World, August 1989

[4] C.O. Bozler, G.D. Alley: *Fabrication and Numerical Simulation of the Permeable Base Transistor*
IEEE Transactions on Electron Devices, vol. ED-27, NO.6 June 1980

[5] M.A. Hollis, K.B. Nichols, R.A. Murphy and C.O. Bozler: *Advances in the Technology for the Permeable Base Transistor*
SPIE Vol. 797 Advanced Processing of Semiconductor Devices (1987)

[6] K.B. Nichols, R.H. Mathews, M.A. Hollis, C.O. Bozler, A. Vera, and R.A. Murphy: *GaAs Permeable Base Transistors fabricated with 240 nm periodicity tungsten base gratings*
IEEE Transactions on Electron Devices, vol. 35. No. 12. p 2466 December 1988

[7] B.A. Vojak, J.P. Salerno, D.C. Flanders, G.D. Alley, C.O. Bozler, K.B. Nichols, R.W. McClelland, N.P. Economou, G.A. Lincoln, R.A. Murphy, W.T. Lindley and G.D. Johnson: *Transmission electron microscopy of GaAs permeable base transistor structures grown by vapor phase epitaxy*
J.Appl. Phys. 54(6), June 1983

[8] A. Schüppen, H. Lüth: *Eurpopäische Patentanmeldung, Anmeldenummer: 91109699.8*

[9] S.M. Sze: *Physics of Semiconductor Devices*
Wiley-Interscience Publication, John Wiley & Sons,1981

[10] M. Mattern-Klosson, H. Lüth: *The Schottky-Barrier of GaAs(110)-Sb studied by UV Photoemission*
Solid State Communications, Vol. 56, No. 11,pp.1001-1004,1985

[11] W. Mönch: *On the physics of metal-semiconductor interfaces*
Rep. Prog. Phys. 53 (1990) 221-278

[12] K. Heime: *Elektronische Bauelemente*
Vorlesung an der RWTH Aachen

[13] H. Beneking *Halbleitertechnik III*
Vorlesung an der RWTH Aachen

[14] C.O. Bozler, G.D. Alley: *The Permeable Base Transistor and its Application to Logic Circuits*
Proceedings of the IEEE, Vol. 70, No.1, January 1982

[15] S. Weinzierl, J.P. Krusius: *Optimization of the Design of the Heterojunction Vertical Field Effekt Transistor using a Two-Dimensional self- consistent Monte Carlo Method*
Proceedings IEEE/Cornell Conference on Advanced Concepts in High Speed Semiconductor Devices and Circuits August 7-9, 1989

[16] E. Kohn, U. Mishra, L.F. Eastman: *Short-Channel Effects in 0.5 μ m Source-Drain spaced vertical GaAs FET's - A first experimentel investigation*
IEEE Electron Device Letters, Vol. EDL-4, No.4, April 1983

[17] J. Nishizawa, T. Terasaki, J. Shibata: *Field-Effect Transistor versus Analog Transistor (Static Induction Transistor)*
IEEE Transactions on Electron Devices, vol. ED-22, No. 4, April 1975

[18] R. Stassen: *Einsatz eines Mikrowellen-Spitzenmeßplatzes zur Charakterisierung von Transistoren direkt auf dem Wafer im Frequenzbereich von 0,045 bis 26,5 GHz*
Diplomarbeit, Institut für Schicht- und Ionentechnik, Forschungszentrom Jülich, 1991

[19] A. Gruhle : *Silicium Permeable Base Transistoren*
Dissertation, RWTH Aachen, 1989

[20] S. Adachi, S. Ando, H. Asai and N. Susa: *A new Gate structure Vertical GaAs FET*
IEEE Electron Device Letters, vol EDL-6, No6, pp 264-266, June 1985

[21] M.A. Osman, D. H. Navon, T.W. Tang und L. Sha: *Improved design of the gallium arsenide permeable base transistor*
IEEE Transactions on Electron Devices, vol. ED - 30, No. 10, pp. 1348 - 1354, October 1983

[22] A. Gruhle, H. Beneking, J.H. Henz, and H. Känel: *Application of MBE-Grown Epitaxial* $Si/CoSi_2/Si$ *Heterostructures for Overgrown Silicon Permeable-Base Transistors*
IEEE Transactions on Electron Devices, Vol. 38, No. 8 August 1991

[23] R.C. Sangster: *Model studies of crystal growth phenomena in the III - V semiconducting compounds*
Compound Semiconductors ed. R.K. Williardson, H.L. Goering vol. 1 (Reinhold, New York, 1962) 241

[24] O. Kayser: *Selektive Epitaxie von InP und GaInAs im metallorganischen Depositionssystem*
Dissertation, RWTH Aachen, 1991

[25] H. Ibach, H. Lüth: *Festkörperphysik*
3. Auflage Springer - Verlag, Berlin, Heidelberg, New York 1989

[26] H. Heinecke, A. Brauers, F. Grafahrend, C. Plass, N. Pütz, K. Werner, M. Weyers, H. Lüth and P. Balk: *Selective growth of GaAs in the MOMBE and MOCVD systems*
Journal of crystal growth 77 pp. 303-309 (1986)

[27] T.F. Kuech, M.A. Tischler and R. Potemski: *Selective epitaxy in the conventional metalorganic vapor phase epitaxy of GaAs*
Appl. Phys. Lett. 54 (10), 6 March 1989

[28] K. Hiruma, T. Haga, M. Miyazaki: *Surface migration and reaction mechanism during selective growth of GaAs and AlAs by metalorganic chemical vapor deposition*
Journal of crystal growth 102 pp. 717-724 (1990)

[29] V.L. Rideout: *A Review of the Theory and Technology for ohmic Contacts to group III - V Compounds Semiconductors*
Solid State Electronics, 1975, Vol. 18 pp 541 - 550

[30] K. Heime, U. König, E. Kohn and A. Wirtman: *Very Low Resistance Ni/AuGe/Ni Contacts to n - GaAs*
Solid State Electronics 1974, Vol.17 pp. 835 - 837

[31] C.J. Palmström, D.V. Morgan and M.J. Howes: *Contact degegation of GaAs transferred electron devices*
Nuclear Instruments and Methods 150 (1978) 305-311

[32] M. Shur: *GaAs Devices and Circuits*
Plenum Press New York and London

[33] J.R. Waldrop: *Interface chemistry and electrical properties of tungsten Schottky-barrier contacts to GaAs*
Appl. Phys. Lett. 41(4), 15 August 1982

[34] L.G. Meiners: *Electrical properties of the gallium arsenide-insulator interface*
J. Vac. Sci. Technol. 15(4), Jul./Aug. 1978

[35] A. Chandra, C.E.C. Wood, D.W. Woodard and L.F. Eastman: *Surface and interface depletion corrections to free carier-density determinations by Hall measurments*
Solid State Electronics Vol. 22, pp. 645-650, 1979

FORSCHUNGSZENTRUM JÜLICH GmbH

KFA

Jül-2611
April 1992
ISSN 0366-0885