



Institut für Schichten und Grenzflächen

***Selbstassemblierte Nanostrukturierung
ultradünner Silizidschichten und Entwicklung
von Nano-MOSFET-Bauelementen***

Patrick Kluth

***Selbstassemblierte Nanostrukturierung
ultradünner Silizidschichten und Entwicklung
von Nano-MOSFET-Bauelementen***

Patrick Kluth

Berichte des Forschungszentrums Jülich ; 3994
ISSN 0944-2952
Institut für Schichten und Grenzflächen Jül-3994
D 82 (Diss., Aachen, RWTH, 2002)

Zu beziehen durch: Forschungszentrum Jülich GmbH · Zentralbibliothek
D-52425 Jülich · Bundesrepublik Deutschland
☎ 02461/61-5220 · Telefax: 02461/61-6103 · e-mail: zb-publikation@fz-juelich.de

Selbstassemblierte Nanostrukturierung ultradünner Silizidschichten und Entwicklung von Nano-MOSFET-Bauelementen

Kurzfassung CoSi_2 wird wegen seines geringen elektrischen Widerstandes, seiner hohen Skalierbarkeit und der hohen thermischen Stabilität in der integrierten Mikroelektronik als Kontaktmetall sowie für lokale Verbindungsleitungen eingesetzt. In der vorliegenden Arbeit wird ein selbstassembliertes Verfahren zur Herstellung von CoSi_2/Si -Nanostrukturen untersucht, welche die Grundlage für die Entwicklung moderner Bauelementkonzepte bilden. Das Strukturierungsverfahren beruht auf der anisotropen Diffusion im elastischen Spannungsfeld der Kante einer Maske bestehend aus SiO_2 und Si_3N_4 . Mit Hilfe der lokalen Oxidation von 20-30 nm dicken, einkristallinen CoSi_2 -Schichten konnten mit dem Verfahren sehr homogene Silizid-Drähte und Linien in den Silizid-Schichten mit Größen von bis zu etwa 20 nm hergestellt werden. Ebenso konnten Linien von etwa 100 nm Breite während der Silizidbildung bei der Festphasenreaktion erzeugt werden. Mit dem Strukturierungsverfahren wurden planare Ultrakurzkanal Schottky Barrieren-MOSFETs mit Kanallängen von 70 nm auf dünnen silicon-on-insulator Substraten hergestellt. Diese Transistoren können als n- und p-Kanal MOSFETs betrieben werden und weisen gute Steilheiten von 200 mS mm^{-1} im n-Kanal-Modus auf.

Self-assembly nanopatterning of ultrathin silicide-layers and development of Nano-MOSFET-devices

Abstract Due to its low resistivity, high scalability and high thermal stability, CoSi_2 is widely used as a contact and interconnect material in silicon microelectronics. In this thesis a self-assembly process for fabrication of CoSi_2 -nanostructures is investigated. These structures can be used as building blocks for advanced microelectronic devices. The process is based on anisotropic diffusion in a stress field generated along the edge of a mask consisting of SiO_2 and Si_3N_4 . Using local oxidation narrow wires and uniform gaps with dimensions down to 20 nm were produced from 20-30 nm thick single-crystalline, epitaxial CoSi_2 -layers. Gaps with dimensions of approximately 100 nm were generated during the silicide formation in a solid-phase reaction. Using these nanostructures, we fabricated planar 70 nm gate-length Schottky barrier MOSFETs on silicon-on-insulator substrates. These devices can be driven as both p-channel and n-channel MOSFETs without complementary substrate doping and show good I-V characteristics and a transconductance of 200 mS mm^{-1} in the n-channel mode.

Inhaltsverzeichnis

Einleitung	7
I Materialsystem	11
1 Silizide in der Mikroelektronik	13
1.1 Eigenschaften und Anwendungen	14
1.2 Epitaktische Silizide	16
1.3 Struktur und Eigenschaften von CoSi_2	18
2 Herstellung dünner CoSi_2-Oberflächenschichten	21
2.1 Methoden	21
2.1.1 Die Co-Si-Reaktion	21
2.1.2 Epitaktische CoSi_2 -Schichten	22
2.2 Molekularstrahlallotaxie	24
2.2.1 Prinzip der Molekularstrahlallotaxie	25
2.2.2 Prozessablauf und Prozessparameter	25
2.2.3 CoSi_2 -Schichten auf Si(100)	28
2.2.4 CoSi_2 -Schichten auf SOI	30
2.3 Titan- SiO_x -unterstützte Epitaxie	32
2.3.1 Epitaxieprozess	35
2.3.2 Schichtherstellung	36
II Nanostrukturierung	41
3 Grundlagen der spannungsinduzierten Nanostrukturierung	43
3.1 Methoden zur Nanostrukturierung	43
3.2 Strukturierungsprinzip	45
3.2.1 Oxidation von CoSi_2/Si -Schichtsystemen	47
3.2.2 Spannungen an der Maskenkante	50

3.2.3	Anisotrope Diffusion	53
4	Nanostrukturierung durch LOCOSI	57
4.1	Linien in CoSi_2	58
4.1.1	Strukturierung auf Si(100)	59
4.1.2	Strukturierung auf SOI	62
4.1.3	Einfluss der {111}-Facettierung	65
4.1.4	Diskussion der Ergebnisse	68
4.2	Modifikation der Strukturen	70
4.3	Nanodrähte	73
4.3.1	Einfluss der Prozessparameter	74
4.3.2	Herstellung von CoSi_2/Si -Stegen	83
4.3.3	Kontaktierung der CoSi_2 -Drähte	83
5	Nanostrukturierung während der Silizidierungsreaktion	89
5.1	Selbststrukturierung von polykristallinem CoSi_2	89
5.2	Selbststrukturierung von epitaktischem CoSi_2	91
III	MOSFET Bauelemente	95
6	Grundlagen von Schottky-Barrieren MOSFETs	97
6.1	Der SB-MOSFET	98
6.2	Der MOS-Kondensator	99
6.3	Die Schottky-Diode	101
6.4	Prinzip des SB-MOSFETs	104
6.5	Kennlinien und Kenngrößen von MOSFET Bauelementen . . .	107
7	Herstellung der Schottky-Barrieren MOSFETs	111
7.1	Konzept des SB-MOSFETs	111
7.2	Prozessierung der SB-MOSFETs	114
7.2.1	Herstellung und Dotierung der CoSi_2/Si -Pads	116
7.2.2	Nanostrukturierung und Gateoxid	117
7.2.3	Gate-Kontakt und Metallisierung	119
8	Elektrische Charakterisierung der MOSFETs	123
8.1	Schottky-Kontakte	123
8.2	SB-MOSFET auf p-SOI und n-SOI	124
8.3	Diskussion der Ergebnisse	127
	Zusammenfassung	131

Anhang	135
A Probenprozessierung	135
A.1 Die Reinraumumgebung	135
A.2 Strukturzeugung	137
A.2.1 Optische Lithographie	137
A.2.2 Ätzprozesse	139
A.2.3 Lift-Off Verfahren	143
A.3 Temperprozesse	143
A.3.1 Tempern im Rohrofen	144
A.3.2 Rapid Thermal Processing	144
A.4 Abscheidungsprozesse	146
A.4.1 PECVD	146
A.4.2 LPCVD	147
A.4.3 Molekularstrahlepitaxie	148
A.4.4 Elektronenstrahlverdampfung	148
A.5 Ionenimplantation	149
A.6 Reinigungsprozesse	149
B Probencharakterisierung	153
B.1 Elektronenmikroskopie	153
B.1.1 REM	153
B.1.2 TEM	154
B.2 Rutherford Rückstreuung	155
B.3 Elektrische Messungen	158
C Abkürzungen	161
Literaturverzeichnis	163
Abbildungsverzeichnis	173
Tabellenverzeichnis	177
Veröffentlichungen	179
Danksagung	181

Einleitung

Die Nanotechnologie ist ein Forschungsgebiet von stetig wachsender Bedeutung. Die Herstellung, Charakterisierung und Anwendung nanostrukturierter Materialien spielt heute in vielen Bereichen der modernen Wissenschaft eine große Rolle. Aufgrund ihrer mesoskopischen Abmessungen, welche zwischen denen von Atomen und Festkörpern liegen, zeigen Nanostrukturen einzigartige physikalische und chemische Eigenschaften, von denen bereits zahlreiche Anwendungen existieren. Das steigende Verständnis von Nanostrukturen beeinflusst entscheidend die Entwicklung kleinster elektronischer, optischer und magnetischer Bauelemente sowie komplexer Sensoren [1].

Die siliziumbasierte Mikroelektronik stellt das Herzstück der heutigen Informationstechnologie dar. Die atemberaubende Miniaturisierung hochintegrierter Schaltungen zur Herstellung schnellerer Mikroprozessoren und leistungsfähigerer Speicherbausteine benötigt das fundamentale Verständnis von Nanostrukturen und nanostrukturierten Materialien, um den physikalischen und technologischen Problemen, die bei der aggressiven Skalierung elektronischer Bauelemente in den sub-100 nm Bereich auftreten, zu begegnen.

Die ITRS-Roadmap formuliert die Anforderungen an die zukünftigen Technologiegenerationen [2]. Für das Jahr 2010 werden Strukturgrößen von ≈ 45 nm gefordert. Die kostengünstige Massenherstellung von Strukturen unter 100 nm stellt dabei eine besondere Herausforderung dar. Die begrenzte Auflösung der konventionellen optischen Lithographie erfordert die Einführung neuer Verfahren, die mit kurzwelligerer Strahlung arbeiten. Neben extrem kurzwelliger elektromagnetischer Strahlung (Röntgenstrahl-Lithographie und extreme-deep-UV-Lithographie) werden auch Elektronenprojektions- und Ionenprojektions-Lithographieverfahren untersucht. Diese Verfahren sind jedoch mit äußerst hohen technologischen Anforderungen und damit extrem hohen Kosten verbunden [3].

Selbstassemblierte Strukturierungsverfahren stellen eine viel versprechende Möglichkeit zur kostengünstigen und schnellen Herstellung nanostrukturierter Materialien dar, da sie sich häufig durch vergleichsweise einfache Prozessführung auszeichnen. Für mikroelektronische Anwendungen ist da-

bei die Strukturierung von Siliziden besonders interessant. Metallische Silizide finden hier aufgrund ihres geringen elektrischen Widerstandes, sowie der hervorragenden Kompatibilität mit dem Grundmaterial Silizium breite Anwendung als Kontakt- und Leitungsmaterialien. Kobaltdisilizid wird dabei wegen seiner hohen Skalierbarkeit und der hohen thermischen Stabilität in der aktuellen Chipgeneration als Source- Gate- und Drain-Kontaktmaterial sowie für lokale Verbindungsleitungen eingesetzt. Ein weiterer Vorteil von CoSi_2 ist die Möglichkeit das Silizid mit einer Gitterfehlpassung von $-1,2\%$ epitaktisch auf Silizium abzuscheiden. Das Fehlen von Korngrenzen und die atomar scharfe Grenzfläche machen den Einsatz epitaktischer Materialien für kleinste Strukturen äußerst interessant. Das CoSi_2/Si -System stellt ein sehr aussichtsreiches Materialsystem zur Erforschung selbstassemblierter Strukturierungsverfahren dar, da die verwendeten Materialien ihre Anwendungstauglichkeit bereits industriell unter Beweis gestellt haben, und somit das Fundament für vielversprechende Neuentwicklungen bieten.

Das weitaus wichtigste Bauelement der siliziumbasierten Mikroelektronik ist der MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor). Viele Millionen dieser kleinen Schalter bilden in Mikroprozessoren und Speicherbausteine die Grundelemente der modernen Computertechnik. Die Miniaturisierung konventioneller Si-MOSFETs bringt sowohl technologische Probleme bei der Herstellung, als auch drastische Auswirkungen auf die Betriebseigenschaften der Transistoren mit sich. Der Schottky-Barrieren MOSFET (SB-MOSFET) stellt eine interessante Alternative zum konventionellen MOSFET dar. Aufgrund fehlender hochdotierter Gebiete und den damit verbundenen Problemen bei der Ionenimplantation und Diffusion verspricht dieser Transistortyp eine hohe Skalierbarkeit und gute Betriebseigenschaften. Auch neue Entwicklungen wie MOSFETs aus Kohlenstoffnanoröhrchen [4, 5] stimulieren das Interesse am SB-MOSFET, da sie auf ähnlichen Prinzipien beruhen.

In dieser Arbeit sind die selbstassemblierte Nanostrukturierung dünner CoSi_2 -Schichten und die Entwicklung von Ultrakurzkanal SB-MOSFETs auf silicon-on-insulator (SOI) Substraten untersucht worden. Als Grundlage für die Strukturierung diente dabei ein neuartiges Verfahren, welches auf der lokalen Oxidation von Siliziden (LOCOSI) beruht [6, 7]. Bei diesem Verfahren handelt es sich um einen selbstassemblierten Prozess, bei dem über ein Spannungsfeld, welches an den Kanten einer $\text{Si}_3\text{N}_4/\text{SiO}_2$ -Maske entsteht, die Diffusion von Kobaltatomen während der Oxidation des Silizides so gesteuert wird, dass sich entlang dieser Kante eine wohldefinierte Aufspaltung bildet. Die epitaktischen Schichten, welche mit dieser Methode strukturiert wurden, sind mit Hilfe der Molekularstrahlallotaxie hergestellt worden. Es konnte bereits gezeigt werden, dass mit Hilfe der so entstehenden Metall/Halbleiter/Metall-Struktur SB-MOSFETs hergestellt werden können [8].

Ziel dieser Arbeit war die Untersuchung und Weiterentwicklung der Strukturierungsmethode, sowie die Herstellung und Charakterisierung von Ultrakurzkanal SB-MOSFETs auf SOI-Substraten. Dabei konnten minimale Abstände von ≈ 20 nm zwischen zwei CoSi_2 -Teilschichten, sowie dünne epitaktische Siliziddrähte mit Durchmessern von 50 nm auf konventionellen Si(100) und (100)-orientierten SOI-Substraten erstmals realisiert werden. Nanodrähte sind als 1-dimensionale Leiter besonders interessant für das fundamentale Studium des elektrischen Transports. Das Strukturierungsverfahren konnte erstmals auf die Strukturierung dünner CoSi_2 -Schichten während der Silizidbildung übertragen werden. Desweiteren konnten mit dieser Strukturierungstechnik Schottky-Barrieren MOSFETs mit Kanallängen von 70 nm auf dünnen SOI-Substraten hergestellt werden. Die Arbeit gliedert sich in drei Teile:

Im ersten Teil wird das Materialsystem CoSi_2/Si untersucht. Kap. 1 stellt dabei die Anwendung von Siliziden in der Mikroelektronik vor und beschreibt strukturelle und physikalische Eigenschaften von Kobaltdisilizid. Im zweiten Kapitel werden Verfahren zur Herstellung dünner CoSi_2 -Schichten diskutiert und die Ergebnisse im Rahmen der Molekularstrahlallotaxie sowie einer Variante der Festphasenepitaxie vorgestellt.

Der zweite Teil der Arbeit beschäftigt sich mit der selbstassemblierten Erzeugung von CoSi_2 -Nanostrukturen. Kap. 3 gibt eine Einführung in die Methoden zur Nanostrukturierung und erklärt die Grundlagen des von uns untersuchten Strukturierungsprinzips. Kap. 4 beschreibt die Herstellung von Nanostrukturen mit Hilfe der lokalen Oxidation von Siliziden (LOCOSI) und Kapitel 5 stellt die Erweiterung des Strukturierungskonzeptes auf die Herstellung von Nanostrukturen während der Silizidbildung vor.

Der dritte Teil der Arbeit beschreibt die Verwendung der erzeugten Strukturen bei der Herstellung von Ultrakurzkanal SB-MOSFETs auf SOI-Substraten. In Kap. 6 werden zunächst die Grundlagen von SB-MOSFETs, sowie das Konzept der von uns hergestellten Transistoren erläutert. Kap. 7 umfasst detailliert den Herstellungsprozess und die strukturelle Charakterisierung der Bauelemente und Kap. 8 die elektrische Charakterisierung.

Die angewandten Technologien und Analysemethoden werden im Anhang erläutert.

Teil I

Materialsystem

Kapitel 1

Silizide in der Mikroelektronik

Fast alle Metalle des Periodensystems bilden bei der chemischen Reaktion mit Silizium sog. Silizide. Viele dieser Verbindungen sind aufgrund ihrer Materialeigenschaften von großem technologischen Interesse und sind seit vielen Jahren Gegenstand zahlreicher Untersuchungen. Die große Bandbreite struktureller und physikalischer Eigenschaften schafft ein breites Anwendungsfeld in der modernen Dünnschichttechnologie und erzeugt ein nicht abreißendes Interesse an dieser Materialklasse [9, 10].

Die meisten Silizide sind selber Metalle, wodurch sie besonders interessant in der siliziumbasierten Mikroelektronik sind. Sie weisen im Allgemeinen einen geringen elektrischen Widerstand auf und spielen daher als Material für die Herstellung ohmscher Kontakte zur Kontaktierung und Verbindung von Bauelementen integrierter Schaltungen eine große Rolle [11]. Ebenso finden metallische Silizide als Schottky-Kontakte für Bauelemente wie Photodetektoren [12] und Schottky-Barrieren MOSFETs (s. Teil III) vermehrt Anwendung.

Einige Silizide wie z.B. β -FeSi₂, CrSi₂ und Ru₂Si₃ weisen halbleitenden Charakter auf und stellen viel versprechende Materialien für die siliziumbasierte Optoelektronik dar [13]. Besonders eine Integration von optischen und elektronischen Anwendungen auf einem Chip würde einen wichtigen Meilenstein in der Si-Technologie setzen.

Im ersten Teil dieses Kapitels wird ein Überblick über die Eigenschaften einiger für die Mikroelektronik interessanter Silizide gegeben und diese vergleichend diskutiert. Im zweiten Teil wird speziell auf Besonderheiten epitaktischer Silizide eingegangen. Im dritten Teil wird dann das Materialsystem CoSi₂/Si genauer betrachtet.

Tabelle 1.1: Schmelzpunkt T_S , spezifischer Widerstand ρ und Schottky-Barrierenhöhe Φ_B auf n-Si polykristalliner, metallischer Silizide [14].

Silizid	T_S [°C]	ρ [$\mu\Omega cm$]	Φ_B [eV]
CoSi ₂	1326	14	0,64
MoSi ₂	2020	12,6	0,65
NiSi	992	10,5	0,65
NiSi ₂	993	34	0,66
Pd ₂ Si	1330	13,7	0,71
PtSi	1229	30	0,88
TaSi ₂	2200	20,2	0,59
TiSi ₂ (C54)	1500	10	0,60
WSi ₂	2160	11,9	0,65

1.1 Eigenschaften und Anwendungen

Obwohl einige elementare Metalle einen geringeren Widerstand aufweisen, werden Silizide aufgrund ihres stabilen Kontaktes mit Silizium sowie der besseren Prozessstabilität für die direkte Metallisierung auf Silizium bevorzugt. Niederohmigere Metalle wie z.B. Kupfer werden erst in höheren Metallisierungsebenen eingesetzt. Ein weiterer Vorteil ist die Selbstpassivierung der Silizide durch die Bildung einer schützenden SiO₂-Schicht auf der Oberfläche, wenn sie einer oxidierenden Atmosphäre ausgesetzt sind. Einige Eigenschaften wichtiger metallischer Silizide sind in Tab. 1.1 aufgelistet. Eine Übersicht über die Materialeigenschaften von Siliziden ist in [15, 16] zu finden.

Die größte treibende Kraft für Materialuntersuchungen in der Mikroelektronik ist die Weiterentwicklung der CMOS-Technologie (CMOS: Complementary Metal Oxide Semiconductor). Sie ist die Schlüsseltechnologie zur Herstellung von Mikroprozessoren und Speicherbausteinen. Bei der Hochintegration elektronischer Bauelemente auf solchen Chips konnten die Kontaktwiderstände und die Widerstände lokaler Verbindungsleitungen mit Hilfe von Siliziden drastisch gesenkt werden, was bei der fortschreitenden Miniaturisierung aufgrund der immer kleiner werdenden Abmessungen der Kontaktflächen und Leiterbahnen nötig war, um einen schnellen Signaltransport zu

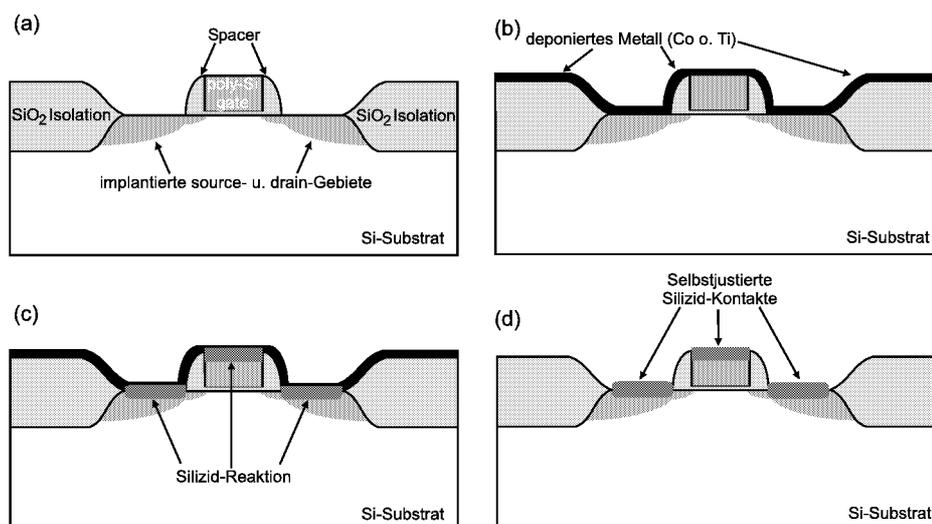


Abbildung 1.1: Salicide-Prozess: (a) CMOS-Transistorstruktur; (b) Deposition des elementaren Metalls; (c) Silizidreaktion an den Metall/Silizium-Grenzflächen; (d) Selektives Entfernen des überschüssigen Metalls.

gewährleisten [17].

Eine besondere Bedeutung gewann der Einsatz von Siliziden mit der Entwicklung der Salicide-Technik (Salicide: Self Aligned Silicides). Dies ist ein Schlüssel-Prozess in der Transistorherstellung und ist in Abb. 1.1 dargestellt. Hierbei wird die Transistorumgebung so mit SiO_2 abgedeckt, dass nur die Source-, Drain- und Gatebereiche freiliegen. Dann wird das Metall deponiert, welches mit dem Silizium reagieren soll. Bei den gewünschten Temperaturen bildet sich dann dort das Silizid, wo das Metall direkt auf dem Silizium deponiert wurde, an den Stellen, wo das Metall auf dem SiO_2 deponiert wurde, findet keine Reaktion statt. Das verbleibende reine Metall kann anschließend selektiv entfernt werden und so verbleibt das Silizid genau an den ursprünglich freigelegten Bereichen. Einen solchen Prozess nennt man selbstjustierend (self aligned), da hier das Silizium und das Silizid genau übereinander formiert werden, ohne eine zusätzliche Ausrichtung. Das SiO_2 spielt hierbei eine besondere Rolle, da es nicht mit dem aufgetragenen Metall reagiert und gleichzeitig die verschiedenen Bauelemente voneinander elektrisch isoliert.

PtSi , NiSi , TiSi_2 und CoSi_2 haben sich als geeignete Kandidaten für diesen Prozess herauskristallisiert und wurden daher eingehend untersucht [17]. PtSi stellte sich wegen seiner geringen Temperaturstabilität als für CMOS nicht ideal heraus, fand wohl aber in der Bipolartechnik und für Infrarot-

Detektoren umfassende Anwendung. NiSi geriet erst wegen seiner Instabilität auf Silizium (es hat die Tendenz die thermodynamisch stabilere, aber hochohmige Phase NiSi₂ zu bilden) und dem damit verbundenen eingeschränkten Prozesstemperaturfenster aus dem Blickpunkt, genießt aber wegen seiner günstigen Eigenschaften neuerliches Interesse [18, 19]. Für die CMOS-Herstellung wurde deshalb TiSi₂ als Material in der industriellen Produktion eingesetzt. TiSi₂ nukleiert zunächst in einer hochohmigen Phase (C49), die dann in die gewünschte niederohmige Phase (C54), welche thermodynamisch stabiler ist, übergeht. Dieser Übergang ist Gegenstand zahlreicher Untersuchungen. Man findet, dass die niederohmige Phase an sog. Trippelpunkten nukleiert, einer Grenze, an der drei Kristallkörner des polykristallinen Materials zusammentreffen. Wenn man zu immer dünneren Linienebreiten in der Größenordnung der Kristallkörner kommt, so kann es dazu kommen, dass nicht genügend Nukleationspunkte für die niederohmige Phase zur Verfügung stehen und damit nicht das gesamte Material in die C54 Phase umgewandelt werden kann [20]. Dieses Problem ergibt sich bei CoSi₂ nicht, weshalb dieses Material TiSi₂ immer mehr aus der industriellen Produktion verdrängt. Titandisilizid war aufgrund seiner besseren Prozessierbarkeit bevorzugt worden, da der CoSi₂-Silizidierungsprozess wesentlich stärker von der Oberflächenreinheit des Siliziums abhängig ist. Modifizierte Silizidierungsprozesse (s. Kap 2) und verbesserte Reinigungsverfahren machen jedoch heute die Silizidierung mit Kobaltdisilizid zum CMOS Standardprozess.

Die ITRS (International Technology Roadmap for Semiconductors) [2] gibt die Anforderungen für Silizide in den zukünftigen Technologiegenerationen vor. Ein Ausschnitt ist in Tab. 1.2 dargestellt. Auch hinsichtlich dieser Anforderungen ist noch kein Ende für den Einsatz von CoSi₂ zu sehen, was die Entwicklung neuer Technologien für den Einsatz dieses Materials zu einem vielversprechenden Forschungsgebiet macht. Die immer kleiner werdenden Strukturen und immer flacher werdenden Dotierprofile stellen erhöhte Anforderungen an die Mikrostruktur des Silizides, was den Einsatz epitaktischer Silizide motiviert.

1.2 Epitaktische Silizide

Einige Silizide können epitaktisch auf Silizium abgeschieden werden, d.h., sie sind gitterangepasst mit dem Siliziumgitter. Epitaktische Silizide haben viele Vorteile gegenüber den polykristallinen Materialien:

- Mit meist atomar scharfen Grenzflächen stellen sie ein nahezu perfektes Modellsystem zur Untersuchung von Metall/Halbleiter-Grenzflächen und den dort auftretenden Schottky-Barrieren dar [21].

Tabelle 1.2: Anforderungen an Silizide für die jeweiligen Technologiegenerationen.

Jahr	2001	2002	2005	2008	2011
Technologieknoten (nm)	180	130	100	70	50
Gatelänge (nm)	100	85	65	45	32
Max. R_c ($10^7 \Omega \text{ cm}^{-2}$)	2,0	1,7	1,0	0,05	0,025
Schichtwiderstand (Ω/\square)	3,8	4,4	6,0	7,5	10
Siliziddicke (nm)	40	34	25	20	15
Max. Si-Verbrauch (nm)	26-50	22-43	16-33	14-26	10-19
Tiefe Dotierprofil (nm)	55-105	45-90	35-70	30-55	20-40

- Die geringe Rauigkeit der Grenzflächen ermöglicht die Herstellung flacher Kontakte und macht sie deshalb sehr interessant für die Kontaktierung ultraflacher p-n Übergänge.
- Epitaktische Silizide weisen eine wesentlich höhere Temperaturstabilität auf, da es keine Kristallitkörner gibt, die bei hoher Temperatur agglomerieren.
- Aufgrund der fehlenden Korngrenzen wird die allgemein dort beobachtete erhöhte Diffusion vermieden. Damit lässt sich z.B. eine höhere laterale Homogenität der Dotierstoffkonzentration erreichen.
- Es lässt sich eine bessere Strukturierbarkeit sehr kleiner Strukturen erwarten.
- Epitaktische Si/Silizid/Si-Heterostrukturen stellen eine Grundlage für neuartige Bauelemente dar und eröffnen die Möglichkeit zu einer dreidimensionalen Integration elektrischer Bauelemente.

Die beste strukturelle Anpassung an Silizium haben NiSi_2 und CoSi_2 . Beide kristallisieren in der kubischen CaF_2 -Struktur mit einer Gitterfehlpassung von -0,4% bzw. -1,2% bei Raumtemperatur. Der niedrigere spezifische Widerstand von CoSi_2 (s. Tab. 1.1) macht dieses Material jedoch trotz der größeren Gitterfehlpassung interessanter für die Verwendung in der Mikroelektronik.

Tabelle 1.3: Materialeigenschaften von CoSi_2 und Silizium [14, 24].

Eigenschaft	Si	CoSi_2
Kristallstruktur	Diamant	CaF_2
Gitterkonstante [nm]	0,5431	0,5364
Dichte [g/cm^3]	2,33	4,95
Schmelzpunkt [$^\circ\text{C}$]	1415	1326
lin. therm. Ausdehnungskoeffizient $\alpha = \frac{\Delta L}{L\Delta T}$ [K^{-1}]	$2,6 \cdot 10^{-6}$	$9,5 \cdot 10^{-6}$

Z.Zt. werden polykristalline Silizide in der CMOS-Technologie eingesetzt. Dies hat vor allem zwei Gründe:

- Die Herstellungsverfahren für epitaktische Silizide wie z.B. für CoSi_2 waren bisher zu kompliziert und nicht kompatibel mit der industriell angewandten Salicide-Technik.
- Bei den immer schmäler werdenden Linien machen sich die bei epitaktischen Siliziden höheren mechanischen Spannungen, die durch die Gitterfehlpassung auftreten, stärker bemerkbar.

Es gibt viel versprechende Ansätze, Epitaxieprozesse zu entwickeln, welche einfach sind und kompatibel mit der industriellen Prozesstechnologie [22]. Die verschiedenen Herstellungsverfahren für CoSi_2 -Schichten werden im nächsten Kapitel vorgestellt. Ein einfacher industriekomatibler Prozess ist im Rahmen dieser Arbeit für die Strukturierung untersucht worden und wird dort genauer erläutert und unsere Ergebnisse vorgestellt.

1.3 Struktur und Eigenschaften von CoSi_2

Abb. 1.2 zeigt das Kobalt-Silizium Phasendiagramm. Danach sind bei Temperaturen von $< 1100^\circ\text{C}$ im Wesentlichen drei Phasen stabil: $\alpha\text{-Co}_2\text{Si}$, CoSi und CoSi_2 . Der Schmelzpunkt von CoSi_2 liegt bei einer Temperatur von 1326°C . In Tab. 1.3 sind einige wichtige Materialeigenschaften von Kobaltdisilizid im Vergleich zu denen von Silizium dargestellt. Das Silizid kristallisiert in der CaF_2 -Struktur mit einer Gitterkonstante von 0,5364 nm bei Raumtemperatur. Mit einer Gitterkonstante von 0,5431 des in Diamantstruktur kristallisierenden Siliziums beträgt die Gitterfehlpassung des CoSi_2 zum

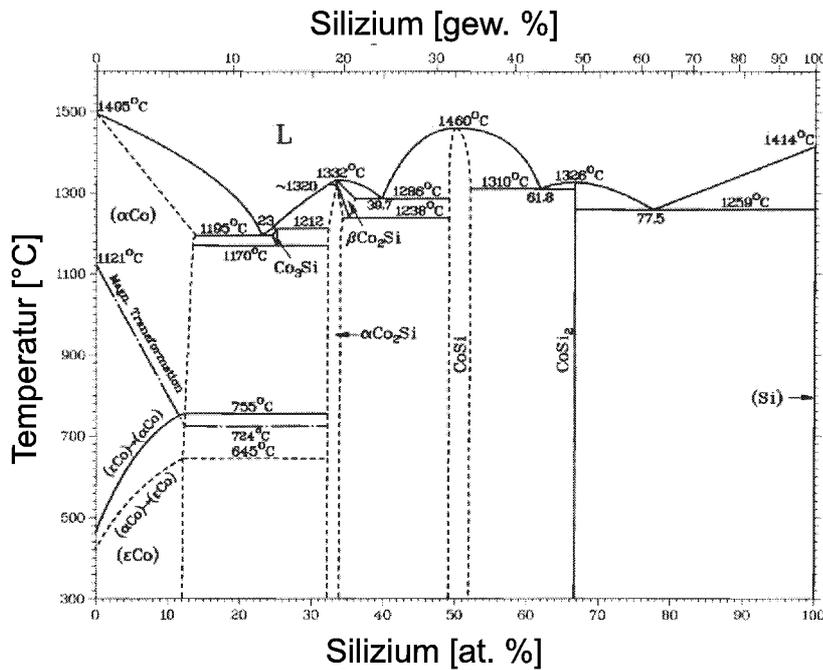


Abbildung 1.2: Kobalt-Silizium-Phasendiagramm [23].

Siliziumgitter nur -1,23% bei Raumtemperatur. Durch den höheren thermischen Ausdehnungskoeffizienten von CoSi_2 nimmt dieser mit zunehmender Temperatur ab. Die beiden Kristallstrukturen sind in Abb. 1.3 dargestellt.

Epitaxiebeziehungen

Die Epitaxie von CoSi_2 auf $\text{Si}(111)$ -Substraten ist häufig untersucht worden. Hier beobachtet man das Aufwachsen von (111) -orientierten CoSi_2 -Schichten [25]. Man unterscheidet dabei zwei Fälle: Bei der sog. A-Typ-Orientierung besitzen das Si-Substrat und die CoSi_2 -Schicht dieselbe Kristallorientierung. Bei der B-Typ-Orientierung ist das CoSi_2 -Gitter um 180° bezüglich der Oberflächennormale gedreht. Die Grenzflächenenergie der B-Typ-Orientierung ist dabei niedriger als die der A-Typ-Orientierung. Beim epitaktischen Aufwachsen von CoSi_2 auf $\text{Si}(100)$ gibt es eine Reihe gleichwertiger Orientierungen. Neben der günstigen $\text{CoSi}(100)/\text{Si}(100)$ -Struktur werden auch $\text{CoSi}_2(110)$ [26] - und $\text{CoSi}_2(211)$ -Orientierungen [27] beobachtet.

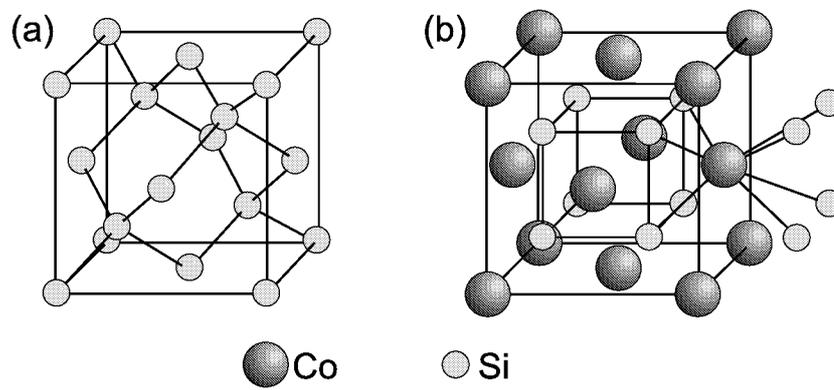


Abbildung 1.3: Kristallstruktur von (a) Silizium (Diamantstruktur) und (b) CoSi_2 (CaF_2 -Struktur).

Kapitel 2

Herstellung dünner CoSi₂-Oberflächenschichten

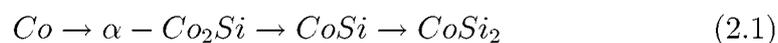
Das große industrielle Interesse an Kobaltdisilizid stimulierte die hohe Anzahl an fundamentalen und technologischen Untersuchungen des Co-Si-Systems. Dies führte einerseits zur Optimierung der Herstellung von polykristallinem CoSi₂ und den heute umfassenden Einsatz in der CMOS-Technologie. Andererseits wurden eine Vielzahl von Verfahren zur Herstellung von epitaktischem CoSi₂ zusammen mit einer Reihe von neuen Anwendungsmöglichkeiten entwickelt.

Der erste Teil dieses Kapitels gibt einen Überblick über die verschiedenen Methoden zur Herstellung von Kobaltdisilizid. Im zweiten und dritten Teil werden dann die im Wesentlichen von uns verwendeten Methoden der Molekularstrahlallotaxie und einer Variante der Festphasenepitaxie vorgestellt, sowie die im Rahmen dieser Arbeit erzielten Ergebnisse diskutiert.

2.1 Methoden

2.1.1 Die Co-Si-Reaktion

Dampft man Kobalt auf Silizium auf und tempert dies bei geeigneten Temperaturen, so bilden sich zunächst die metallreichen Phasen, welche letztendlich in die thermodynamisch stabile Disilizid-Phase übergehen [28]:



Auf den technologisch interessanten Si(100)-Oberflächen bildet sich dabei polykristallines Silizid. Während die Bildung der beiden metallreichen Phasen diffusionskontrolliert ist, ist die Reaktionskinetik bei der Bildung der

Disilizid-Phase komplizierter und noch nicht vollständig verstanden. Die Reaktionstemperatur spielt eine wichtige Rolle und beeinflusst als Ergebnis der konkurrierenden Nukleations- und Diffusionsprozesse dabei entscheidend die Mikrostruktur der entstehenden Silizidschicht. Diese ist dann verantwortlich für Eigenschaften wie Temperaturstabilität und Grenzflächenrauigkeit. Eine gute Übersicht über diese Prozesse ist bei Alberti [29] zu finden. Die Qualität der Silizidschicht ist auch entscheidend von der Oberflächenreinheit des Siliziums abhängig, insbesondere, da die auf dem Silizium entstehenden natürlichen Oxide nicht mit dem Kobalt reagieren, und es so zu einer ungleichmäßigen Silizidbildung kommen kann.

Um die laterale Diffusion einzuschränken, wird beim heute verwendeten Salicide-Prozess in zwei Stufen getempert [30]. In der ersten Stufe wird bei niedrigen Temperaturen um 500°C das Monosilizid erzeugt, worauf das nicht reagierte Metall entfernt wird und im zweiten Schritt bei Temperaturen um 800°C das Disilizid erzeugt wird. Um dem Problem der Oberflächenreinheit entgegenzukommen und die laterale Diffusion weiter einzuschränken, werden dabei Deckschichten aus Titan bzw. Titanitrid vor dem Tempern auf die Kobaltschicht aufgebracht. Diese wirken als Diffusionsbarriere für die Siliziumoberflächendiffusion. Außerdem kann das Titan Oxidverunreinigungen an der Siliziumoberfläche reduzieren.

2.1.2 Epitaktische CoSi_2 -Schichten

Im Wesentlichen gibt es vier Techniken zur Herstellung epitaktischer CoSi_2 -Schichten:

- Mesotaxie (Ionenstrahlsynthese)
- Molekularstrahlepitaxie
- Allotaxie
- Festphasenepitaxie

Die *Mesotaxie* oder *Ionenstrahlsynthese* (IBS: Ion Beam Synthesis) basiert auf der Hochdosisimplantation von Co in Si [31]. Dabei bilden sich CoSi_2 -Ausscheidungen in der Si-Matrix. Um die Amorphisierung des Si-Kristalls zu verhindern, wird bei Substrattemperaturen um 400°C implantiert. Durch anschließende Temperung im Schnelltemperofen (RTP) bei Temperaturen oberhalb von 1000°C wachsen diese Präzipitate dann durch Ostwaldreifung und Koaleszens zu einer geschlossenen Schicht zusammen, welche unter einer kristallinen Siliziumschicht vergraben ist. Dieses Verfahren ist auf (111)- und (100)-orientierten Siliziumsubstraten erfolgreich. Dabei konnten in Si(111)

bis zu 20 nm dünne Schichten hergestellt werden [32]. Die Dicke der Siliziumdeckschicht ist durch die Implantationsenergie begrenzt. Bei Implantationen von 200 keV erreicht die Si-Deckschicht eine Dicke von ca. 80-100 nm.

Bei der *Molekularstrahlepitaxie* (MBE: Molekular Beam Epitaxie) werden im Ultrahochvakuum (UHV) Kobalt und Silizium auf ein geheiztes Substrat koverdampft und führen so zum direkten Lagenwachstum von epitaktischem CoSi_2 . Aufdampfen von Kobalt und Silizium im stöchiometrischen Verhältnis von 1:2 führt jedoch zu Schichten mit einer schlechten Kristallqualität [33]. Aufdampfen im überstöchiometrischen Verhältnis von 1:1,7 bei einer Substrattemperatur von 500-700°C führt zu guten epitaktischen Schichten auf Si(111)-Substraten [34].

Die *Molekularstrahlallotaxie* (MBA: Molekular Beam Allotaxy) ist ein abgewandeltes Epitaxieverfahren, mit dem auf Si(111)- und Si(100)-Substraten sowohl Oberflächenschichten als auch vergrabene Schichten hoher Qualität hergestellt werden können [35]. Hier werden durch Kodeposition von Kobalt und Silizium auf ein geheiztes Substrat CoSi_2 -Präzipitate in einer Si-Matrix erzeugt, welche dann, wie bei der Mesotaxie, durch eine RTP-Temperung zu einer geschlossenen Schicht zusammenwachsen. Diese Methode ist zur Herstellung von CoSi_2 -Schichten im Rahmen dieser Arbeit verwendet worden und wird daher in Kap. 2.2 genauer erklärt.

Bei der *Festphasenepitaxie* (SPE: Solid Phase Epitaxy) werden ein oder mehrere Schichten bei Raumtemperatur unter Vakuumbedingungen nacheinander auf das Substrat aufgebracht und anschließend thermisch behandelt. Der Epitaxieprozess erfolgt dann über die Festkörperreaktion des Substrates mit den Schichten bei der Temperung. Dabei gibt es eine Reihe verschiedener Möglichkeiten:

Bringt man im UHV Co bei Raumtemperatur auf eine Si(111)-Oberfläche auf, so führt anschließendes Tempern bei 500-650°C zur Bildung einer epitaktischen CoSi_2 -Schicht.

Die erfolgreichsten Verfahren der Festphasenepitaxie auf Si(100)-Substraten sind die *OME* (Oxide Mediated Epitaxy) [36] und die *TIME* (Titanium Interlayer Mediated Epitaxy) [37]. Bei der TIME wird vor dem Kobalt zunächst eine dünne Titanschicht auf das Silizium aufgedampft. Beim Tempern in Stickstoff entsteht dann eine epitaktische Kobaltdisilizidschicht mit einer Deckschicht aus TiN. Mit diesem Verfahren konnten jedoch keine homogenen Silizidschichten dünner als 40 nm hergestellt werden. Bei der OME wird auf eine dünne, chemisch erzeugte SiO_x -Schicht Kobalt aufgedampft und anschließend in-situ getempert. Bei Kobaltdicken von 1-3 nm entsteht epitaktisches CoSi_2 guter Qualität. Bei dickeren Kobaltschichten entsteht jedoch wieder polykristallines Silizid. Um dickere epitaktische CoSi_2 -Schichten zu erhalten, kann bei diesem Verfahren die dünne Silizidschicht jedoch als

Template dienen.

Es wird angenommen, dass die Zwischenschicht (Ti bzw. SiO_2) die Reaktion des Kobalts mit dem Silizium verlangsamt, so dass die metallreiche Co_2Si -Phase übersprungen wird und damit die Nukleation von epitaktischem CoSi_2 begünstigt wird. Die OME wurde bereits für die Herstellung von epitaktischen CoSi_2 -Kontakten für MOSFETs auf dünnen SOI-Schichten (SOI: silicon-on-insulator) verwendet [38].

Eine besonders einfache und industriekompatible Technik stellt das Ti/-Co/ SiO_x -System dar [39, 40, 41]. Diese durch eine Titanschicht als Deckschicht modifizierte Variante der OME erlaubt es direkt dickere epitaktische CoSi_2 -Schichten guter Qualität herzustellen. Diese Technik wurde für unsere Strukturierungsexperimente verwendet und wird in Kap. 2.3 näher vorgestellt.

Untersucht wurden auch eine Reihe weiterer Schichtsysteme mit verschiedenen Schichtmaterialien. Diese beruhen auf ähnlichen Prinzipien wie OME und TIME und führen zur mehr oder weniger erfolgreichen Herstellung von epitaktischem CoSi_2 . Eine gute Übersicht darüber ist bei Detavernier [42] und Falke [43] zu finden. Systeme, die jedoch außer Kobalt nur noch Titan als Metall enthalten, sind jedoch aufgrund ihrer Kompatibilität zu industriellen Technologien am aussichtsreichsten und liefern auch in dieser Gruppe die besten Ergebnisse.

Als *Template-Verfahren* bezeichnet man eine Methode, bei der zunächst eine dünne CoSi_2 -Schicht (< 3 nm) mit Hilfe der SPE hergestellt und dann durch MBE oder SPE weiter epitaktisch CoSi_2 abgeschieden wird. Auf Si(111) konnten damit Schichten guter Qualität hergestellt werden [44, 45]. Mit dem Template-Verfahren war es auch möglich auf (100)-orientiertem Silizium epitaktische Schichten guter Qualität herzustellen [46, 26], hier ist jedoch die Präparation kritisch [47, 27].

2.2 Molekularstrahlallotaxie

Die Molekularstrahlallotaxie ist ein modifiziertes Epitaxieverfahren mit dessen Hilfe man einkristalline, homogene CoSi_2 -Schichten auf der Oberfläche bzw. als vergrabene Schichten auf Si(111)- und Si(100)-Substraten herstellen kann. Für die später beschriebene Strukturierung und Bauelementherstellung haben wir ausschließlich 20-30 nm dünne Oberflächenschichten auf (100)-orientiertem Silizium verwendet, daher beschränken wir uns auf die Beschreibung der Methode im Hinblick auf die Herstellung dieser Klasse von Schichten. Eine Optimierung der Prozessparameter für dünne CoSi_2 -Oberflächenschichten ist bei Kappius [48] zu finden. Für die im Rahmen

dieser Arbeit durchgeführten Experimente ist es erstmals gelungen diese Methode auf dünne SOI-Substrate zu übertragen.

2.2.1 Prinzip der Molekularstrahlallotaxie

Während bei der Molekularstrahlepitaxie die Schicht gewöhnlich durch Koverdampfen auf ein geheiztes Substrat direkt lagenweise aufgewachsen wird, besteht die Allotaxie aus zwei Schritten (Abb. 2.1):

1. **Deposition:** Zunächst wird zur Herstellung eines Puffers Silizium mit konstanter Rate auf das geheizte Substrat aufgedampft. Dann wird Kobalt dazu koverdampft, wobei die Co-Rate linear auf einen Maximalwert (Co-Peakkonzentration) hochgefahren wird, welcher dann bis zum Ende der Deposition konstant gehalten wird (Abb. 2.1 (a)). Dabei werden Silizidpräzipitate in einer Siliziummatrix erzeugt, welche analog des Co-Ratenprofils größer werden (Abb. 2.1 (b)).
2. **Temperung:** Bei der nachfolgenden Temperung im Schnelltemperofen wachsen die Präzipitate zu einer geschlossenen Oberflächenschicht zusammen (Abb. 2.1 (c)). Dies geschieht über zwei Mechanismen:
 - **Ostwald-Reifung:** Größere Präzipitate wachsen auf Kosten der kleineren. Dies wird durch ein Konzentrationsgefälle der Kobaltatome an den Rändern verschieden großer Ausscheidungen ausgelöst.
 - **Koaleszenz:** Benachbarte Präzipitate wachsen aus grenzflächenenergetischen Gründen zusammen und bilden eine planare Grenzfläche.

Das epitaktische Wachstum beruht darauf, dass die Kristallinformationen des Si-Substrates in die Si-Matrix der CoSi_2 -Ausscheidungen übertragen wird, so dass sich bei der Temperung eine geschlossene, einkristalline CoSi_2 -Schicht bildet.

2.2.2 Prozessablauf und Prozessparameter

Zur Herstellung der Schichten werden zunächst die Si-Substrate mit Hilfe der in Kap. A.6 beschriebenen RCA-Reinigung gereinigt und anschließend in die UHV-Kammer geladen. Dann wird das während der Reinigung entstehende (chemische) SiO_2 abgedampft. Dazu wird Silizium bei einer Substrattemperatur von 780°C mit einer geringen Rate von 5 pm s^{-1} aufgedampft. Dabei bildet sich mit dem SiO_2 bei dieser Temperatur flüchtiges SiO , welches dann

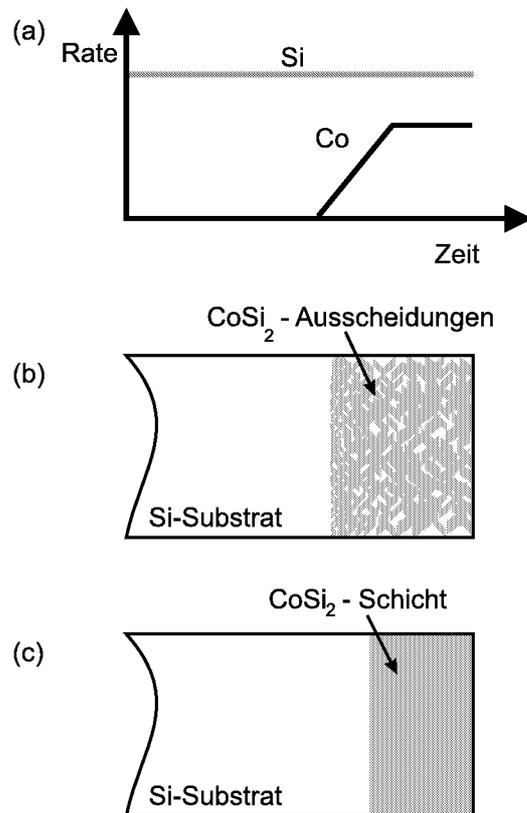


Abbildung 2.1: Schematische Darstellung der Allotaxie von Oberflächenschichten: (a) Aufdampfraten von Kobalt und Silizium; (b) Siliziumsubstrat mit während des Aufdampfens entstehenden CoSi_2 -Ausscheidungen; (c) nach der Temperung zusammengewachsene CoSi_2 -Schicht.

abdampft. Danach wird zunächst bei 600°C eine Si-Pufferschicht aufgewachsen. Die Siliziumaufdampftrate wurde bei den für diese Arbeit hergestellten Schichten konstant bei 0,1 nm s⁻¹ gehalten. Anschließend startet die Koverdampfung des Kobalts.

Die Co-Gesamtmenge, die Si-Aufdampftrate, das Co-Ratenprofil und die Substrattemperatur bestimmen die CoSi₂-Ausscheidungsverteilung. Die Si-Aufdampftrate, die Co-Gesamtmenge, die Rampensteigung und die Co-Peakkonzentration legen die Co-Tiefenverteilung in der Si-Matrix fest. Die Substrattemperatur beeinflusst zusätzlich die Größe der Ausscheidungen. Beim Co-Ratenprofil wurde immer ein Rampenanteil von ca. 50% der Gesamtmenge gewählt. Als kritische Parameter bei der Herstellung der Schichten wurden die maximale Co-Peakkonzentration und die Substrattemperatur T_s untersucht [48]:

- Bei *Co-Peakkonzentrationen* von 25 at% bis 33 at% wurde die Bildung von geschlossenen Schichten festgestellt, bei den höheren Werten jedoch die kleinste Grenzflächenrauigkeit gemessen. Daher wurden die Schichten für diese Arbeit mit einem Wert der Peakkonzentration von 31 at% hergestellt. Bei dünnen Schichten von 20 nm kann man die Konzentration sogar auf einen überstöchiometrischen Wert steigern. Bei diesem großen Parameterfenster machen sich auftretende leichte Schwankungen in der Kalibrierung der Kobaltquelle nur in der Schichtdicke, nicht jedoch in der Qualität bemerkbar. So kann bei der Herstellung die nominelle Schichtdicke von der wirklichen Schichtdicke um wenige Nanometer abweichen.
- Die *Substrattemperatur* bei der Allotaxie weist auch ein breites Prozessfenster auf. Hier ist die Allotaxie bei Substrattemperaturen von ca. 320°C bis über 400°C erfolgreich. Bei dünnen Schichten muss man für eine erfolgreiche Allotaxie jedoch unter 400°C bleiben. Eine zu hohe Substrattemperatur führt zur Bildung großer Präzipitate. Bei der anschließenden Temperung kann es dann zur Bildung großer CoSi₂-Ausscheidungen kommen, so dass keine geschlossene Schicht entsteht. Die verwendete Temperatur von 360°C liefert jedoch bei den von uns hergestellten Schichtdicken von 20-30 nm die höchste Temperaturstabilität.

Die anschließende Temperung zur Bildung der geschlossenen Schicht wurde im RTP bei 1100°C unter einer Atmosphäre bestehend aus 90% N₂ und 10% O₂ durchgeführt. Die 1100°C wurden dabei für 20 s gehalten. Die Oxidation stabilisiert die Schichtbildung und bildet eine dünne Oxidschicht auf dem Silizid [49].

Die relativ großen Parameterfenster machen die Allotaxie zu einem einfachen Verfahren mit großer Reproduzierbarkeit.

Die Dicke des Si-Puffers spielt für den Erfolg der Allotaxie keine wesentliche Rolle. Der Puffer muss nur so dick sein, dass bei der Temperung (Oxidation) die Silizidschicht nicht in die Grenzfläche Wafer/Puffer getrieben wird. Dafür reichen Dicken von ca. 5 nm völlig aus. Bei der Herstellung von CoSi_2 auf ultradünnen SOI-Schichten (Kap. 2.2.4) bzw. bei der Oxidation von Silizidschichten (Kap. 3.2.1), wie sie für die Strukturierung notwendig ist, spielt die Pufferdicke allerdings eine wichtige Rolle.

2.2.3 CoSi_2 -Schichten auf Si(100)

Für die im Rahmen dieser Arbeit verwendeten Schichten auf Si(100) wurden als Substrat Wafer, welche mit Hilfe des Floating Zone Verfahrens (FZ) hergestellt wurden, verwendet. Diese sind mit Phosphor schwach n-dotiert mit einem Schichtwiderstand von $> 1000 \Omega\text{cm}$. Das entspricht einer Dotierstoffkonzentration von weniger als $3 \cdot 10^{12} \text{cm}^{-3}$. Es wurden Silizidschichten mit Dicken von 18-32 nm hergestellt, die Pufferdicke lag dabei zwischen 50 und 200 nm und ist im Wesentlichen nur entscheidend für die Eigenschaften bei der Oxidation der Silizidschichten (Kap. 3.2.1).

Abb. 2.2 zeigt Querschnitts-Transmissionselektronenmikroskopie (XTEM) Aufnahmen einer 20 nm dicken CoSi_2 -Schicht auf einem Si(100)-Substrat (a) vor dem Tempern und (b) nach dem Tempern. In (a) erkennt man deutlich die dicht liegenden CoSi_2 -Ausscheidungen, die zur Oberfläche hin größer werden. Die homogene CoSi_2 -Schicht, die beim Tempern in 90% N_2 und 10% O_2 entsteht (b), wird dabei um wenige Nanometer in das Substrat hineingeschoben (s. Kap. 3.2.1).

Zur einfachen Kontrolle des Allotaxieerfolges wurden $8 \times 8 \text{ mm}^2$ große Proben aus den Wafern herausgeschnitten und es wurde mit Hilfe der van der Pauw Methode (Kap. B.3) der Schichtwiderstand gemessen. Über Gleichung B.6 kann daraus dann die genaue Schichtdicke bestimmt werden. Dabei wird ein spezifischer Widerstand von CoSi_2 von $14 \mu\Omega\text{cm}$ angenommen [14]. Dieser Wert konnte durch Abgleich mit Schichtdickenmessungen aus unseren TEM-Untersuchungen bestätigt werden. Diese Proben wurden dann in mehreren Schritten bis auf 1170°C 20 s im RTP unter 90% N_2 und 10% O_2 getempert und wieder gemessen. Bleibt der Schichtwiderstand stabil und liegt die berechnete Schichtdicke im Rahmen der normalen Abweichung vom Nominalwert, kann man ein erfolgreiches Wachstum annehmen und die Schicht weiter für Strukturierungsexperimente bzw. Bauelementherstellung verwenden.

Neben der großen Homogenität der Schichten zeigen diese auch eine ausgezeichnete Kristallqualität, welche durch ein Minimum-Yield von 5% im

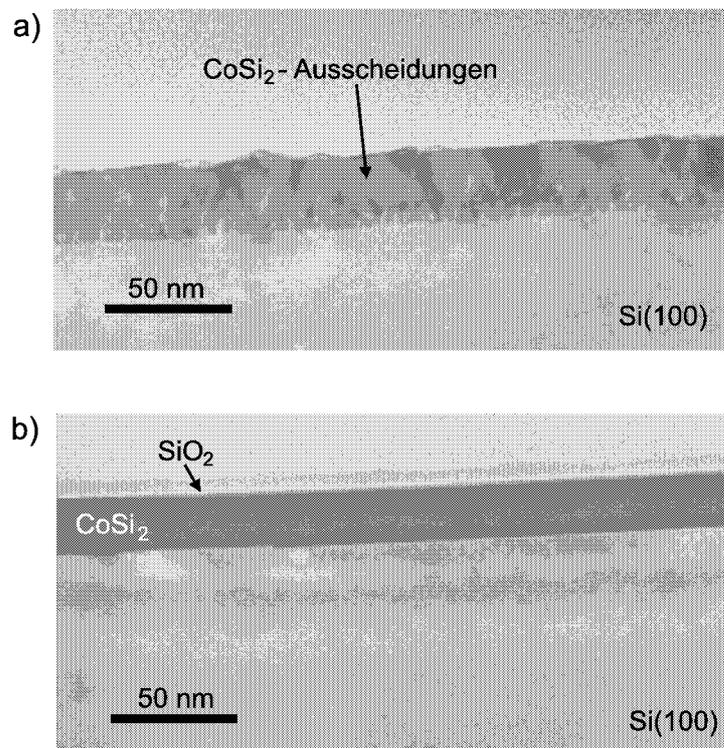


Abbildung 2.2: XTEM-Aufnahmen einer 20 nm dicken CoSi₂-Schicht (a) vor dem Tempern; (b) nach dem Tempern.

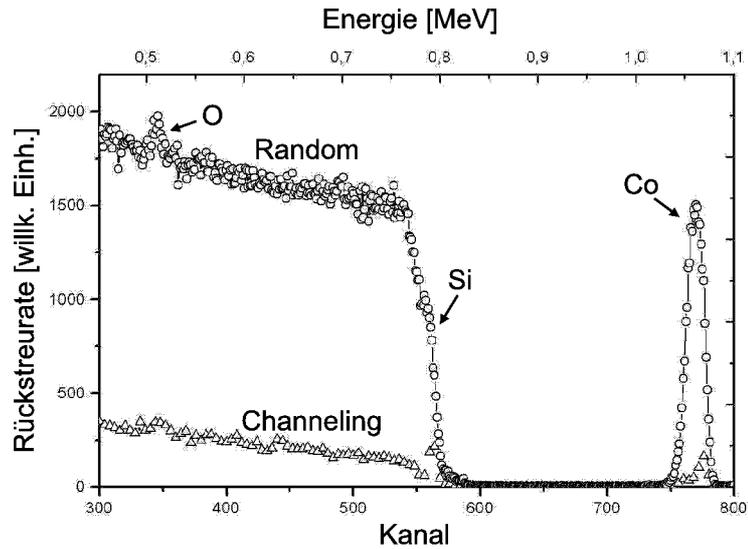


Abbildung 2.3: RBS/Channeling-Spektren einer 21 nm dicken CoSi_2 -Schicht.

Channelingspektrum in Abb. 2.3 wiedergespiegelt wird. Die Abbildung zeigt RBS/Channelingspektren einer 21 nm dicken CoSi_2 -Schicht. Die Messungen wurden mit He^+ -Ionen einer Energie von 1,4 MeV unter einem Detektorwinkel von 170° durchgeführt. Der Sauerstoffpeak im Spektrum gehört zu der dünnen SiO_2 -Schicht, die sich auf dem Silizid während der RTP-Temperatur bildet. Bei dickeren Allotaxieschichten von 40 nm oder mehr geht der Minimum-Yield-Wert bis auf 2-3% herunter. Der höhere Wert bei den ca. 20 nm dicken Schichten kommt jedoch nicht durch eine schlechtere Kristallqualität dieser Schichten zustande, sondern durch eine Überlagerung von Grenzflächen- und Oberflächen-Peak im RBS-Spektrum [48].

2.2.4 CoSi_2 -Schichten auf SOI

Für die Strukturierung von CoSi_2 -Schichten mit Hilfe der lokalen Oxidation (Kap. 4) und der Herstellung der Transistorbauelemente ist es erstmals gelungen, die Allotaxie auf dünnen, (100)-orientierten SOI-Schichten durchzuführen. Als Ausgangsmaterial wurden dabei kommerzielle SOI-Wafer verwendet, welche mit Hilfe von Waferbonden und Smartcut [50] hergestellt wurden. Die Dicke des vergrabenen Oxides beträgt ca. 400 nm und die Dicke der Decksiliziumschicht 100 nm. Die Homogenität dieser Schichtdicke liegt über einen Wafer bei 5%.

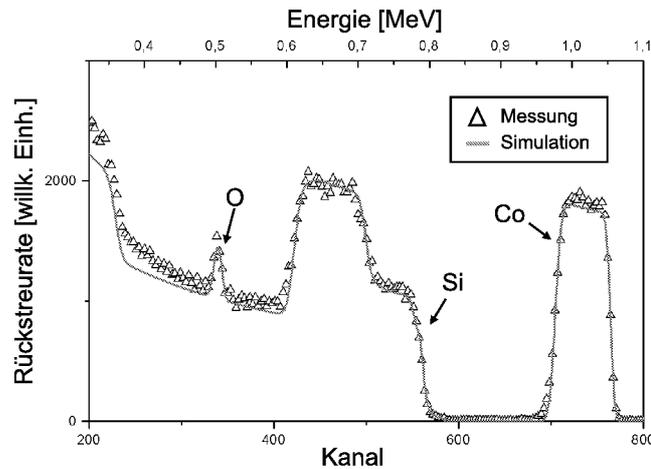


Abbildung 2.4: RBS-Spektrum und Simulation einer 21 nm dicken CoSi_2 -Schicht auf einem 54 nm dicken SOI-Substrat.

Die SOI-Schichten wurden über Trockenoxidation im Rohofen und Entfernen des Oxides mit Hilfe von AF91 abgedünnt. Um die benötigten Oxidschichtdicken effizient zu erreichen wurde dieser Prozess in zwei Stufen durchgeführt. Dadurch werden die benötigten Oxidationszeiten stark verringert. Erhöht man die Anzahl der Stufen, wird die Gesamtoxidationszeit weiter verringert, jedoch erhöht sich dabei die Oberflächenrauigkeit des Substrates.

Die Prozessparameter für die anschließende Allotaxie konnten direkt von der Herstellung der Schichten auf normalen $\text{Si}(100)$ -Substraten übernommen werden, was auf die relativ großen Parameterfenster zurückzuführen ist. Abb. 2.4 zeigt das unter streifendem Einfall aufgenommene RBS-Spektrum einer CoSi_2 -Schicht auf einem dünnen SOI-Substrat. Die Simulation ergibt eine Schichtdicke der CoSi_2 -Schicht von 21 nm mit einer darunterliegenden Siliziumschicht von 54 nm. Die Dicke der Siliziumschicht setzt sich aus der Dicke der abgedünnten SOI-Schicht und des beim Allotaxieprozess erzeugten Si-Puffers zusammen. Die SOI-Schichtdicke betrug nach Ellipsometermessungen vor der Allotaxie etwa $23(\pm 5)$ nm. Bei der SiO -Reinigung in der MBE-Kammer kommen etwa 2-3 nm Si dazu. Die nominelle Pufferdicke entsprach 20 nm und etwa 8 nm Si kommen aus der Allotaxierampe. Man muss nun noch berücksichtigen, dass während der Temperung eine ca. 6 nm dicke SiO_2 -Schicht auf der Oberfläche entsteht, d.h. die Silizidschicht wird etwa um 3 nm in das Substrat hineingeschoben (s. Gl. 3.5). Damit liegt die berechnete SOI-Schichtdicke bei etwa 51 nm. Dies stimmt mit dem gemessenen Ergeb-

nis im Rahmen der angegebenen Abweichung aufgrund der Homogenität des SOI-Materials überein.

Abb. 2.5 zeigt XTEM-Aufnahmen der Schicht vor und nach dem Tempern. Die daraus entnommene CoSi_2 -Schichtdicke von 21 nm und die SOI-Schichtdicke von 52 nm korrespondieren gut mit der Berechnung der Schichtdicke und der RBS-Simulation. Die Abweichung bei der SOI-Schichtdicke liegt dabei vermutlich an der Homogenität des SOI-Materials, da die TEM-Proben von einer anderen Position aus dem Wafer stammen wie die für die RBS-Messungen hergestellten Proben.

Die Präzipitatgrößenverteilung in 2.5 (a) weist keine merkbaren Abweichungen zur Allotaxie auf konventionellen Substraten auf. Die Schicht in (b) zeigt eine etwas größere Rauigkeit an der Silizid/Si-Grenzfläche und deutlichere $\{111\}$ -Stufen.

Die Kristallqualität der Silizidschichten ist unverändert gut auf den SOI-Substraten. Abb. 2.6 zeigt RBS/Channeling-Spektren einer (a) 25 nm dicken CoSi_2 -Schicht auf einer 160 nm Si-Schicht und (b) 21 nm dicken CoSi_2 -Schicht auf einer 54 nm Si-Schicht. Die Minimum-Yield-Werte liegen wie bei den Schichten auf normalen Substraten bei ca. 5%. Bei Temperungen bis zu 1170°C blieben alle Schichten stabil.

Der Allotaxieprozess scheint also bei diesen SOI-Schichtdicken noch nicht kritisch zu sein. Möchte man zu dünneren SOI-Schichten im Bereich von 10 nm übergehen, so ergeben sich jedoch folgende Probleme:

- Das Abdünnen der SOI-Wafer wird problematisch, wenn man in den Bereich der Homogenität der Ausgangsschichtdicke gelangt. Bei den von uns verwendeten sowie auch allgemein kommerziell angebotenen Wafern liegt dies im Bereich von ca. 5 nm.
- Der bei der Allotaxie aufgewachsene Puffer zusammen mit dem aus der Rampe und der Reinigung entstehenden Silizium addieren sich zu der Schichtdicke des Ausgangsmaterials.

Abdünnen bis auf 10 nm sollte jedoch mit der von uns angewandten Methode möglich sein. Der Allotaxiepuffer konnte bei Schichten auf gewöhnlichen Substraten problemlos bis auf 5 nm reduziert werden, so dass Gesamtdicken der Siliziumschichten nach der Allotaxie von ca. 20 nm möglich erscheinen.

2.3 Titan- SiO_x -unterstützte Epitaxie

Epitaxieverfahren wie die Molekularstrahlallotaxie liefern zwar qualitativ hochwertige Schichten, sind aber nicht für den Salicide-Prozess geeignet und

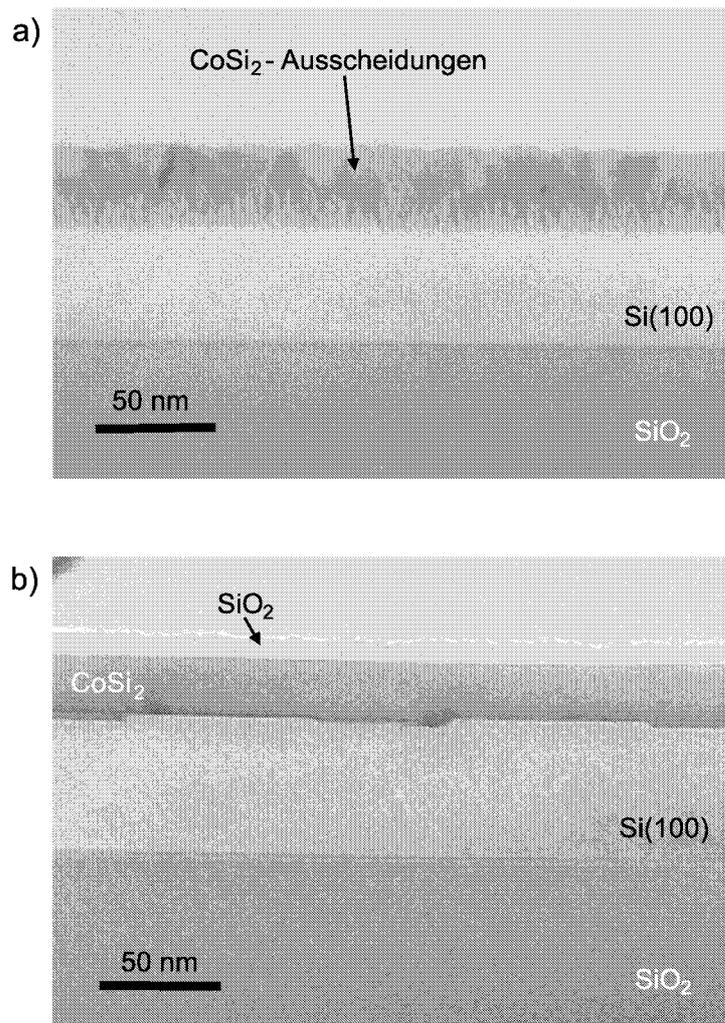


Abbildung 2.5: XTEM-Aufnahmen einer 21 nm dicken CoSi₂-Schicht auf einer etwa 54 nm dicken SOI-Schicht (a) vor dem Tempern; (b) nach dem Tempern.

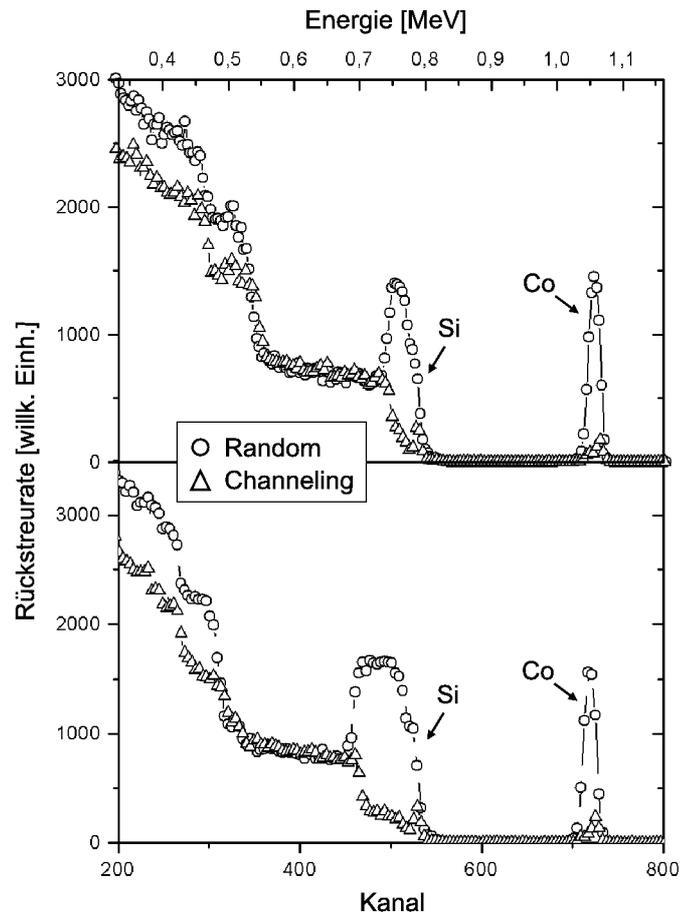


Abbildung 2.6: RBS/Channeling-Spektren einer 21 nm dicken CoSi_2 -Schicht auf einer 54 nm SOI-Schicht (oben) und einer 25 nm dicken CoSi_2 -Schicht auf einer 160 nm SOI-Schicht (unten).

relativ aufwendig, so dass sie zur Zeit keine industrielle Relevanz besitzen. Festphasenepitaxieverfahren, welche sich durch einfaches Aufbringen der Schichten, ex-situ Temperungen und die Möglichkeit zur selbstjustierenden Silizidierung auszeichnen, haben deshalb große Beachtung erlangt.

Im Hinblick auf unsere Strukturierungsexperimente haben wir ein Epitaxieverfahren untersucht, welches von einer Ti/Co/SiO_x/Si(100)-Schichtenfolge ausgeht [39, 40].

Zu erwähnen ist hierbei die Zusammenarbeit mit Christophe Detavernier (Universität Gent, Belgien), der die Ti/Co/SiO_x/Si(100)-Schichtsysteme für unsere Experimente hergestellt hat.

2.3.1 Epitaxieprozess

Die Deposition von Co auf Si(100) führt bei geeigneter Temperatur zur Bildung von polykristallinem CoSi₂. Die Qualität der Silizidierung ist dabei stark abhängig von Kontaminationen an der Co/Si-Grenzfläche. Dünne SiO₂-Schichten können dabei als Diffusionsbarriere wirken und die Silizidierungsreaktion verlangsamen bzw. verhindern. Diesen Effekt nutzt die sog. Oxide Mediated Epitaxy (OME) um die Diffusion des Kobalts zu kontrollieren [36]. Dabei wird ein chemisches Oxid auf der Siliziumoberfläche erzeugt, auf welches Co aufgedampft und in-situ getempert wird. Bei Kobaltschichten von bis zu 3 nm Dicke führt dies zur Bildung von epitaktischem CoSi₂ guter Qualität unter dem Oxid. Bei dickeren Kobaltschichten kommt es wieder zur Entstehung von nicht epitaktisch orientierten Kristallitkörnern. Die Zusammensetzung des chemischen Oxides (SiO_x, x<2) spielt dabei eine wichtige Rolle, da thermische Oxide gleicher Dicke, die stöchiometrisch sind, zu wesentlich schlechterer Qualität des Silizides führen. Dies lässt vermuten, dass das Co über die nichtabgesättigten Sauerstoffleerstellen durch die Oxidschicht diffundiert.

Bei dieser Technik, wie auch bei anderen Zwischenlagentechniken, wird die Nukleation des epitaktischen Silizides mit dem Überspringen der metallreichen Co₂Si-Phase in Verbindung gebracht. Die Kobaltzufuhr zur Siliziumoberfläche wird durch die diffusionshemmende Zwischenschicht verzögert, so dass erst bei höheren Temperaturen ein ausreichender Co-Fluss stattfindet, was dann direkt zur Bildung der CoSi Phase führt. Bei dickeren Co-Schichten steigt der Kobaltfluss wieder, so dass die metallreiche Phase stellenweise wieder nukleieren kann. Aufgrund der hohen Reaktivität des Kobalts ist hier in-situ tempern notwendig, um Sauerstoffkontamination zu vermeiden.

Ein modifiziertes Verfahren ist von Detavernier *et al.* [39, 40] und Kim *et al.* [41, 51] untersucht worden. Dabei wird zusätzlich zur Oxidzwischen-schicht eine Titandeckschicht aufgebracht, so dass dickere epitaktische CoSi₂-

Schichten in einem ex-situ Tempersschritt erzeugt werden können. Die Reaktion ist hierbei vielschichtiger als bei der OME. Die Titandeckschicht hat dabei zwei wesentliche Funktionen:

- Sie schützt die hoch reaktive Kobaltschicht vor Sauerstoffkontamination.
- Die Titanschicht diffundiert in die Kobaltschicht ein und steuert damit, ebenso wie die Oxidschicht, die Kobaltzufuhr zur Siliziumoberfläche, so dass es zur Bildung von epitaktischem CoSi_2 kommt.

Ausführliche Untersuchungen über die Reaktionsmechanismen in Abhängigkeit von der Temperatur und der Titanschichtdicke sind in den o.g. Arbeiten zu finden.

Für die Erzeugung einer ca. 30 nm dicken epitaktischen CoSi_2 -Schicht hat sich dabei die Deposition von 10 nm Co und 10 nm Ti als optimal herausgestellt. Bei unseren Experimenten sind wir daher von diesen Schichtparametern ausgegangen. Dabei wurde von uns im Wesentlichen der RTP-Temperprozess optimiert.

2.3.2 Schichtherstellung

Zunächst wird auf RCA-gereinigten Wafern nasschemisch eine dünne SiO_x -Schicht erzeugt. Dies geschieht durch 5 min Kochen des Substrates in einer $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 3:1:1 Lösung. Danach werden sequentiell 10 nm Kobalt und 10 nm Titan mit Hilfe der Elektronenstrahlverdampfung im Hochvakuum bei ca. 10^{-7} Torr aufgebracht, ohne das Vakuum zu brechen. Ex-situ RTP-Temperungen wurden durchgeführt. Dabei wurden im Wesentlichen zweistufige Temperprozesse, wie in Abb. 2.7 dargestellt, untersucht. Zunächst wird die Temperatur auf einen Wert T_1 hochgefahren und für die Zeit t_1 gehalten. Dann wird sie auf die Temperatur T_2 erhöht und dort für die Zeit t_2 gehalten. Zum Vergleich wurden auch einstufige Temperungen durchgeführt. Anschließend wurde die bei der Temperung entstehende Deckschicht nasschemisch mit Hilfe einer Lösung aus $\text{NH}_3:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 1:1:1 entfernt. Ein Teil der Schichten wurde nach Entfernen der Deckschicht bei 1000°C in 10% O_2 und 90% N_2 im RTP nachgetempert.

Einfluss der Temperbedingungen

Die Rampensteigung lag bei allen Temperungen bei etwa 30 Ks^{-1} . Als Temperatmosphäre wurde Formiergas (90% N_2 und 10% H_2) gewählt. Tempert man unter Stickstoffatmosphäre, reagiert der an der Probenoberfläche adsorbierte

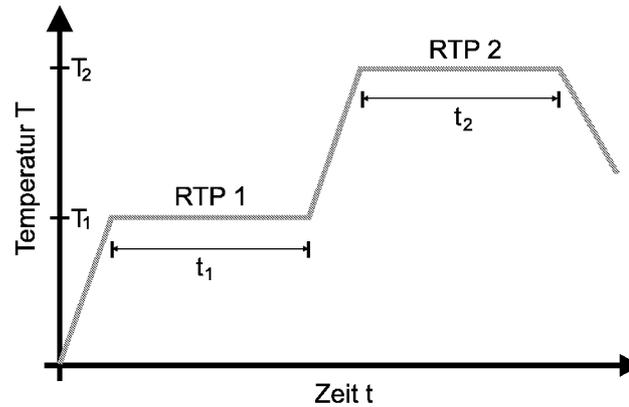


Abbildung 2.7: Schematische Darstellung der Zweistufentemperatur im RTP.

Sauerstoff mit dem Titan und formt TiON-Verbindungen, welche sich nur schwer nasschemisch entfernen lassen. Der Wasserstoffanteil im Formiergas hingegen reagiert mit adsorbiertem Sauerstoff und es kommt zur Bildung von leicht entfernbarem TiN als Deckschicht.

Abb. 2.8 zeigt die RBS/Channeling-Spektren einer CoSi₂-Schicht nach einem zweistufigen Temperprozess, Entfernen der Deckschicht und Nachtempern in sauerstoffhaltiger Atmosphäre. Das axiale Channeling in [100]-Normalenrichtung zeigt ein Minimum-Yield von ca. 6%, ein Wert, der mit den in der Literatur verwendeten einstufigen Temperaturen für diese Methode bisher nicht erreicht wurde. Die RTP2 Temperatur hat dabei einen großen Einfluss auf das Channelingverhalten, wie aus Abb. 2.9 deutlich wird. Bei dieser Versuchsreihe wurden RTP2-Temperaturen von 750°C - 1050°C jeweils 60 s, und die RTP1-Temperung bei 470°C 80 s lang durchgeführt. Das Minimum-Yield verringert sich mit steigender RTP2 Temperatur von ca. 25% auf unter 10%, während der Schichtwiderstand annähernd konstant bleibt, d.h. die Schicht nicht degradiert. Bei den RBS-Messungen wurde die Deckschicht vorher nicht entfernt.

In einer weiteren Versuchsreihe wurden bei konstantem RTP2 (950°C, 60 s) die RTP1 Temperaturen von 470°C bis 550°C variiert. Dies hatte keinen Einfluss auf Schichtwiderstand und Minimum-Yield.

Tempern bei 1000°C in sauerstoffhaltiger Atmosphäre nach Entfernen der TiN-Schicht führt im Allgemeinen zu einer leichten Verbesserung von Minimum-Yield und Schichtwiderstand. Abb. 2.10 zeigt XTEM-Bilder (a) vor Entfernen der Deckschicht und (b) nach Tempern in sauerstoffhaltiger Atmosphäre. Die Schichten zeigen eine gute Planarität mit kleinen Stufen an der CoSi₂/Si-Grenzfläche, mit für epitaktisches CoSi₂ typischen {111}-

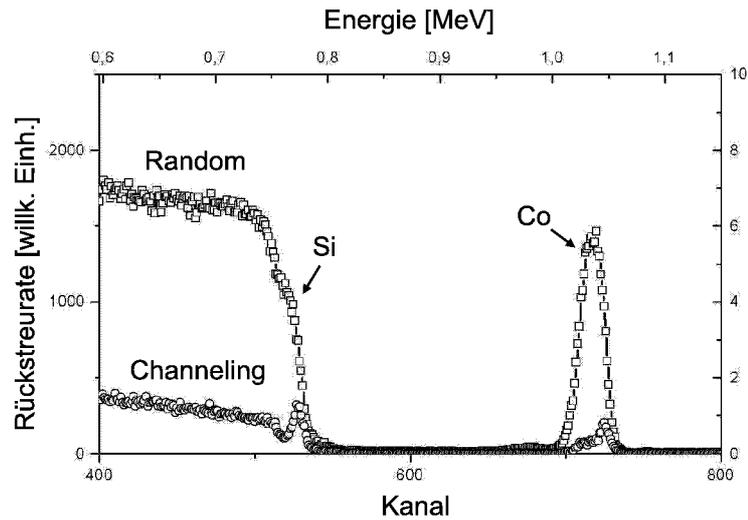


Abbildung 2.8: RBS/Channeling-Spektren einer 30 nm dicken CoSi_2 -Schicht. RTP1 entsprach 60 s bei 500°C , RTP2 60 s bei 1000°C . Nach Entfernen der Deckschicht wurde die Probe 30 s bei 1000°C unter 90% N_2 und 10% O_2 getempert.

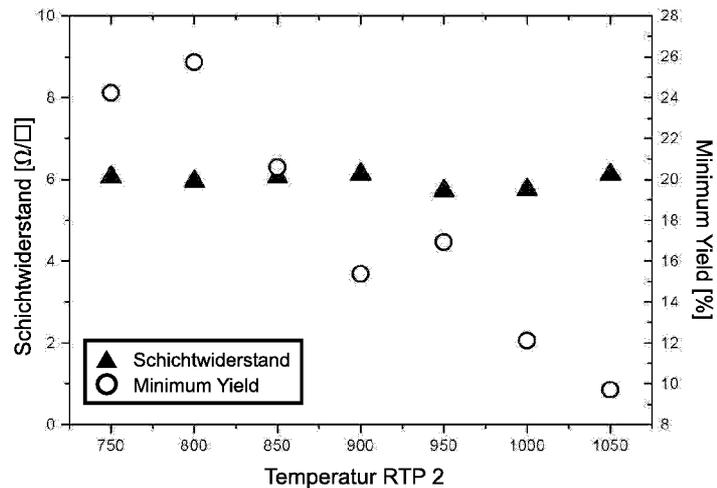


Abbildung 2.9: Einfluss der RTP2 Temperatur auf Minimum-Yield und Schichtwiderstand von 30 nm dicken CoSi_2 -Schichten.

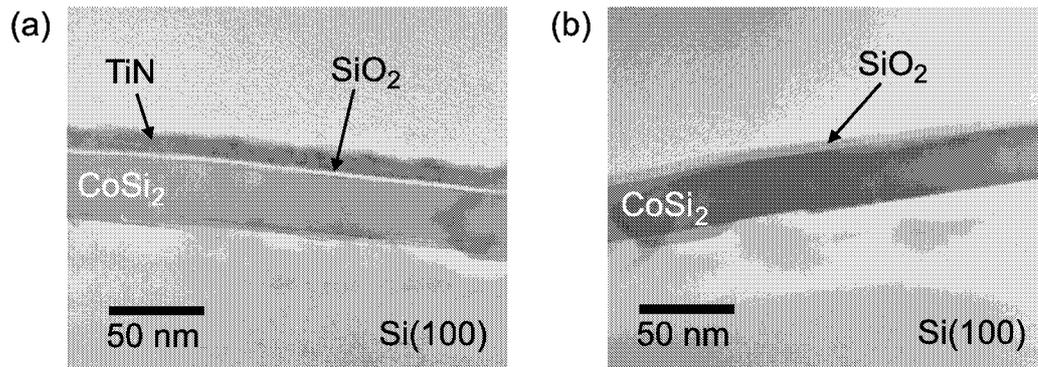


Abbildung 2.10: XTEM-Aufnahmen der Ti/Co/SiO₂/Si(100)-Struktur nach dem Tempern in Formiergas (a) vor Entfernen der Deckschicht; (b) nach Entfernen der Deckschicht und 30 s Tempern in 90% N₂ und 10% O₂ bei 1000°C.

Facetten [11]. Man kann auch eine Glättung der CoSi₂/Si-Grenzfläche nach dem Sauerstofftempeln erkennen. Die Schichten sind jedoch nicht durchgehend einkristallin, man kann eine leichte Texturierung erkennen.

Die Verbesserung der Kristallqualität bei hohen Temperaturen ist ein bei der CoSi₂-Epitaxie bekanntes Phänomen [11] und daher nicht überraschend. Auch die Verbesserung der CoSi₂/Si-Grenzflächeneigenschaften durch Nachtempeln bei hohen Temperaturen wurde beobachtet [52].

Für Vergleiche wurden auch Einstufentemperaturen mit Temperaturen bis zu 1050°C für verschiedene Zeiten, wie von Detavernier *et al.* [39], durchgeführt. Die Ergebnisse der RBS-Analysen waren dabei vergleichbar mit denen der erwähnten Autoren, die Minimum-Yield-Werte lagen durchweg höher als die bei Zweistufentemperaturen. Ein möglicher Grund dafür könnte wieder die erhöhte Kobaltzufuhr sein. Es scheint günstig zu sein, erst bei niedriger Temperatur die CoSi-Phase zu erzeugen, und dann bei höheren Temperaturen die Disilizid-Phase. Ebenso bleibt bei der Zweistufentemperung die Oxidschicht im Wesentlichen erhalten (Abb. 2.10 (a)), während Detavernier *et al.* [39] die Entstehung einer Co_xTi_ySi_z-Diffusionsmembran beobachten. Dies führt zu einer anderen Zusammensetzung der entstehenden Deckschicht, wie auch von uns in den RBS-Messungen verifiziert werden konnte.

Entstehung von Pinholes

Bei den von uns hergestellten Schichten konnte die Bildung von sog. Pinholes beobachtet werden. Diese Löcher in der Silizidschicht machen sich durch

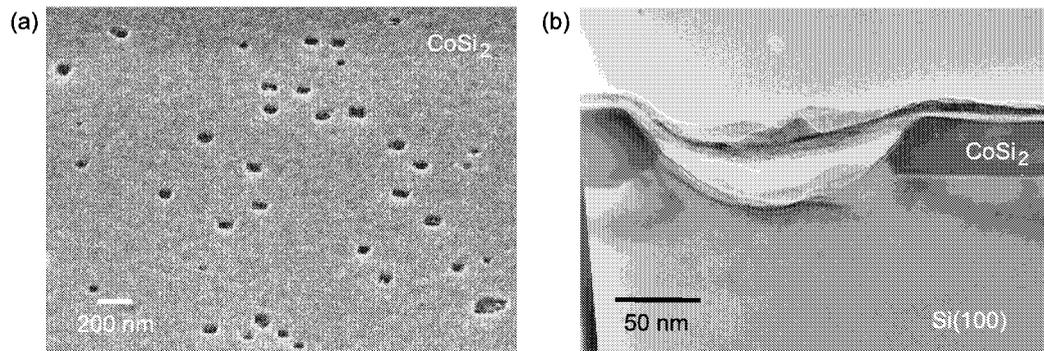


Abbildung 2.11: (a) REM- und (b) XTEM-Aufnahme von Pinholes in der CoSi_2 -Schicht.

einen leicht erhöhten Schichtwiderstand sowie eine etwas verringerte Höhe des Co-Peaks im RBS-Spektrum bemerkbar. Abb. 2.11 zeigt ein REM- (a) und XTEM-Bild (b) solcher Pinholes. Im XTEM-Bild erkennt man eine kraterförmige Ausbuchtung im Silizium an diesen Stellen, welche vermutlich durch Oberflächendiffusion von Si an den Lochrändern zustande kommt [53]. Die Entstehung der Pinholes ist wahrscheinlich auf Inhomogenitäten und/oder Verunreinigungen bei der Herstellung der Ausgangsschichten und beim Tempern zurückzuführen und kann unter verbesserten Depositions- und Temperbedingungen vermutlich vermieden werden.

Teil II

Nanostrukturierung

Kapitel 3

Grundlagen der spannungsinduzierten Nanostrukturierung

Nanowissenschaften beschäftigen sich mit komplexen Systemen mit Abmessungen, die zwischen denen von Atomen und Festkörpern liegen. Diese Systeme, die man auch als Nanostrukturen bezeichnen kann, besitzen aufgrund ihrer Abmessungen einzigartige physikalische und chemische Eigenschaften, von denen bereits zahlreiche Anwendungen in verschiedensten Technologiegebieten profitieren. Die Herstellung miniaturisierter elektronischer, optischer und magnetischer Bauelemente sowie komplexer Sensoren ist ein Gebiet, welches durch das stetig steigende Verständnis von Nanostrukturen entscheidend beeinflusst wird.

Im ersten Teil dieses Kapitels werden wir einen kurzen Überblick über Methoden zur Herstellung von Nanostrukturen auf Oberflächen geben und im zweiten Teil das Prinzip und die Grundlagen der von uns untersuchten Strukturierungsmethode erklären.

3.1 Methoden zur Nanostrukturierung

Nanostrukturen lassen sich auf sehr unterschiedliche Weise auf Oberflächen herstellen. Man kann die Methoden unterscheiden hinsichtlich ihrer Flexibilität, also die Möglichkeit, *beliebige* Strukturen zu erzeugen, sowie ihrer Komplexität, also den damit verbundenen technischen und zeitlichen Aufwand [1]. Genauso wie die Methoden selbst, unterscheiden sich auch die Nanostrukturen in ihren Eigenschaften.

Industriell, speziell in der Mikroelektronik, wird heute die optische Litho-

graphie verwendet um Oberflächen zu strukturieren. Dabei wird ein Muster der zu erzeugenden Strukturen über eine Optik mit Hilfe von Licht auf einen photoempfindlichen Lack übertragen, welcher dann als Maske für die Herstellung der eigentlichen Struktur dient. Die im Lack erzeugte Struktur wird im Allgemeinen über Ätzprozesse in die darunter liegende Schicht übertragen. Diese Methode hat jedoch durch die optischen Instrumente und die Wellenlänge des verwendeten Lichtes eine begrenzte Auflösung von z.Zt. ca. 130 nm. Ein großer und für den industriellen Einsatz entscheidender Vorteil ist der hohe mögliche Durchsatz und die große Flexibilität, da parallel große Flächen nahezu beliebig strukturiert werden können.

Zur Zeit werden eine Reihe verschiedener Alternativen untersucht, mit Hilfe kurzwelligerer Strahlung Lithographieverfahren mit wesentlich größerer Auflösung zu entwickeln. Neben extrem kurzwelliger elektromagnetischer Strahlung (Röntgenstrahl-Lithographie und extreme-deep-UV-Lithographie) werden auch Elektronenprojektions- und Ionenprojektions-Lithographieverfahren untersucht. Diese Verfahren erfordern jedoch einen äußerst hohen technischen Aufwand und verursachen extrem hohe Kosten [3].

In der Forschung werden häufig direkt kleinste Strukturen im Photolack mit dem Elektronenstrahl geschrieben. Damit lassen sich Strukturen mit Größen von wenigen Nanometern erzeugen, das Verfahren ist jedoch sehr zeitaufwendig, da die Strukturen seriell geschrieben werden.

Bei den lithographischen Verfahren steigen mit kleiner werdenden Strukturgrößen außerdem die Anforderungen an Photolacke und Ätzprozesse, um die hergestellten Strukturen auf die Oberflächenschichten zu übertragen. Dünne Lackstrukturen und hochselektive Trockenätzverfahren zur Erzeugung glatter, steiler Ätzflanken erfordern ausgefeiltes Prozessengineering.

Eine alternative Möglichkeit für die direkte Erzeugung extrem kleiner Strukturen ist die Bearbeitung von Oberflächen mit dem Rastertunnelmikroskop. Damit ist die Manipulation einzelner Atome und Moleküle über die Steuerung der Wechselwirkung von Tunnelspitze und Material möglich [54]. Auf ähnliche Weise können auch kleinste Strukturen z.B. über anodische Oxidation mit dem Rasterkraftmikroskop (AFM) hergestellt werden [55]. Diese Methoden sind ebenfalls aufwendig und seriell, und damit z.Zt. noch nicht für den industriellen Einsatz geeignet. Die Verfahren werden jedoch intensiv weiterentwickelt, um mit Hilfe einer großen Zahl parallel arbeitender Tunnelspitzen effizienter strukturieren zu können.

Eine weitere interessante Gruppe alternativer Strukturierungsverfahren sind solche, bei denen sich die Strukturen aufgrund kontrollierter kinetischer Prozesse beim Wachstum oder als thermodynamisch günstiger Zustand selbst anordnen. Diese *selbstassemblierten* Prozesse sind stark abhängig vom verwendeten Materialsystem und ermöglichen die Herstellung nanostrukturier-

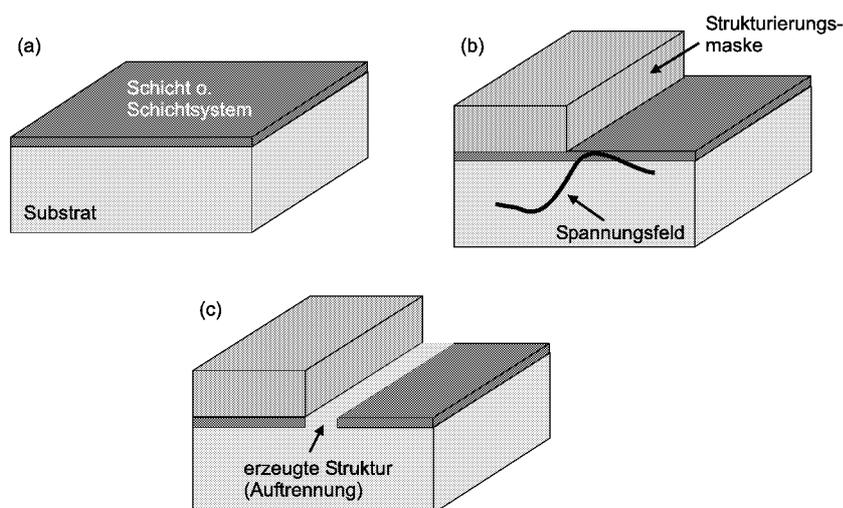


Abbildung 3.1: Schematische Darstellung des Strukturierungsprinzips: (a) Aufbringen der zu strukturierenden Schicht oder des Schichtsystems; (b) Aufbringen und strukturieren der spannungserzeugenden Maske; (c) Entstehung der Nanostruktur durch einen thermisch aktivierten Diffusions- oder Reaktionsprozess.

ter Materialien mit bis zu sub-nanometer Abmessungen. Eine präzise Kontrolle dieser Prozesse zur gezielten Erzeugung der Strukturen an vorgegebenen Positionen bietet die Voraussetzung für eine erfolgreiche Verwertung in der angewandten Nanotechnologie. Beispiele für selbstassemblierte Nanostrukturierung auf Siliziumsubstraten sind bei Himpfel *et al.* [56] zu finden und zeigen ein hohes Anwendungspotential für elektrische Anwendungen.

Die Strukturierung von CoSi_2 -Schichten mit Hilfe eines selbstassemblierten Verfahrens ist äußerst interessant, da noch keine geeigneten Trockenätzprozesse für dieses Material entwickelt worden sind und die Erzeugung kleiner Strukturen außer des Salicide-Prozesses daher äußerst schwierig ist.

3.2 Strukturierungsprinzip

Bei dem von uns untersuchten Strukturierungsprinzip handelt es sich um ein selbstassembliertes Verfahren, wobei die Strukturen an genau vorgegebenen Positionen entstehen. Das Verfahren ist in Abb. 3.1 schematisch dargestellt und weist im Wesentlichen folgende Schritte auf:

- Deposition einer Schicht oder eines Schichtsystems, in dem die Struktur erzeugt werden soll, auf ein Substrat (Abb. 3.1 (a)).

- Anbringen einer Strukturierungsmaske. An den Kanten dieser Maske entsteht ein elastisches Spannungsfeld in den darunter liegenden Schichten (Abb. 3.1 (b)).
- Einen thermisch aktivierten Diffusions- oder Reaktionsprozess, bei dem durch anisotrope Diffusion in dem durch die Maske erzeugten Spannungsfeld an deren Kanten eine Auftrennung der zu strukturierenden Schicht entsteht.

Der größte Teil der in dieser Arbeit vorgestellten Experimente beschäftigt sich mit der Strukturierung dünner einkristalliner CoSi_2 -Schichten mit Hilfe der lokalen Oxidation von Siliziden (LOCOSI), einem Verfahren, welches an unserem Institut entwickelt wurde [6, 7]. Desweiteren wurden erste Ergebnisse zur Strukturierung dünner CoSi_2 -Schichten im Rahmen der Silizidbildung erzielt. Insgesamt wurden folgende Schichtsysteme für die Strukturierung untersucht:

1. 20-30 nm CoSi_2 auf Si(100) und (100)-orientierten SOI-Substraten, hergestellt mit Molekularstrahlallotaxie.
2. 4 nm Si/8 nm Co auf Si(100), im UHV mit Elektronenstrahlverdampfung aufgedampft.
3. 10 nm Ti/10 nm Co/1-2 nm SiO_x auf Si(100); das Oxid wurde chemisch hergestellt, die Metallschichten im Hochvakuum mit Elektronenstrahlverdampfung abgeschieden.

Die Strukturierungsmaske besteht in unserem Fall aus einem Schichtsystem aus SiO_2 und Si_3N_4 , welches mit Hilfe der plasmaunterstützten Gasphasenabscheidung (PECVD: Plasma Enhanced Chemical Vapor Deposition) aufgebracht und mit konventioneller optischer Lithographie und reaktivem Ionätzen (RIE: Reactive Ion Etching) strukturiert wurde. Diese Maskentechnik ist aus dem bekannten LOCOS-Verfahren [57] (LOCOS = LOCAL Oxidation of Silicon) übernommen. Die Nitridschicht erzeugt bekanntermaßen große mechanische Spannungen an ihren Kanten.

Für die drei Schichtsysteme werden folgende Diffusions- oder Reaktionsprozesse verwendet:

1. Oxidation der Allotaxieschichten.
2. Bildung von polykristallinem CoSi_2 durch geeignete Temperung im RTP.
3. Bildung von epitaktischem CoSi_2 mittels Festphasenepitaxie.

Hinzu kommt zu diesen drei Prozessen noch

4. Die thermisch aktivierte Selbstdiffusion in der CoSi_2 -Schicht.

Folgende Merkmale charakterisieren unsere Strukturierungsmethode:

- Selbstassemblierte Erzeugung von Nanostrukturen.
- Erzeugung der Strukturen an vorgegebenen Positionen.
- Paralleles Verfahren zur Erzeugung der Strukturen.
- Nur konventionelle optische Mikrometer-Lithographie und einfache, thermisch aktivierte Prozesse werden verwendet.

Die Breiten der Auftrennungen, die wir mit dieser Methode erzeugen können liegen zwischen ca. 15 und einigen 100 Nanometern, wobei die Maskenabmessungen im Mikrometer-Bereich liegen. Geschicktes Verschieben des Spannungsfeldes durch selektive Ätzprozesse ermöglicht es auch dünne Drähte aus epitaktischem Kobaltdisilizid mit Durchmessern von bis zu 50 nm herzustellen.

Diese Methode zur Erzeugung von Nanostrukturen ist grundsätzlich nicht auf die von uns verwendeten Schichtsysteme und Substrate beschränkt, sofern geeignete Prozesse für die zu strukturierenden Materialien vorhanden sind.

3.2.1 Oxidation von CoSi_2 /Si-Schichtsystemen

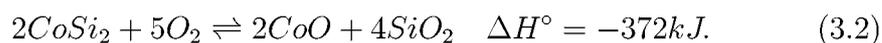
Die meisten Silizide der Übergangsmetalle haben die Eigenschaft zur Selbstpassivierung, d.h. sie bilden auf ihrer Oberfläche eine SiO_2 -Schicht, wenn sie einer oxidierenden Atmosphäre ausgesetzt werden. Diese Eigenschaft ist einer der Gründe für den Einsatz von Siliziden in der integrierten Mikroelektronik. Die Oxidationseigenschaften dieser Silizide sind daher eingehend untersucht worden [58, 59, 60]. Die thermische Oxidation von CoSi_2 -Schichten ist eine wichtige Grundlage für die Strukturierung der mit Hilfe der Allotaxie gewachsenen Schichten.

Oxidationsprozess

Setzt man CoSi_2 einer oxidierenden Atmosphäre aus, so sind zwei Reaktionen denkbar [61]:



und



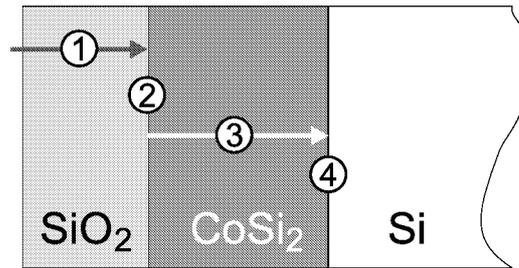
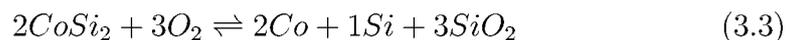
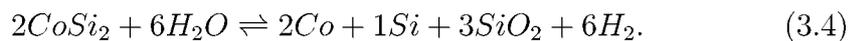


Abbildung 3.2: Schematische Darstellung der Teilprozesse bei der Oxidation von CoSi_2/Si -Schichten: 1. Diffusion des Oxidanten durch das Oxid; 2. Reaktion an der $\text{SiO}_2/\text{CoSi}_2$ -Grenzfläche; 3. Diffusion von Co und Si durch die Silizidschicht; 4. Silizidbildung an der CoSi_2/Si -Grenzfläche.

Dabei ist ΔH° die Standard-Reaktionsenthalpie bezogen auf ein Sauerstoffatom. Reaktion 3.1 ist die thermodynamisch günstigere, das heißt, die Oxidation von CoSi_2 führt nicht zur Bildung des Metalloxides, sondern zur Bildung einer SiO_2 -Oberflächenschicht auf dem Silizid. Dabei dissoziiert das Silizid. Die genaue Redox-Reaktionsgleichung für die Reaktion mit O_2 bzw. H_2O konnte mit Hilfe von RBS-Experimenten mit inerten Xenon-Markern aufgeklärt werden [62, 63]:



und



Daraus kann man sehen, dass $3/4$ der Siliziumatome des dissoziierenden Kobaltdisilizides SiO_2 bilden. $1/4$ der Si-Atome diffundiert zusammen mit den Co-Atomen zur CoSi_2/Si -Grenzfläche, wo sich neues Kobaltdisilizid bildet.

Damit kann man den Oxidationsprozess wie in Abb. 3.2 gezeigt als sequentielle Abfolge von vier Teilprozessen beschreiben [64]:

1. Diffusion von $\text{O}_2/\text{H}_2\text{O}$ -Molekülen durch das SiO_2 .
2. Dissoziation des Silizides an der $\text{SiO}_2/\text{CoSi}_2$ -Grenzfläche und Bildung von SiO_2 nach Gl. 3.3 oder 3.4.
3. Diffusion von Co und Si durch die Silizidschicht.
4. Bildung von CoSi_2 an der CoSi_2/Si -Grenzfläche.

Im Ergebnis wird die CoSi_2 -Schicht durch die Neubildung an der unteren Grenzfläche in das Substrat hineingeschoben.

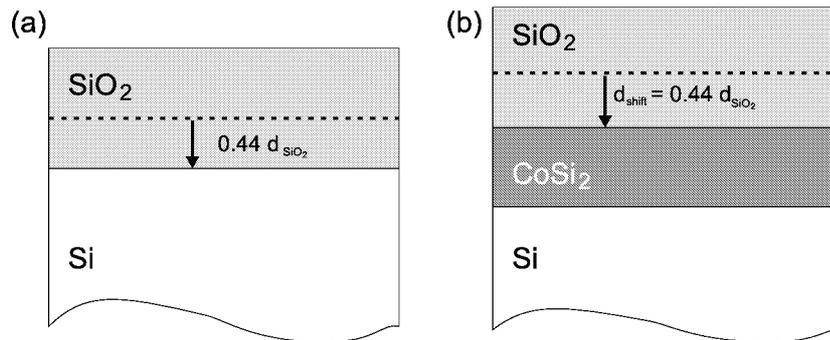


Abbildung 3.3: Schematische Darstellung der Volumenzunahme bei der Oxidation von (a) Silizium und (b) CoSi_2/Si -Schichten; Die gestrichelte Linie markiert jeweils die Oberfläche vor der Oxidation.

Das Molvolumen von SiO_2 beträgt das 2,25-fache des Molvolumens von Silizium. Bei der Oxidation von Silizium wird damit die ursprüngliche Oberfläche um $0,44 \cdot d_{\text{SiO}_2}$ in das Substrat hineingeschoben, wobei d_{SiO_2} die Dicke des entstehenden Oxides ist [65]. Dies ist in Abb. 3.3 (a) verdeutlicht. Der gleiche Faktor gilt auch für das Hineinschieben der CoSi_2 -Schicht in das Substrat, da die Silizidschicht in Struktur und Zusammensetzung erhalten bleibt, das Silizium zur Bildung des Oxides also effektiv aus dem Substrat kommt (3.3 (b)). Die Strecke, um die die CoSi_2 -Schicht also in das Substrat hineingeschoben wird, steht über

$$d_{\text{shift}} = 0,44 \cdot d_{\text{SiO}_2} \quad (3.5)$$

im Verhältnis zur Dicke der entstehenden SiO_2 -Schicht.

Für die Oxidationsrate der CoSi_2 -Oberflächenschichten wird beobachtet:

- Die thermische Oxidation von CoSi_2 -Oberflächenschichten ist schneller als die Oxidation von Silizium [58, 11].
- Die Oxidationsrate ist unabhängig von der CoSi_2 -Schichtdicke [66].

Oxidation in N_2O -Atmosphäre

Für einen Teil der Strukturierungsexperimente wurden die Silizidschichten in N_2O oxidiert. Die Oxidation in N_2O -Atmosphäre geschieht über die Dekomposition des Gases, welche bei 600°C in merkbarer Rate einsetzt [67]:



Über die Sekundärreaktionen



und



entstehen O und O₂ als oxidierende Komponenten und NO als nitridierende Komponente. Die Oxidation von Silizium in N₂O führt zu einer geringeren Oxidationsrate als in reinem O₂ und es kommt zum Einbau von Stickstoff an der SiO₂/Si Grenzfläche. Je nach Prozessparametern kann der Anteil von Stickstoff dabei bis zu einigen Prozent betragen. Die Oxidation von Silizidschichten in N₂O-Atmosphäre ist bisher noch nicht untersucht worden und stützt sich daher auf die Ergebnisse, die im Rahmen der Strukturierungsexperimente in dieser Arbeit erstmals erzielt wurden.

3.2.2 Spannungen an der Maskenkante

In Dünnschichtsystemen verschiedener Materialien, wie sie z.B. in der Mikroelektronik verwendet werden, treten häufig mechanische Verspannungen auf. Diese Verspannungen setzen sich im Allgemeinen zusammen aus [68]:

- **Intrinsischen Spannungen:** Dies sind Spannungen des Materials aufgrund der chemischen Zusammensetzung bzw. des Wachstumsprozesses der Schicht.
- **Thermischen Spannungen:** Diese Spannungen entstehen durch unterschiedliche thermische Ausdehnungskoeffizienten.

Bei heteroepitaktischen Systemen entstehen außerdem:

- **Spannungen durch Gitterfehlpassung:** Diese Spannungen entstehen aufgrund unterschiedlicher Gitterkonstanten.

An den Kanten strukturierter Schichten kommt es dadurch zur Ausbildung großer Spannungsfelder, welche lokal elastische Gitterdeformationen hervorrufen können. Dies ist in Abb. 3.4 schematisch für eine unter Zugspannung stehende Maskenstruktur dargestellt. Die Spannungen in der Maske können über verschiedene Mechanismen relaxieren. Für die Erzeugung der Spannungen im Substrat ist die Relaxation durch laterales Zusammenziehen verantwortlich [69]. Dabei wird eine Kraft F parallel zur Oberfläche auf das Substrat ausgeübt. Diese Kraft erzeugt eine Gitterdeformation derart, dass es

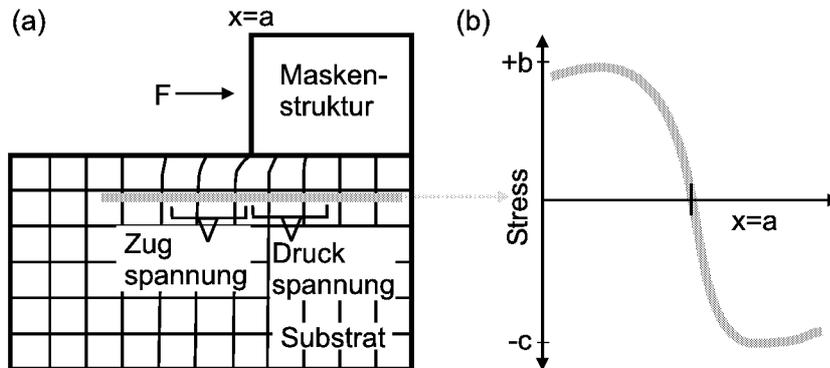


Abbildung 3.4: Schematische Darstellung der Spannungserzeugung am Rand einer Maskenstruktur, welche unter Zugspannung steht: (a) Gitterdeformation; (b) qualitative Spannungskurve σ_{xx} entlang der x-Achse.

in dem nicht abgedeckten Bereich zu einer Ausdehnung kommt, während es unter der Maske zu einer Kompression kommt. Damit entsteht qualitativ ein Spannungsverlauf wie in Abb. 3.4 (b) dargestellt. Die Abbildung zeigt die Spannungen im Substrat im Bereich vor und hinter der Maskenkante. Die elastische Verformung des Gitters ist abhängig von den elastischen Konstanten des Substratmaterials. Für einen in die Bildebene (y-Richtung) unendlich ausgedehnten Streifen hängt die Spannung in x-Richtung σ_{xx} mit der Verformung ϵ über

$$\sigma_{xx} = \frac{E}{(1 + \nu_p)(1 - 2\nu_p)} [(1 - \nu_p)\epsilon_{xx} + \nu_p\epsilon_{zz}] \quad (3.10)$$

zusammen [70]. E ist dabei der Elastizitätsmodul des Substrates und ν_p die Poissonzahl. Analoge Betrachtungen kann man auch für eine unter Druckspannung stehende Maskenstruktur machen, wobei sich dabei lediglich die Vorzeichen der Spannungen umdrehen [69].

Werden die Spannungen zu groß, kann es zur plastischen Verformung unter Bildung von Versetzungen im Substrat kommen, welche sich schädlich auf die elektrischen Eigenschaften integrierter Bauelemente auswirken können. Die Maske kann durch Bildung von Rissen oder Falten, je nachdem, ob sie unter Zug- oder Druckspannung steht, ebenso Schaden nehmen. Im Allgemeinen möchte man daher möglichst spannungsfreie Systeme erzeugen.

Tabelle 3.1: Mechanische Eigenschaften von SiO₂, Si₃N₄ und Si

Material	$\alpha = \frac{\Delta L}{L \Delta T}$ [K ⁻¹]	E [GPa]	ν_p
Si	$2,6 \cdot 10^{-6}$	660	0,17
SiO ₂	$0,5 \cdot 10^{-6}$	3890	0,30
Si ₃ N ₄	$4-7 \cdot 10^{-6}$	1870	0,28

Die LOCOS-Maske

Unser Strukturierungsverfahren macht sich die Spannungen an einer Maskenkante zu Nutze um die Diffusion der Silizidatome zu steuern. Als Strukturierungsmaske verwenden wir ein aus dem sog. LOCOS-Prozess bekanntes Schichtsystem bestehend aus SiO₂ und Si₃N₄. Das LOCOS-Verfahren ist ein etabliertes Verfahren zur Isolation elektrischer Bauelemente in der siliziumbasierten Mikroelektronik [57]. Die Spannungen, die an einer solchen Maskenkante entstehen, sind daher ausführlich untersucht worden [70].

Für unsere Experimente haben wir Schichtsysteme aus 20 nm SiO₂ und 100-300 nm Si₃N₄ verwendet. Diese wurden mit Hilfe der PECVD aufgebracht und mit konventioneller optischer Lithographie und RIE strukturiert. Einige mechanische Eigenschaften von SiO₂, Si₃N₄ und Si sind in Tab. 3.1 zusammengefasst. Die Tabelle zeigt den thermischen Ausdehnungskoeffizienten α , den Elastizitätsmodul E und die Poissonzahl ν_p .

Entscheidend für die Spannungen an der Maskenkante sind die intrinsischen Spannungen des Nitrides. Die thermischen Spannungen bei der Oxid- und der Nitridschicht sollten im Vergleich zu den intrinsischen Spannungen nur eine untergeordnete große Rolle spielen [70]. Die Größe und das Vorzeichen der intrinsischen Spannungen der PECVD-Nitridschichten lassen sich über die genaue Stöchiometrie, welche durch die Depositionsparameter gegeben ist, bestimmen. Die angegebenen Werte liegen dabei zwischen -0,2 GPa und +0,5 GPa [71], wobei ein negatives Vorzeichen Kompression und ein positives Vorzeichen Zugspannungen bezeichnet. Bei den von uns verwendeten Depositionsparametern (s. Kap. A.4.1) wächst die Nitridschicht unter Zugspannung auf. Die Größe der entstehenden Spannungen ist dabei abhängig von der Schichtdicke [65]. Die dünne Oxidschicht fängt durch ihr viskoelastisches Verhalten bei hohen Temperaturen ($\geq 900^\circ\text{C}$) einen Teil der vom Nitrid erzeugten Spannungen auf, so dass es besonders bei hohen Temperaturen nicht zu Rissen in der Maske oder Versetzungen im Substrat kommt.

Spannungen durch Oxidation

Bei der Oxidation von Silizium kommt es aufgrund der Volumenvergrößerung zu einer Verspannung der Oxidschicht. Daraus entstehen beim LOCOS-Prozess Verspannungen im Substrat im Bereich der Maskenkante. Diese werden durch die ungleichmäßige Oxidation entlang der Kante hervorgerufen. Dabei wird durch die auftretenden Spannungen die Diffusion der Oxidanten beeinflusst [72], Sauerstoff diffundiert durch das dünne Oxid unter die Maskenkante und drückt dort durch die Ausdehnung bei der Oxidbildung die Nitridschicht nach oben. Es kommt zur Ausbildung des sog. Vogelschnabels [57] und zu Verspannungen im Substrat. Aufgrund der großen Bedeutung des LOCOS-Prozesses für die Mikroelektronik sind diese Spannungen ausführlich untersucht worden und Gegenstand zahlreicher Simulationen. Die Modellierung dieses Prozesses ist jedoch aufgrund der viskoelastischen Eigenschaften des Oxides sehr kompliziert.

Im Unterschied zum LOCOS-Prozess, bei dem sehr dicke Oxidschichten von bis zu 1 μm bei langen Oxidationszeiten verwendet werden, führen wir nur kurze Oxidationen durch, bei denen nur wenige Nanometer Oxid aufwachsen.

Die Ergebnisse unserer Experimente deuten darauf hin, dass die Spannungen, die durch die Oxidation entstehen, eine untergeordnete Rolle beim Strukturierungsprozess spielen.

Genau quantitative Aussagen über die Form und Absolutwerte des Spannungsprofils sind schwierig, da die intrinsischen Spannungen der von uns deponierten Schichten nicht genau bekannt sind. Ebenso beeinflusst die Silizidschicht das Spannungsprofil und die Spannungen relaxieren mit der Temperungszeit über die Viskoelastizität des Oxides [70].

3.2.3 Anisotrope Diffusion

Diffusion ist ein statistischer Prozess und beruht auf atomaren Sprüngen der diffundierenden Atome. Dabei muss das Atom eine Potentialbarriere überwinden, um in eine benachbarte, stabile Position zu kommen. Die dafür benötigte kritische Energie E_s wird aufgrund thermischer Fluktuationen mit einer Wahrscheinlichkeit w erreicht. Dies führt zur atomaren Sprungfrequenz

$$\Gamma = \nu \cdot w, \quad (3.11)$$

wobei ν der atomaren Vibrationsfrequenz entspricht. Die Wahrscheinlichkeit w , dass die kritische Energie erreicht wird, ergibt sich aus der statistischen Mechanik zu

$$w = \exp\left(-\frac{E_s}{k_b T}\right). \quad (3.12)$$

k_b bezeichnet die Boltzmann-Konstante und T die Temperatur. Damit ergibt sich für die Sprungfrequenz

$$\Gamma = \nu \exp\left(-\frac{E_s}{k_b T}\right). \quad (3.13)$$

Bei einer korrelierten Leerstellen- oder Selbstdiffusion ist der Diffusionskoeffizient D mit der Sprungfrequenz Γ über

$$D = \alpha R \lambda^2 \Gamma n \quad (3.14)$$

verknüpft, wobei α ein geometrischer Sprungfaktor ($\alpha = 1$ für kubisch primitive Gitter) und λ die Sprunglänge bezeichnet. n bezeichnet die Anzahl der Leerstellen bzw. die Anzahl der Atome in interstitiellen Positionen und R ist ein Korrelationsfaktor (z.B. $R=0,8$ für Leerstellendiffusion in bcc- oder fcc-Gittern).

Druckabhängigkeit des Diffusionskoeffizienten

Mechanische Verspannungen können die Potentialbarrieren und damit die Sprungwahrscheinlichkeiten ändern, so dass es zu einer Veränderung des Diffusionsverhaltens kommt [73]. Der Einfluss des hydrostatischen Druckes p auf die Diffusion ist dabei im Wesentlichen durch zwei Effekte charakterisiert. Zum einen muss bei der Bildung von Leerstellen bzw. bei der Formation von Zwischengitterpositionen Arbeit gegen den Druck verrichtet werden. Die Anzahl n dieser Positionen lässt sich über eine Taylorentwicklung der Gibbs'schen freien Enthalpie angenähert ausdrücken als

$$n(p) = n_0 \exp\left(-\frac{pV_f}{k_b T}\right). \quad (3.15)$$

n_0 ist hierbei der Wert unter Vernachlässigung des hydrostatischen Druckes, V_f das korrespondierende Aktivierungsvolumen der Formation von Leerstellen bzw. Zwischengitterpositionen. Zum anderen muss beim Sprung in eine benachbarte Position das Gitter gegen den äußeren Druck verzerrt werden, was zu einem Anstieg der benötigten Energie E_s um den Betrag pV_m führt. V_m bezeichnet hier das korrespondierende Aktivierungsvolumen der Migration. Die Sprungfrequenz Γ wird damit zu

$$\Gamma(p) = \nu \exp\left(-\frac{E_s + pV_m}{k_b T}\right) =: \Gamma_0 \exp\left(-\frac{pV_m}{k_b T}\right). \quad (3.16)$$

Die Diffusionskonstante ergibt sich dann unter Berücksichtigung beider Effekte zu

$$D(p) = \alpha R \lambda^2 \Gamma_0 \exp\left(-\frac{p(V_f + V_m)}{k_b T}\right). \quad (3.17)$$

Druckgradient und Drift

Isotrope Diffusion im Festkörper ist unabhängig von der Kristallrichtung, da die Potentialbarrieren in alle Richtungen gleich sind. Ortsabhängige Verspannungen führen zu einem ortsabhängigen Druck $p(x)$, welcher bei den hier beschriebenen Effekten zu einer Diffusion von Gebieten geringen Druckes zu Gebieten hohen Druckes führt. Der Druckgradient führt dabei zu einer Asymmetrie in den Sprungwahrscheinlichkeiten bzw. Sprungfrequenzen, da bei einem Sprung zur Seite mit höherem Druck eine höhere Potentialbarriere überwunden werden muss als bei einem Sprung in Richtung niedrigen Druckes:

$$\Gamma^+ \sim \nu \exp\left(\frac{1}{2} \frac{\phi \lambda}{k_b T} \frac{\partial E_s}{\partial x}\right) \quad ; \quad \Gamma^- \sim \nu \exp\left(-\frac{1}{2} \frac{\phi \lambda}{k_b T} \frac{\partial E_s}{\partial x}\right). \quad (3.18)$$

ϕ ist hierbei ein systemabhängiger Vorfaktor. Als Resultat kommt es zu einer Drift in Gebiete mit niedrigem Druck.

Die beiden Effekte der Änderung der Diffusionskonstanten mit dem Druck und die Drift wirken einander entgegen. Die tatsächliche Diffusionsrichtung hängt davon ab, welcher Effekt bei gegebener Druckverteilung überwiegt.

Genau diese anisotrope Diffusion wird bei dem von uns vorgestellten Strukturierungsverfahren ausgenutzt. Eine auf diesen Aussagen beruhende Monte-Carlo-Simulation des Strukturierungsverfahrens von Antons [73] zeigt das Auftrennen der Schichten im Spannungsfeld der Maskenkante.

Diffusionslänge

Für eine erfolgreiche Strukturierung ist eine ausreichende laterale Diffusion der Atome notwendig. Ein Maß dafür stellt die Diffusionslänge L dar. Sie ist gegeben durch

$$L = 2\sqrt{Dt}. \quad (3.19)$$

Die Diffusionskonstante D ist dabei über

$$D = D^0 \exp\left(-\frac{E_a}{k_b T}\right) \quad (3.20)$$

von der Temperatur T abhängig. E_a bezeichnet die Aktivierungsenergie des Prozesses. Für die Selbstdiffusion von Co in CoSi_2 wurde dabei folgende Temperaturabhängigkeit gefunden [74]:

$$D_{Co} = D_{Co}^0 \exp\left(-\frac{2,83\text{eV}}{k_b T}\right), \quad \text{mit} \quad D_{Co}^0 = 0,21 \frac{\text{cm}^2}{\text{s}}. \quad (3.21)$$

Die Kobaltselbstdiffusion ist ein Maß für die Beweglichkeit der Kobaltatome bei der Temperung und damit entscheidend für die laterale Umverteilung während des Strukturierungsprozesses. Die hohe Aktivierungsenergie wird darauf zurückgeführt, dass die Volumendiffusion von Co in CoSi_2 substitutionell im CoSi_2 -Gitter erfolgt.

Der sowohl bei der Oxidation wie auch bei der Festphasenreaktion beobachtete schnelle Transport des Kobalts durch die Schicht kann nicht mit Hilfe von Gl. 3.21 erklärt werden. Der Effekt kann jedoch über die unterschiedlichen Aktivierungsenergien von Oxidation bzw. Silizidbildung und Selbstdiffusion erklärt werden. Die Reaktionen sind verantwortlich für die vertikale Diffusion des Kobalts, während die laterale Diffusion, welche letztendlich für die Strukturzeugung verantwortlich ist, weitgehend über die Selbstdiffusion bestimmt ist. Dies wurde von Klinkhammer [7] für die Oxidation der Allotaxieschichten beschrieben. Die Strukturierung liefert unterschiedliche Ergebnisse bei gleicher erzeugter Oxiddicke (gleicher vertikaler Diffusion) bei verschiedenen Temperaturen. Hohe Temperaturen sind dabei notwendig, um eine ausreichende laterale Diffusion zu gewährleisten.

Bei den von uns untersuchten CoSi_2 -Systemen diffundieren die Kobaltatome aus dem unbedeckten Bereich an der Maskenkante, der unter (positiver) Zugspannung steht, in die Bereiche, die unter (negativer) Druckspannung stehen. Dies wird aus den Beobachtungen in den später vorgestellten Experimenten deutlich. Hier dominiert also der Driftanteil aufgrund des Druckgradienten. Es ist aber durchaus vorstellbar, dass für andere Materialsysteme eine Anreicherung anstatt einer Auftrennung an der Maskenkante entsteht.

Kapitel 4

Nanostrukturierung durch Lokale Oxidation von Siliziden (LOCOSI)

Die Strukturierung von CoSi_2/Si -Heterostrukturen mit Hilfe des LOCOSI-Verfahrens (LOCAL Oxidation of SILicides) bedient sich der Oxidation des Silizides in den von der Maske nicht bedeckten Bereichen als thermisch aktivierten Reaktions- bzw. Diffusionsprozess und erhielt in Anlehnung an das LOCOS-Verfahren seinen Namen. Ursprünglich wurden, ebenso wie beim LOCOS-Verfahren, lange Nassoxidationen im Rohrofen eingesetzt [6]. Mit dünner werdenden Silizidschichten konnten die Oxidationszeiten drastisch reduziert werden. Eine ausführliche Untersuchung des Verfahrens wurde von Klinkhammer [7] durchgeführt. Der Schwerpunkt lag dabei auf der Strukturierung von Silizidschichten auf (111)- und (100)-orientierten Substraten mittels Nassoxidation im Rohrofen. Erste Ergebnisse zur Strukturierung ultradünner Schichten auf (100)-orientierten Substraten mit Hilfe der Trockenoxidation im RTP werden vorgestellt und diskutiert. Die Strukturierung mittels Trockenoxidation im RTP hat dabei entscheidende Vorteile gezeigt:

- Mit Hilfe der Trockenoxidation konnten aufgrund der geringeren Oxidationsrate kleinere Strukturen hergestellt werden.
- Mit dem RTP lassen sich Temperprozesse sehr gut kontrollieren und schaffen somit die Voraussetzung für eine gute Reproduzierbarkeit des Verfahrens.
- Die kurzen Oxidationszeiten und geringen Oxidationsraten minimieren die thermische Belastung der Silizidschichten.

- Durch die kurzen Oxidationszeiten wird die Silizidschicht auf der unmaskierten Seite nur wenig in das Substrat hineingeschoben, so dass die Struktur annähernd planar bleibt.

Das Ziel der in diesem Kapitel vorgestellten Strukturierungsexperimente war die Untersuchung und Weiterentwicklung der Nanostrukturierung von dünnen CoSi_2 -Schichten auf (100)-orientierten Substraten mit Hilfe der lokalen Oxidation. Aufgrund ihrer Vorteile wurde dabei im Wesentlichen die Trockenoxidation im RTP untersucht. Eine Nassoxidation wurde zur Modifikation der mit Hilfe der Trockenoxidation hergestellten Strukturen verwendet.

Im ersten Abschnitt wird die Herstellung von Linien im Silizid auf normalen Si(100)- und SOI-Substraten untersucht und die strukturellen Eigenschaften sowie der Einfluss der Prozessparameter diskutiert. Im zweiten Abschnitt wird ein Verfahren vorgestellt, um die so erzielten Strukturen mit Hilfe einer Niedrigtemperatur-Nassoxidation weiter zu verkleinern. Im dritten Abschnitt wird dann die Anwendung des Verfahrens auf die Herstellung von Silizid-Nanodrähten beschrieben.

4.1 Linien in CoSi_2

Zunächst wurden mit Hilfe der Molekularstrahlallotaxie, wie in Kap. 2.2 beschrieben, epitaktische CoSi_2 -Schichten mit Dicken von etwa 20 bis 30 nm auf konventionellen Si(100) bzw. SOI-Substraten abgeschieden. Anschließend wurde die Strukturierungsmaske, bestehend aus 20 nm SiO_2 und 100-300 nm Si_3N_4 , mit Hilfe der PECVD aufgebracht und mit optischer Lithographie und RIE strukturiert. Dabei wurden Nitridlinien mit Breiten zwischen 1 und 5 μm hergestellt. Dann wurden die Proben im RTP unter O_2 - oder N_2O -Atmosphäre 30 s bis 5 min lang oxidiert.

Die Strukturierungsanordnung ist schematisch in Abb. 4.1 (a) vor der Oxidation und (b) nach der Oxidation dargestellt. Durch die anisotrope laterale Diffusion der Kobaltatome im Spannungsfeld der Maskenkante trennt sich dort die Silizidschicht während der Oxidation auf und es bildet sich eine homogene Linie der Breite L_G . Dabei entsteht auf den unmaskierten Bereichen SiO_2 und die Silizidschicht wird auf dieser Seite in das Substrat hineingeschoben. Die Silizidschicht selber bleibt in ihrer hohen Kristallqualität und Homogenität erhalten. Die Dicke der auf dem Silizid entstehenden Oxidschicht liegt bei den von uns verwendeten Oxidationszeiten und -temperaturen bei höchstens 15 nm, d.h. die Silizidschicht wird nach Gl. 3.5 um weniger als 10 nm in das Substrat hineingeschoben. Die Struktur bleibt also weitgehend planar.

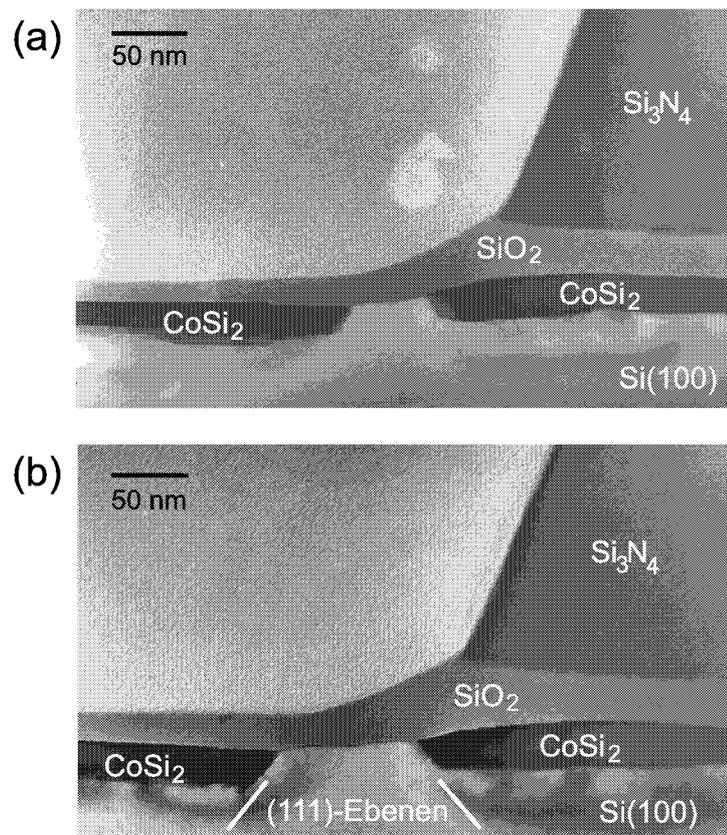


Abbildung 4.2: XTEM-Aufnahmen der Strukturierung einer 21 nm dicken Schicht (a) nach 1 min Oxidation; (b) nach 3 min Oxidation.

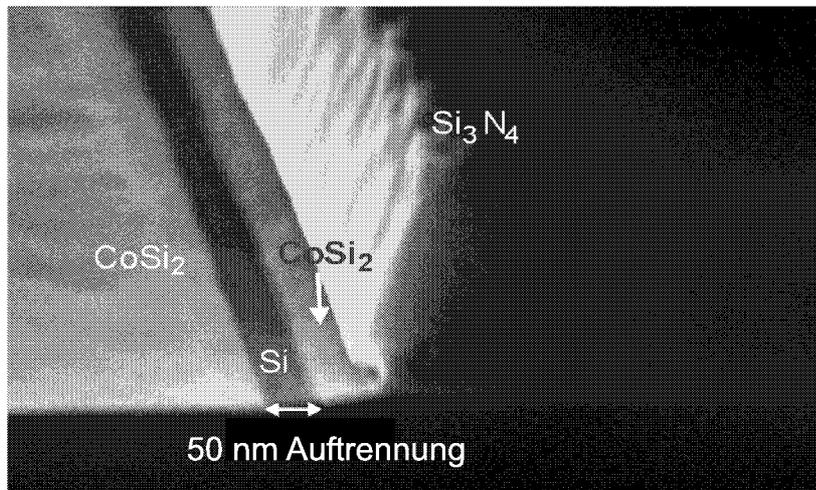


Abbildung 4.3: REM-Aufnahme der Strukturierung einer 21 nm dicken Schicht nach 1 min Oxidation.

- Eine Oxidation in N_2O führt zu qualitativ gleichen Strukturierungsergebnissen wie die Oxidation in O_2 . Bei gleicher Oxidationszeit bilden sich etwas schmalere Linien. Nach einer Minute Oxidationszeit in N_2O weist die Auftrennung eine Breite L_G von ca. 40 nm auf, nach 3 min ca. 70 nm.
- Die Maskenabmessungen haben einen Einfluss auf das im Substrat erzeugte Spannungsfeld und damit auf das Ergebnis der Strukturierung. Dabei war eine Nitridschichtdicke von mindestens 300 nm und eine Linienbreite L_M von mindestens $3 \mu\text{m}$ für eine erfolgreiche Strukturierung notwendig. Erst diese Maskenabmessungen liefern die ausreichenden Spannungen, die zur Bildung gleichmäßiger Linien führen. Bei dünneren Nitridschichten und/oder schmalere Linienbreiten L_M wird die Strukturierung ungleichmäßig und unvollständig.
- Die Breite der im Silizid erzeugten Linien ist auch abhängig von der Silizidschichtdicke. Die kleinsten Strukturen konnte dabei in den dünnen (20 nm) Silizidschichten beobachtet werden. Bei 30 nm dicken CoSi_2 -Schichten wurden nach einer Minute Trockenoxidation in O_2 Linienbreiten L_G von ca. 90 nm gemessen.

Um den Einfluss der intrinsischen Spannungen des Si_3N_4 auf die Strukturierung zu verdeutlichen, wurde zum Vergleich eine mit Hilfe der Niederdruck-Gasphasenabscheidung (LPCVD: Low Pressure Chemical Vapor Deposition)

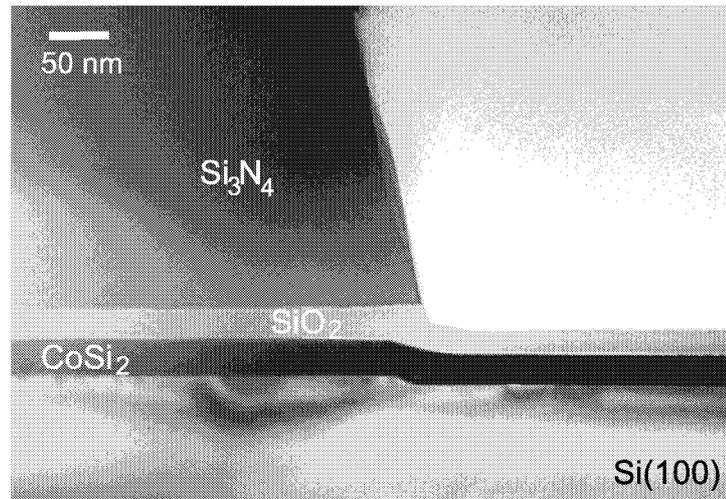


Abbildung 4.4: XTEM-Aufnahme der lokalen Oxidation einer 29 nm dicken CoSi_2 -Schicht nach 3 min Oxidation bei 950°C in O_2 . Die Nitridschicht wurde hier mit der LPCVD aufgebracht.

aufgebrachte 300 nm dicke Nitridschicht für die Strukturierungsexperimente verwendet. Abb. 4.4 zeigt die Kante einer $3 \mu\text{m}$ breiten Nitridlinie auf einer 29 nm dicken CoSi_2 -Schicht. Die Oxidation wurde 3 min bei 950°C in O_2 durchgeführt. Es findet keine Kobaltumverteilung statt, die Schicht bleibt zusammenhängend, sie wird nur in den von der Maske nicht bedeckten Bereichen um einige Nanometer in das Substrat hineingeschoben. Dies liegt an der vermutlich spannungsfrei mit dieser Methode aufgetragenen Nitridschicht und unterstützt die Annahme, dass im Wesentlichen die intrinsische Spannung der Nitridschicht für das Auftrennen der Schicht verantwortlich ist. Die bei der Oxidation entstehenden Spannungen haben keinen großen Einfluss auf die Strukturierung.

4.1.2 Strukturierung auf SOI

Untersucht wurde die Strukturierung von Silizidschichten auf (100)-orientierten SOI-Substraten mit Siliziumschichten zwischen 54 nm und 160 nm Dicke, einschließlich des bei der Allotaxie entstehenden Puffers. Die Herstellung der Silizidschichten auf SOI-Substraten ist in Kap. 2.2 beschrieben. Abb. 4.5 zeigt XTEM-Aufnahmen der Strukturierung einer 24 nm dicken CoSi_2 -Schicht auf einer 160 nm dicken SOI-Schicht. Die Oxidation wurde bei 950°C (a) 1 min bzw. (b) 3 min in N_2O durchgeführt. Nach einer Minute Oxidation weisen die Silizidschichten einen Abstand L_G von ca. 45 nm auf, nach drei Minuten ca. 80

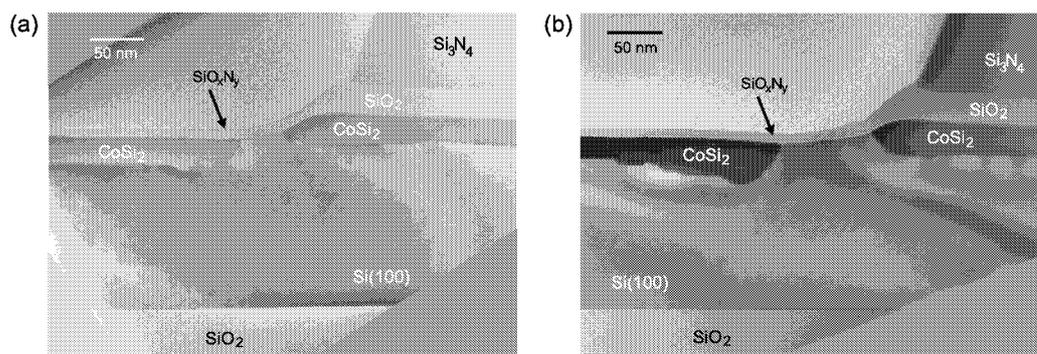


Abbildung 4.5: XTEM-Aufnahmen der Strukturierung einer 24 nm dicken CoSi_2 -Schicht auf einer 160 nm dicken SOI-Schicht durch Oxidation in N_2O bei 950°C (a) 1 min; (b) 3 min.

nm. Betrachtet wurden wieder die Kanten von $3\ \mu\text{m}$ breiten Nitridlinien mit einer Dicke der Nitridschicht von 300 nm. Die Strukturgrößen entsprechen in etwa denen, die bei den konventionellen Substraten unter diesen Oxidationsbedingungen erzielt wurden. Man erkennt auch hier deutlich die Bildung der $\{111\}$ -Facetten. Das REM-Bild in Abb. 4.6 zeigt die große Gleichmäßigkeit der erzeugten Struktur. Dargestellt ist eine 24 nm dicke CoSi_2 -Schicht auf einer 160 nm dicken SOI-Schicht. Die Oxidation wurde 30 s in N_2O durchgeführt. Diese Oxidationszeit ist ausreichend um eine homogene Auftrennung zu erzielen.

Um den Einfluss der Maskenabmessungen zu untersuchen, wurden Nitridschichten mit Dicken von 100 und 200 nm für die Strukturierung verwendet. Abb. 4.7 zeigt REM-Bilder einer 24 nm dicken CoSi_2 -Schicht auf einer 70 nm dicken SOI-Schicht nach Oxidation für 1 min in O_2 . Die Dicke der Nitridschicht betrug (a) 200 nm und (b) 100 nm. Bei der 200 nm dicken Nitridschicht in (a) kann man noch eine sehr homogene Auftrennung sehen. Dies stellt einen Unterschied zur Strukturierung auf normalen Substraten dar, wo die Strukturen bei 200 nm Nitridschichtdicke bereits inhomogen werden. Die 100 nm dicke Nitridmaske führt zu einer ungleichmäßigen Auftrennung, wie man in Abb. 4.7 (b) sehen kann. Ebenso konnten wir gleichmäßige Auftrennungen an $2\ \mu\text{m}$ breiten Linien sehen. Im Vergleich dazu war auf konventionellen Substraten eine Linienbreite von mindestens $3\ \mu\text{m}$ für eine gleichmäßige Strukturierung notwendig. Aufgrund der vergrabenen SiO_2 -Schicht liegen veränderte Spannungsverhältnisse im Substrat vor. Dies hat offensichtlich einen Einfluss auf die zur Strukturierung benötigten Maskendimensionen, die prinzipiellen strukturellen Eigenschaften der Strukturen

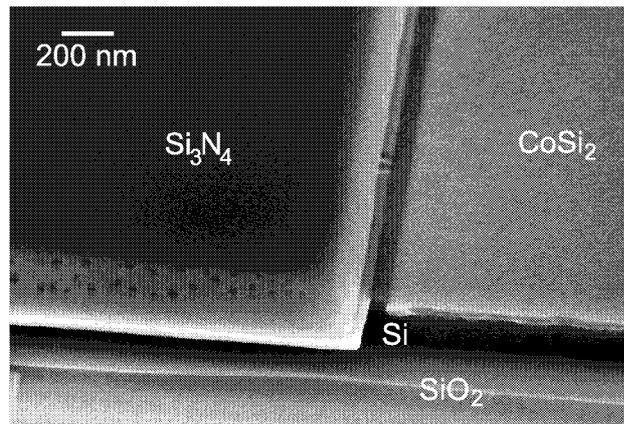


Abbildung 4.6: REM-Aufnahme der Strukturierung einer 24 nm dicken CoSi_2 -Schicht auf einer 160 nm dicken SOI-Schicht durch 30 s Oxidation in N_2O bei 950°C .

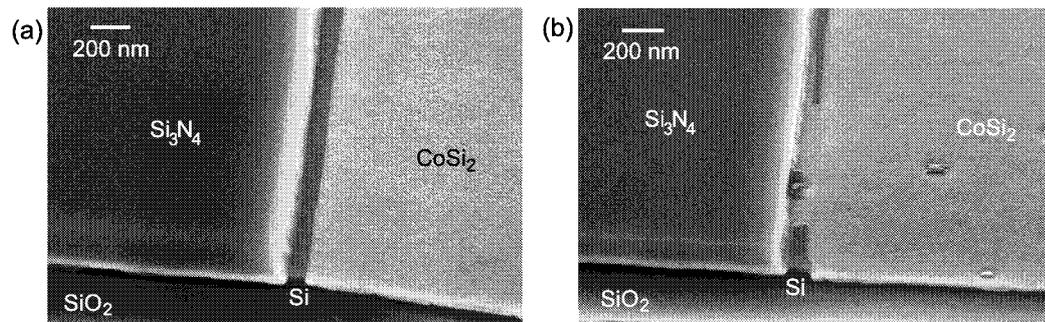


Abbildung 4.7: REM-Bilder einer 24 nm dicken CoSi_2 -Schicht auf einer 70 nm dicken SOI-Schicht nach 1 min Oxidation in O_2 . Die Dicken der Nitridschichten betragen (a) 200 nm bzw. (b) 100 nm.

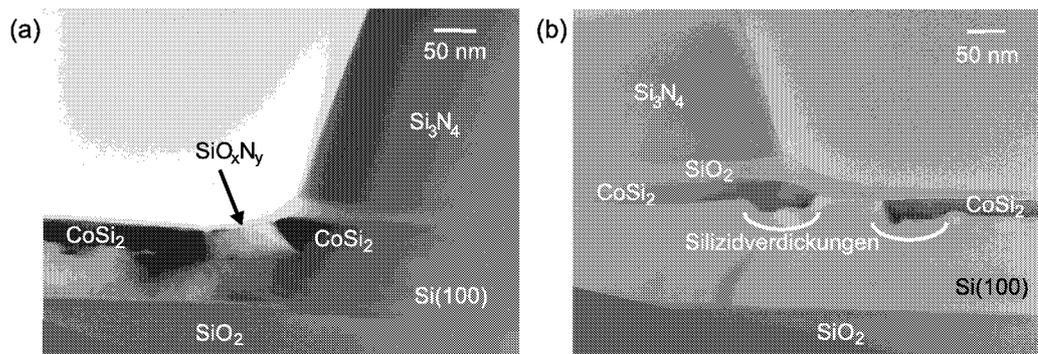


Abbildung 4.8: XTEM-Aufnahmen einer (a) 1 min in N_2O oxidierten 24 nm dicken CoSi_2 -Schicht auf 70 nm SOI, und (b) einer 1 min in O_2 oxidierten 24 nm dicken CoSi_2 -Schicht auf 160 nm SOI.

ändern sich jedoch nicht.

Abb. 4.8 zeigt die XTEM-Bilder einer (a) 1 min in N_2O oxidierten 24 nm dicken CoSi_2 -Schicht auf 70 nm SOI, und (b) einer 1 min in O_2 oxidierten 24 nm dicken CoSi_2 -Schicht auf 160 nm SOI. Die Nitridschichtdicke der in (b) gezeigten Probe betrug 200 nm. Man sieht deutlich die geringere Oxidation der in N_2O oxidierten Probe. Bei untersuchten SOI-Schichtdicken von 54-160 nm zeigten sich keine Unterschiede im Strukturierungsverhalten der Silizidschichten. An der in (b) gezeigten Probe kann man gut die diffusionsbedingte Kobaltumverteilung bei der Oxidation zu beiden Rändern der Silizidschichten sehen, die deutliche Verdickungen aufweisen.

Als Ergebnis der Strukturierungsexperimente auf SOI-Substraten wurden ergänzend zur Strukturierung auf konventionellen $\text{Si}(100)$ -Substraten folgende Beobachtungen gemacht:

- Die für eine erfolgreiche Strukturierung erforderlichen Maskenabmessungen können auf eine Nitridschichtdicke von 200 nm und eine Liniengbreite von $2 \mu\text{m}$ reduziert werden.
- Es wurde keine Abhängigkeit der Strukturbreite von der Dicke der SOI-Schicht gefunden.

4.1.3 Einfluss der $\{111\}$ -Facettierung

Abb. 4.2 zeigt die $\{111\}$ -Facettierung der Silizischichtträger entlang der Auftrennung. Grund dafür ist die niedrige Grenzflächenenergie der $\text{CoSi}_2/\text{Si}\{111\}$ -Grenzflächen. In Tab. 4.1 sind die Grenzflächenenergien verschiedener Kristallorientierungen der CoSi_2/Si -Grenzflächen dargestellt. Die $\{111\}$ -

Tabelle 4.1: Grenzflächenenergien $\gamma\{hkl\}$ verschiedener Kristallorientierung der CoSi_2/Si -Grenzfläche [7]. $n\{hkl\}$ bezeichnet die Anzahl der gebrochenen Bindungen beim Wechsel eines Co-Atoms vom Volumen zur $\{hkl\}$ -Grenzfläche.

$\{hkl\}$	$n\{hkl\}$	$\gamma\{hkl\}$
$\{111\}$	2	$1,33 \text{ J m}^{-2}$
$\{110\}$	5	$1,77 \text{ J m}^{-2}$
$\{100\}$	4	$2,00 \text{ J m}^{-2}$

Fläche hat dabei die niedrigste Grenzflächenenergie. Die Auftrennung der CoSi_2 -Schicht ist also mit einem Gewinn an Grenzflächenenergie verbunden.

Die Ausbildung der stabilen $\{111\}$ -Facetten ist auch bei der Schichtdegradation zu sehen. Die dabei entstehenden Löcher sind rechteckig mit $\langle 110 \rangle$ -gerichteten Flanken, so dass sich die Facetten ausbilden können [48]. Daher ist auch die Schichtstabilität von epitaktischen CoSi_2 -Schichten auf (100) -orientierten Substraten im Allgemeinen schlechter als die von Schichten auf (111) -orientiertem Silizium. Für die Strukturierung stellt dies einen großen Vorteil dar, da die Facettenbildung eine stabilisierende Wirkung für den Prozess hat und entscheidend für die Homogenität der Strukturen ist. Die erstaunlich große Gleichmäßigkeit der Linien, welche durch die Facettierung bedingt ist, erstreckt sich dabei über große Längen.

Die Wirkung der $\{111\}$ -Flächen auf den Strukturierungsprozess wird besonders deutlich, wenn die Nitridmaske gedreht zur $\langle 110 \rangle$ -Richtung strukturiert wird, wie die REM-Aufnahme in Abb. 4.9 zeigt. Die Aufnahme zeigt die Strukturierung einer 21 nm dicken CoSi_2 -Schicht entlang der Kante einer um 45° zur $\langle 110 \rangle$ -Richtung gedrehten Nitridlinie nach einer 1 min Oxidation in O_2 . Die teilweise sehr stark ausgeprägte stufenförmige Auftrennung in $\langle 110 \rangle$ -Richtung ist hier wiederum auf die Bildung der stabilen $\{111\}$ -Flächen zurückzuführen. Auch an einer runden Maskenkante bildet sich eine $\langle 110 \rangle$ -gerichtete gerade Auftrennung wie in Abb. 4.10 schön zu sehen ist. Kleine Inhomogenitäten im Spannungsfeld, welche z.B. durch Ungleichmäßigkeiten in der Maske auftreten können, werden also leicht von der stabilisierenden Wirkung der Facettierung aufgefangen. Dies ist ein großer Vorteil für die reproduzierbare Herstellung von Nanostrukturen.

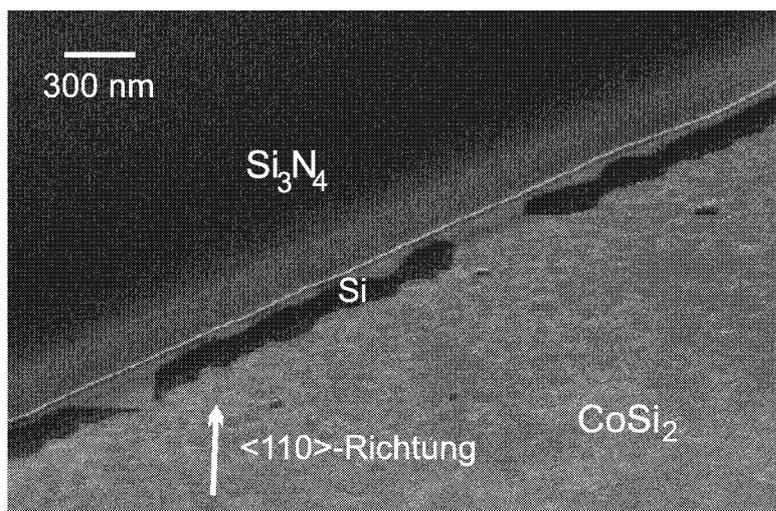


Abbildung 4.9: REM-Aufnahme der Strukturierung einer 21 nm dicken CoSi_2 -Schicht entlang der Kante einer um 45° zur $\langle 110 \rangle$ -Richtung gedrehten Nitridlinie nach einer 1 min Oxidation in O_2 .

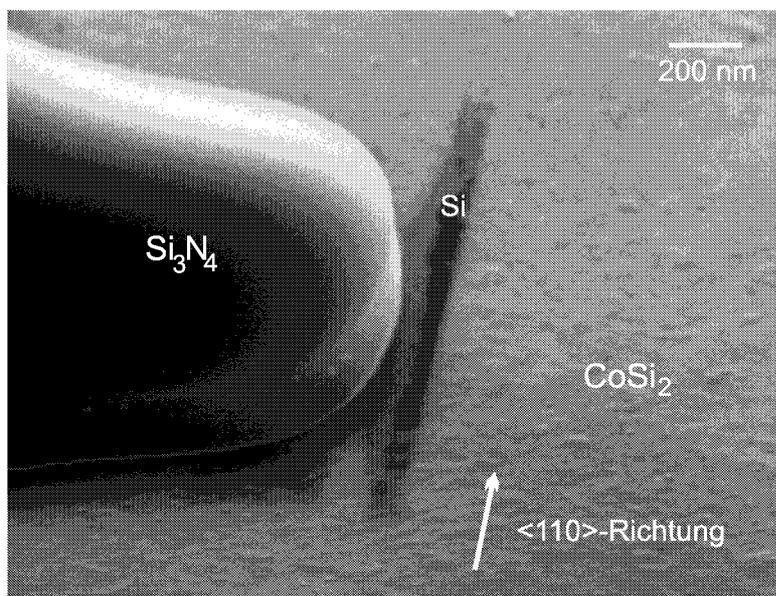


Abbildung 4.10: REM-Aufnahme der Strukturierung einer 21 nm dicken CoSi_2 -Schicht an einer runden Maskenkante nach einer 5 min Oxidation in O_2 .

4.1.4 Diskussion der Ergebnisse

Die untersuchte Strukturierungsmethode erzeugt Linien der Breite L_G in dünnen epitaktischen CoSi_2 -Schichten durch lokale Oxidation. Die bisher vorgestellten Versuche dienten zum Verständnis der Methode und der Optimierung von L_G , d.h. L_G sollte möglichst klein werden bei möglichst langen gleichmäßigen Linien. Untersucht wurde das Verfahren auf konventionellen Si(100) und (100)-orientierten SOI Substraten. Dabei wurde zunächst der Einfluss der Oxidationsparameter untersucht.

Werden alle anderen Parameter gleich gehalten, führt eine längere Oxidationszeit zur Entstehung breiterer Linien. Dieses erwartete Ergebnis lässt sich auf die größere Diffusion der Kobaltatome bei längerer Temperaturbehandlung zurückführen. Die Oxidationsrate beeinflusst dabei die Diffusion. Die geringere Oxidationsrate von N_2O z.B. bewirkt eine Bildung schmalerer Linien. Die Temperatur spielt eine entscheidende Rolle. Selbst bei gleicher Oxidation zeigt die Strukturierung bei verschiedenen Temperaturen (und damit verschiedenen Oxidationszeiten) verschiedene Ergebnisse. So sind die hohen Temperaturen notwendig um eine vollständige Auftrennung zu bekommen. Dieses Verhalten ist schon von Klinkhammer für die Nassoxidation gefunden worden [7] und ist ein Resultat der unterschiedlichen Aktivierungsenergien für Oxidation und Selbstdiffusion. Die Oxidation ist dabei verantwortlich für die vertikale Diffusion des Kobalts durch die Schicht, die laterale Diffusion, welche für die Kobalt Umverteilung und damit letztendlich für die Entstehung der Struktur verantwortlich ist, ist jedoch durch die Selbstdiffusion des Kobalts gegeben. Ein Nachweis, dass die höhere Temperatur zu größeren Spannungen führt, und daher den Strukturierungserfolg beeinflusst, konnte nicht gefunden werden. Als geeignete Temperatur, bei der noch reproduzierbar gleichmäßige Linien hergestellt werden konnten, wurde 950°C ermittelt. Mit Oxidationszeiten von 30 s konnten schon gleichmäßige Auftrennungen erzeugt werden.

Der Einfluss der Maskenparameter auf den Strukturierungserfolg ist bereits in den vorhergehenden Abschnitten weitgehend diskutiert worden. In der Arbeit von Klinkhammer [7] wurde der Einfluss der Maskendimensionen auf die Strukturierung dünner CoSi_2 -Schichten mittels kurzer Nassoxidationen untersucht. Dabei war eine Nitridschichtdicke von mindestens 300 nm und eine Linienbreite von mindestens $3\ \mu\text{m}$ für eine erfolgreiche Strukturierung notwendig. Erst diese Maskenabmessungen liefern die ausreichenden Spannungen, die zur Bildung gleichmäßiger Linien führen. Für die mittels Trockenoxidation strukturierten Silizidschichten auf normalen Si(100)-Substraten konnten wir dasselbe Verhalten beobachten. Dies war zu erwarten, da die gleichen Schichtsysteme verwendet wurden, die Nassoxidation

führt aufgrund der höheren Oxidationsrate lediglich zu größeren Strukturen. Dass sich die für eine erfolgreiche Strukturierung notwendigen Maskendimensionen auf SOI-Substraten verringern, ist auf den Einfluss der vergrabenen SiO_2 -Schicht zurückzuführen. Sie kann aufgrund ihrer viskoelastischen Eigenschaft bei den verwendeten hohen Temperaturen dazu führen, dass geringere laterale Kräfte schon zu einer ausreichenden Gitterverzerrung in der dünnen Siliziumschicht führen.

Ein weiterer Parameter ist die Dicke der PECVD- SiO_2 -Schicht. Als Pufferschicht für die Spannungen hat sie auch Einfluss auf die Strukturierungsergebnisse und damit auf L_G . Für unsere Experimente wurde sie konstant 20 nm gehalten. Kleine Abweichungen aufgrund des Depositionsprozesses sind möglich und können zu Schwankungen in der Breite L_G führen.

Die Silizidschichten bleiben bei der Oxidation stabil. Eine Degradation wurde lediglich festgestellt, wenn sie durch die Oxidation soweit in das Substrat hineingeschoben werden, dass sie die Grenzfläche zwischen Allotaxiepuffer und Substrat erreichen, was auf Verunreinigungen an dieser Grenzfläche zurückgeführt werden kann. Für die Strukturierung auf konventionellen Substraten stellt dies kein Problem dar, da eine dicke Pufferschicht gewählt werden kann. Auf SOI-Substraten ist der Puffer jedoch Teil der SOI-Schicht, will man also dünne SOI-Schichten haben, so muss der Allotaxiepuffer möglichst dünn gewählt werden, jedoch dick genug, dass bei der nachfolgenden Oxidation die Silizidschicht nicht durch die Grenzfläche Puffer/Substrat geschoben wird.

Die Silizidschichtdicke hat ebenfalls einen Einfluss auf die Breite L_G der entstehenden Linie. Gründe dafür können die Spannungen sein, die durch die Gitterfehlانpassung bei der Epitaxie des Silizides entstehen, und nur teilweise relaxieren. Diese Spannungen nehmen mit der Schichtdicke zu. Dies könnte nach Auftrennung der Schicht zu einem schnelleren Wachstum der Aufspaltung führen, da sich die Schicht unter Zugspannung befindet und buchstäblich zusammenzieht. Weiterhin können auch grenzflächenenergetische Gründe eine Rolle spielen, wie sie bei der Bildung von Pinholes beobachtet werden. Dünnere Schichten liefern möglicherweise kleinere Linienbreiten L_G , bei Schichten unterhalb von 20 nm Dicke wird jedoch der Allotaxieprozess kritisch und die Schichten verlieren an thermischer Stabilität. Wir gehen davon aus, dass für diesen Prozess die erzielten 40 nm für L_G als weitgehend optimiertes Ergebnis betrachtet werden können. Ein zusätzlicher, im nächsten Abschnitt vorgestellter Prozess erlaubt jedoch eine weitere Verkleinerung von L_G .

Das Verfahren zeigt eine hohe Reproduzierbarkeit, beobachtete Schwankungen in der Breite L_G bei gleicher Prozessführung können durch Ungenauigkeiten in der Prozessführung zustande kommen. Das Verfahren wurde zur Herstellung von Ultrakurzkanal Schottky-Barrieren MOSFETs verwendet.

Dies wird in Teil III dieser Arbeit beschrieben.

Zusammenfassend kann man als Ergebnis für die Strukturierung der Linien in den CoSi_2 -Schichten folgendes festhalten:

- Es konnten Linien in den CoSi_2 -Schichten mit Breiten von 40 nm auf konventionellen Si(100) und SOI-Substraten realisiert werden.
- Die Linien weisen eine hervorragende Gleichmäßigkeit über große Längen auf.
- Der Prozess zeigt eine hohe Reproduzierbarkeit.
- Für die Strukturierungsmaske war eine Nitridschichtdicke von mindestens 300 nm und eine Linienbreite von mindestens 3 μm für eine gleichmäßige Strukturierung auf konventionellen Si(100)-Substraten notwendig.
- Die Mindestabmessungen der Strukturierungsmaske reduzieren sich auf 200 nm Nitriddicke und 2 μm Linienbreite bei der Strukturierung auf SOI-Substraten.
- Oxidation in N_2O erzeugt schmalere Linien als Oxidation in O_2 .
- Dünnere Silizidschichten führen zu kleineren Strukturgrößen.

4.2 Modifikation der Strukturen

Das Strukturierungsverfahren liefert, wie in den vorhergehenden Abschnitten gezeigt, Strukturgrößen von bis zu 40 nm Breite. Wir haben ein Verfahren entwickelt, diese Strukturen mit Hilfe einer Niedrigtemperatur-Nassoxidation weiter zu verkleinern. Dabei wurden die Silizidschichten zunächst genau wie in Kap. 4.1 gezeigt strukturiert. Anschließend wurde das bei der Oxidation entstandene SiO_2 mit Hilfe einer gepufferten HF-Lösung entfernt und die Proben dann bei 600°C im Rohröfen unter Wasserdampfatmosphäre oxidiert.

Abb. 4.11 zeigt XTEM-Aufnahmen (links) und REM-Aufnahmen (rechts) einer 23 nm dicken CoSi_2 -Schicht, welche bei 950°C 1 min in O_2 oxidiert wurde, und danach eine Struktur mit einer Breite L_G von ca. 70 nm aufwies. Die Niedrigtemperaturoxidation wurde (a) 1 h, (b) 2 h bzw. (c) 3 h durchgeführt. Die XTEM-Bilder zeigen deutlich eine Verkleinerung des Abstandes L_G der Silizidschichten mit zunehmender Oxidationszeit. Nach einer Stunde ist die Auftrennung auf etwa 35 nm zusammengeschrumpft, nach zwei Stunden auf etwa 15 nm. Nach 3 Stunden ist die Schicht wieder zusammengewachsen. Die

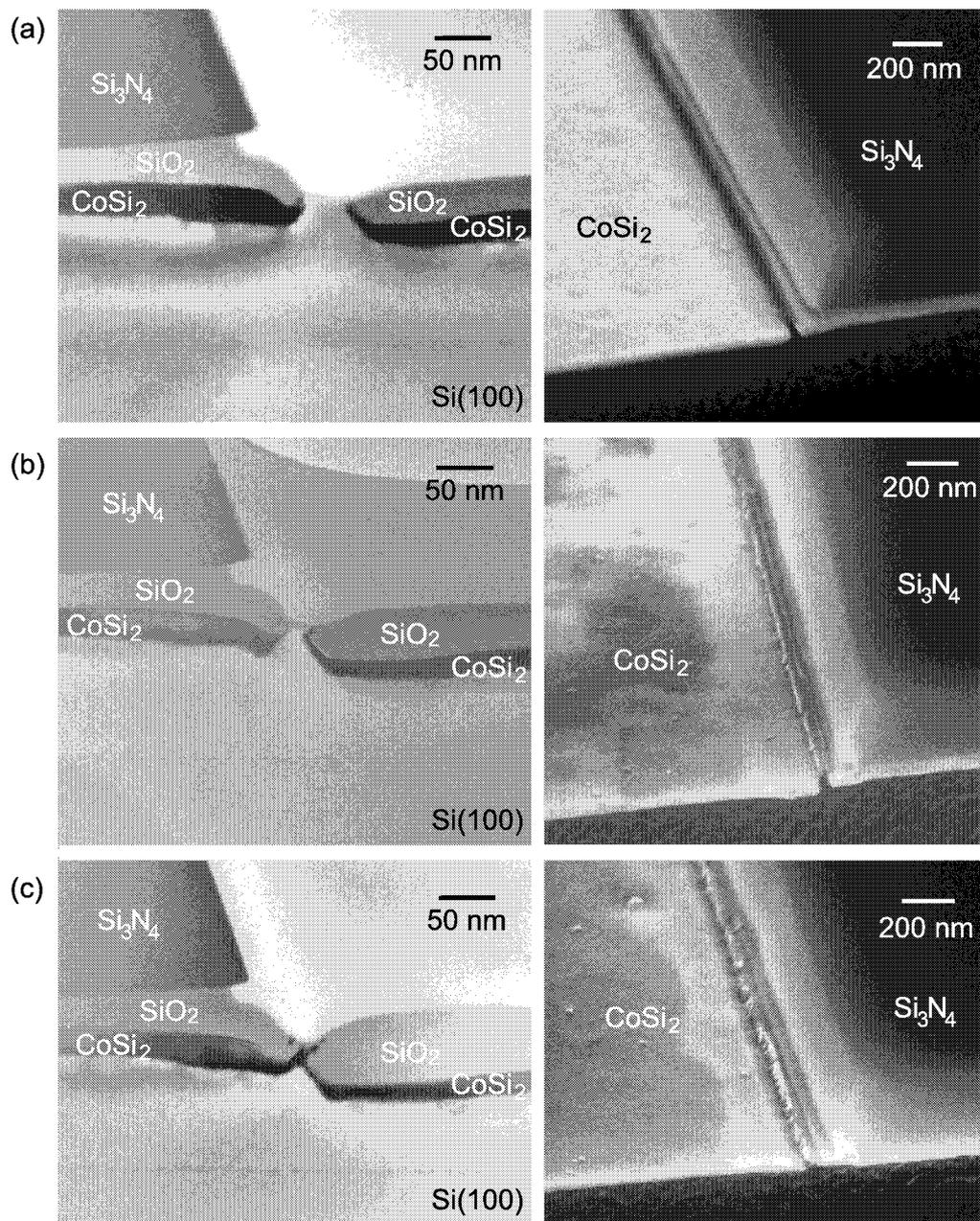


Abbildung 4.11: XTEM-Aufnahmen (links) und REM-Aufnahmen (rechts) einer ursprünglich 70 nm breiten Auftrennung nach einer Nassoxidation bei 600°C (a) 1 h; (b) 2 h; (c) 3 h.

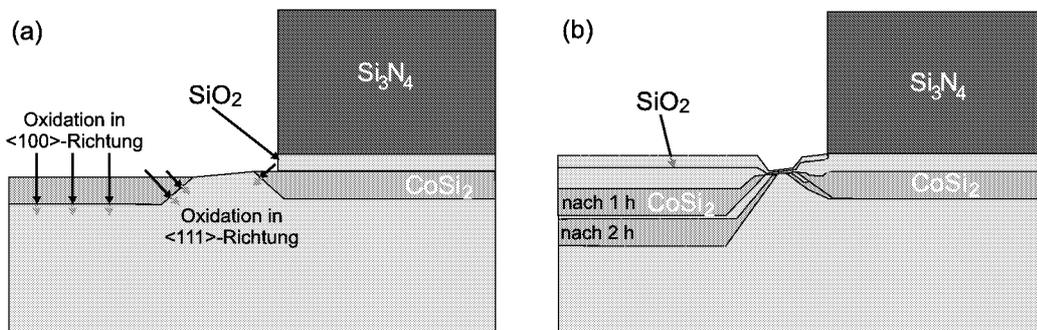


Abbildung 4.12: Schematische Darstellung des Zusammenwachsens der Auftrennung durch eine Niedrigtemperatur-Nassoxidation (a) Struktur vor der Oxidation; (b) Strukturänderung bei der Oxidation.

Schichtträger bilden sich dabei zu dünnen $\{111\}$ -orientierten Silizidflächen aus. Die REM-Bilder zeigen eine gute Homogenität der verkleinerten Auftrennung nach einer Stunde Oxidationszeit. Nach zwei Stunden werden die Ränder der Silizidschichten weniger gleichmäßig, die Naht der nach drei Stunden zusammen gewachsenen Schichten weist ebenso Unregelmäßigkeiten auf. Zwei wesentliche Merkmale führen zu dem beobachteten Verhalten:

- Die unterschiedliche Oxidationsrate von CoSi_2 und Si.
- Die Oxidation in $\langle 100 \rangle$ - und $\langle 111 \rangle$ -Richtung an den Kanten der ursprünglichen Auftrennung.

Das lässt sich anhand der schematischen Darstellung in Abb. 4.12 genauer erklären. Abb. 4.12 (a) zeigt die Struktur zu Beginn der Nassoxidation. Die Oxidation schiebt die ungedeckte CoSi_2 -Schicht in $\langle 100 \rangle$ -Richtung in das Substrat hinein. An den Kanten der Aufspaltung liegt jedoch eine $\{111\}$ -Grenzfläche für die durch die Schicht diffundierenden Co-Atome näher, so dass sie bevorzugt dort hin diffundieren und somit eine Verschiebung dieser Kanten in $\langle 111 \rangle$ -Richtung entsteht (s. Abb. 4.12 (b)). Diese neue Strukturbildung wird nur durch die wesentlich geringere Oxidationsrate von Silizium ermöglicht, da die Siliziumoberfläche der ursprünglichen Auftrennung so nicht mit in das Substrat hineinverlagert wird.

Trotz der hohen Oxidationsrate des Kobaltdisilizides ist die laterale Diffusion bei der niedrigen Temperatur von 600°C sehr gering, weshalb sich die Co-Diffusion aus den Bereichen hoher Spannungen nicht bemerkbar macht. Dies wird durch die in Tabelle 4.2 aufgeführten Diffusionslängen von Kobalt in CoSi_2 nach Gl. 3.21 für eine Nassoxidation von 2 Stunden bei 600°C im

Tabelle 4.2: Vergleich der Diffusionslänge L_{Co} von Co in $CoSi_2$ nach 2 h Nassoxidation bei $600^\circ C$ und 1 min Trockenoxidation bei $950^\circ C$. Ebenfalls angegeben sind die entstehenden Oxidschichtdicken d_{SiO_2} .

	Nassoxidation $600^\circ C$, 2 h	Trockenoxidation $950^\circ C$, 1 min
L_{Co}	5 nm	90 nm
d_{SiO_2}	40 nm	15 nm

Vergleich zu einer 1 min Trockenoxidation bei $950^\circ C$ verdeutlicht. Angegeben sind auch die jeweiligen SiO_2 -Schichtdicken. Die Diffusionslänge stellt ein Maß für die laterale Beweglichkeit der Co-Atome dar. Trotz der größeren Oxidschichtdicke ist bei der Niedrigtemperatur-Nassoxidation die Diffusionslänge wesentlich kleiner als bei der Trockenoxidation bei $950^\circ C$.

Die zunehmende Inhomogenität der Flanken ist auf die Ausdünnung der $\{111\}$ -Flächen zurückzuführen und kann vermutlich durch Optimierung des Prozesses vermindert werden.

4.3 Nanodrähte

Mit Hilfe der lokalen Oxidation sowie einfacher Ätzverfahren ist es uns gelungen, dünne epitaktische $CoSi_2$ -Nanodrähte herzustellen. Die Strukturierung erfolgt dabei wie in Kap. 4.1 beschrieben. Das hier untersuchte Verfahren beruht auf einer zweimaligen lokalen Oxidation kombiniert mit einer Verschiebung des Spannungsfeldes wie in Abb. 4.13 schematisch dargestellt. Ausgehend von einer $CoSi_2$ -Allotaxieschicht umfasst es folgende Schritte:

- Aufbringen der Maskenschichten bestehend aus 20 nm SiO_2 und ca. 300 nm Si_3N_4 und Strukturierung entlang der $\langle 110 \rangle$ -Richtung des Substrates mit Hilfe von optischer Lithographie und RIE (Abb. 4.13 (a)).
- Erzeugung der ersten Auftrennung durch Oxidation der Struktur im RTP (Abb. 4.13 (b)).
- Entfernen der Oxidschicht mittels HF-Dip und Ätzung eines Grabens (optional) im Bereich der ersten Auftrennung (Abb. 4.13 (c)).
- Selektives Ätzen der SiO_2 -Schicht unter der Nitridschicht mit AF91. Dies verschiebt das Spannungsfeld unter die Nitridmaske (Abb. 4.13 (d)). Die freiliegende Silizidschicht wird dabei mit geringer Rate geätzt.

- Erzeugung einer zweiten Auftrennung unter der Maske durch Oxidation im RTP führt zur Bildung eines dünnen Silizidrahtes (Abb. 4.13 (e)).

Die ersten beiden Prozessschritte entsprechen denen zur Herstellung der Linien im Silizid in Kap. 4.1. Die Grabenätzung wurde mit RIE in einem Ar/SF₆-Plasma durchgeführt, in welchem das Silizium selektiv zum Silizid zurückgeätzt werden kann. Dieser Schritt wurde eingeführt um den Einfluss der unmaskierten Silizidschicht auf die Spannungsverhältnisse zu minimieren und ist je nach Prozessführung nicht zwingend notwendig. Das anschließende Unterätzen der SiO₂-Schicht unter der Nitridschicht verschiebt das Spannungsfeld unter die Maske, da die Spannung von der SiO₂-Schicht auf die darunter liegenden Schichten übertragen wird. Abb. 4.14 zeigt ein REM-Bild einer auf diese Weise hergestellten Drahtstruktur aus einer 32 nm dicken CoSi₂-Schicht. Zur besseren Darstellung wurde das bei der zweiten Oxidation entstandene SiO₂ mit Hilfe von AF91 entfernt. An der Kante des unterätzten Oxides bildet sich eine zweite Auftrennung nach dem gleichen Mechanismus wie die erste Auftrennung, womit sich als Resultat ein Draht der Breite L_W unter der Maske entlang der Maskenkante formt. Die Unterätzweite betrug hier ca. 300 nm und die beiden Oxidationen wurden bei 950°C jeweils 3 min durchgeführt. Im XTEM-Bild in Abb. 4.15 sieht man den Querschnitt eines auf diese Weise entstandenen Drahtes. Die beiden Oxidationen wurden hier bei 950°C 3 bzw. 5 min durchgeführt, die Unterätzweite betrug ca. 200 nm, die Silizidschichtdicke 30 nm. Die dreieckige Form entsteht durch die Bildung der energetisch günstigen {111}-Facetten, wie diese auch bei der einfachen Auftrennung entstehen. Der Draht besitzt in der Form keine {100}-Grenzfläche mit dem Substrat und präsentiert sich damit in einer energetisch äußerst stabilen Konfiguration.

4.3.1 Einfluss der Prozessparameter

Der Erfolg der Strukturierung sowie die Breite L_W des Drahtes hängen von einer Reihe von Parametern ab: Oxidationstemperaturen und -zeiten für die beiden Oxidationen, Silizidschichtdicke, Grabenätzung und Unterätzweite. In Kap. 4.1 sind die Parameter für die Strukturierung ermittelt worden und sind weitgehend aus diesen Untersuchungen übernommen. Alle Oxidationen wurden bei 950°C durchgeführt. Um eine vollständige Auftrennung zu gewährleisten, wurden meist lange Oxidationszeiten gewählt. Als charakteristische Parameter wurden für diesen Prozess die Unterätzweite sowie der Einfluss der Grabenätzung näher betrachtet. Systematische Untersuchungen wurden dabei an ca. 30 nm dicken Silizidschichten durchgeführt.

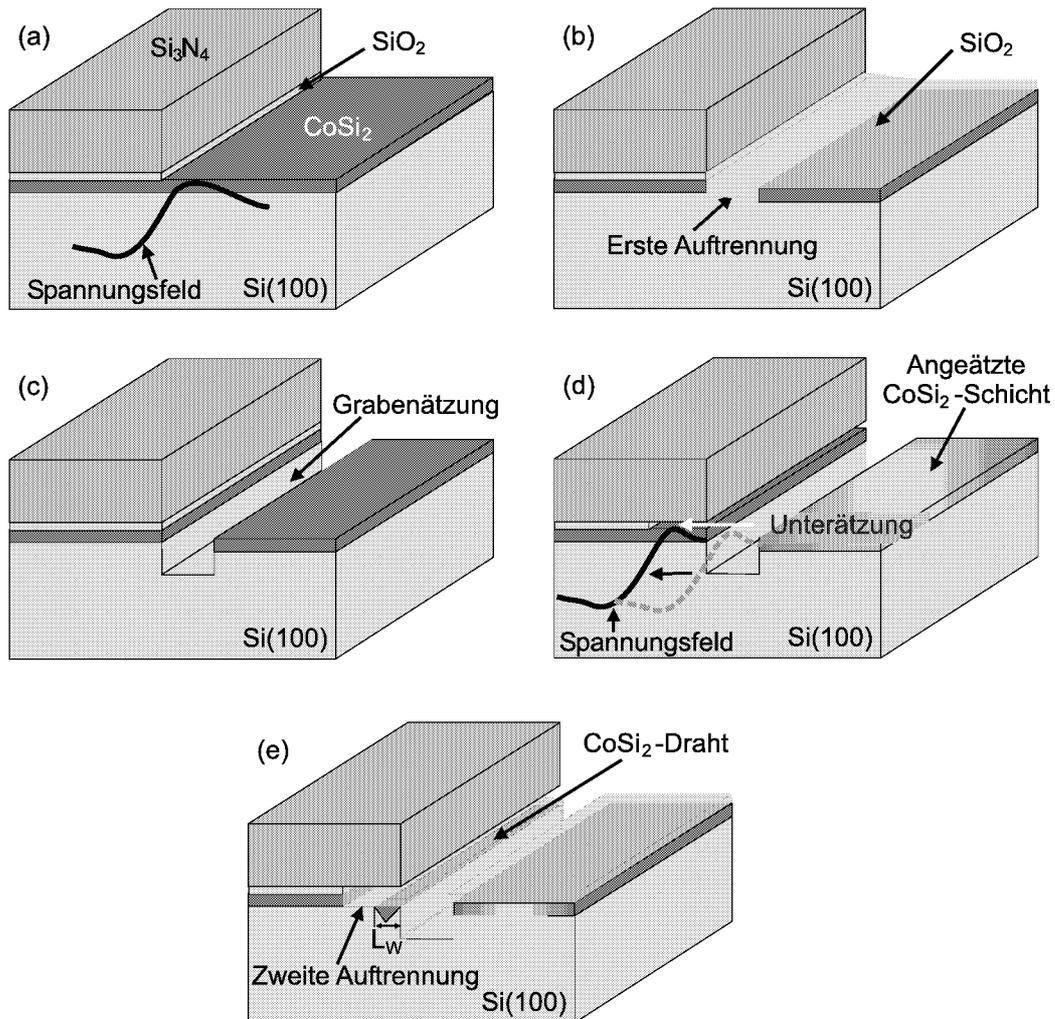


Abbildung 4.13: Schematische Darstellung des Prozesses zur Herstellung von CoSi_2 -Nanodrähten: (a) Anbringen der Strukturierungsmaske; (b) Bildung der ersten Auftrennung durch lokale Oxidation; (c) Entfernen des Oxides und Grabenätzung (optional) zur Modifikation der Verspannungen; (d) Selektives Unterätzen der Strukturierungsmaske verschiebt das Spannungsfeld; (e) Zweite Auftrennung durch lokale Oxidation führt zur Bildung des Drahtes der Breite L_W .

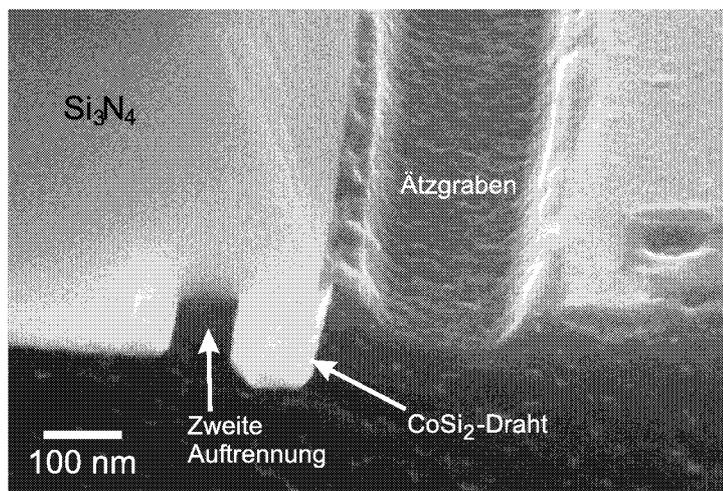


Abbildung 4.14: REM-Bild eines Silizid-Nanodrahtes.

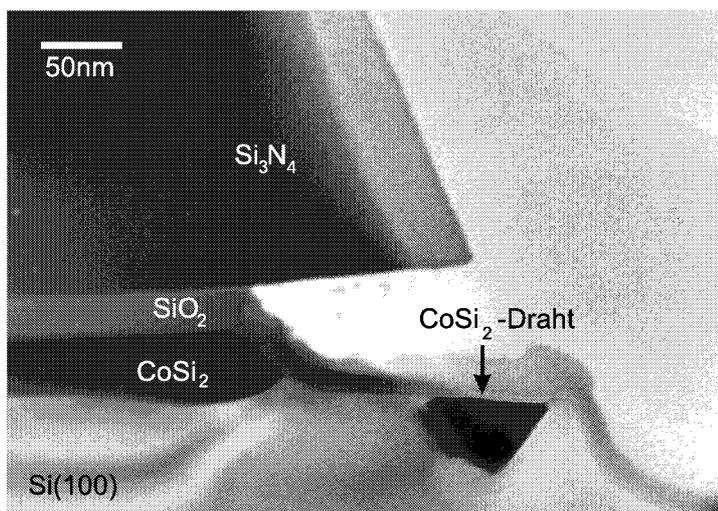


Abbildung 4.15: XTEM-Bild eines Silizid-Nanodrahtes.

Unterätzung

Zum Studium der Unterätzung wurde eine Probenserie aus einer 32 nm dicken CoSi_2 -Schicht hergestellt. Hierauf wurden mit Hilfe der PECVD 20 nm SiO_2 und ca. 400 nm Si_3N_4 abgeschieden und entlang der $\langle 110 \rangle$ -Richtung des Substrates strukturiert. Die erste Oxidation wurde bei 950°C 3 MIN durchgeführt. Dies führt zu einer Auftrennung von ca. 100 nm Breite. Nach Entfernen des Oxides durch einen 10 s HF-Dip wurde mit Hilfe von RIE in einem Ar/SF_6 -Plasma das Silizium um ca. 90 nm zurückgeätzt. Der Einfluss dieser Grabenätzung wird im nächsten Abschnitt diskutiert. Danach wurde das SiO_2 unter der Nitridmaske mit AF91 zurückgeätzt. Die Unterätzzeiten betragen dabei 2, 3, 4 und 5 min. Die Ätzrate des SiO_2 in lateraler Richtung in dieser Lösung liegt bei ca. 80 nm min^{-1} . Die freiliegende Silizidschicht wird bei diesem Schritt teilweise abgeätzt und degradiert in der folgenden Prozessierung. Anschließend wurde die zweite Oxidation 5 min bei 950°C durchgeführt. Da sich der Draht unter der Maskenkante bildet, wurden zur Überprüfung des Strukturierungserfolges die Nitrid- und die Oxidschicht nasschemisch entfernt. Die Nitridschicht wurde in einer Phosphorsäurelösung und anschließend das Oxid in AF91 35 s geätzt.

Abb. 4.16 zeigt REM-Bilder dieser Probenserie. Nach 2 min Unterätzen gibt es nur Ansätze einer Separation (Abb. 4.16 (a)). Bei 3 min sieht man eine deutliche Separation, die jedoch noch einige Brücken aufweist (Abb. 4.16 (b)). Nach 4 bzw. 5 min erkennt man eine durchgehende Auftrennung und einen homogenen Draht (Abb. 4.16 (c) + (d)). Bemerkenswert ist, dass sich die Drahtbreite L_W bei 3, 4 und 5 min Unterätzung zu jeweils 200 nm einstellt, es verändert sich nur die Breite der Auftrennung. Nimmt man eine Ätzrate des Oxides von etwa 80 nm min^{-1} an, so addieren sich Drahtbreite und Breite der zweiten Separation ungefähr zur Weite der Unterätzung auf.

Die Abhängigkeit der Unterätzweite bis zur vollständigen Separation wurde für dünnere Schichten nur ansatzweise untersucht. Man findet jedoch, dass bei dünneren Schichten schon bei kleineren Unterätzzeiten die vollständige Separation des Drahtes stattfindet, wie man in Abb. 4.17 (a) anhand einer 21 nm dicken CoSi_2 -Schicht sehen kann. Die Unterätzzeit betrug dabei 3 min und es wurde eine 1 min Grabenätzung durchgeführt. Die erste Oxidation wurde 2 min, die zweite 5 min durchgeführt.

Interessant ist, dass sich bei längerem Unterätzen bei der zweiten Oxidation zwei parallele Drähte formen. In Abb. 4.17 (b) sieht man bei einer Unterätzzeit von 3,5 min wie sich schon ansatzweise ein zweiter Draht formt, welcher dann bei einer Unterätzzeit von 4 min (Abb. 4.17 (c)) vollständig ist. Ein Grund für die Entstehung der zwei Drähte kann die Form des Spannungsprofils sein, es bilden sich also zwei Minima für die Diffusion der Kobaltatome

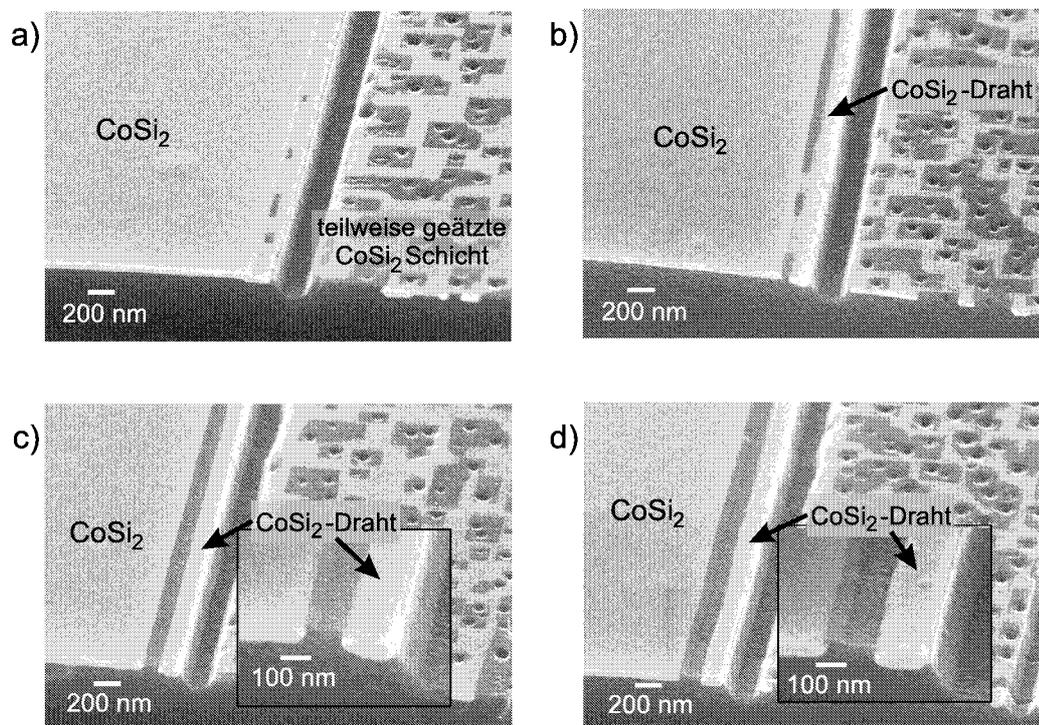


Abbildung 4.16: REM-Bilder der Strukturierung einer 32 nm dicken Silizidschicht nach Entfernen der Strukturierungsmaske mit Unterätzzeiten von (a) 2 min; (b) 3 min; (c) 4 min; (d) 5 min.

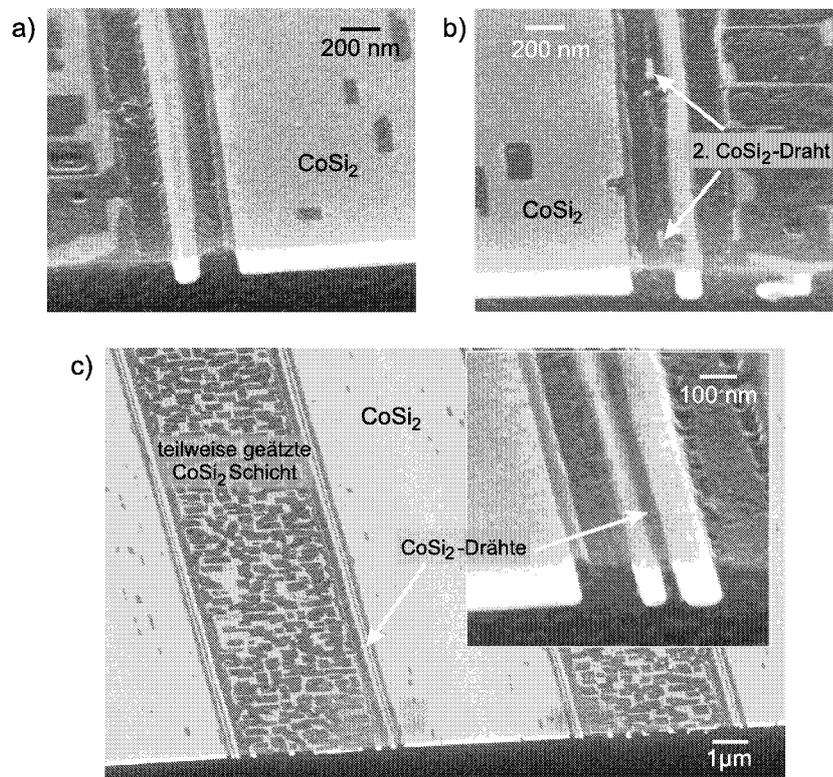


Abbildung 4.17: REM-Bilder der Strukturierung einer 21 nm dicken Silizidschicht nach Entfernen der Strukturierungsmaske mit Unterätzzeiten von (a) 3 min; (b) 3,5 min; (c) 4 min.

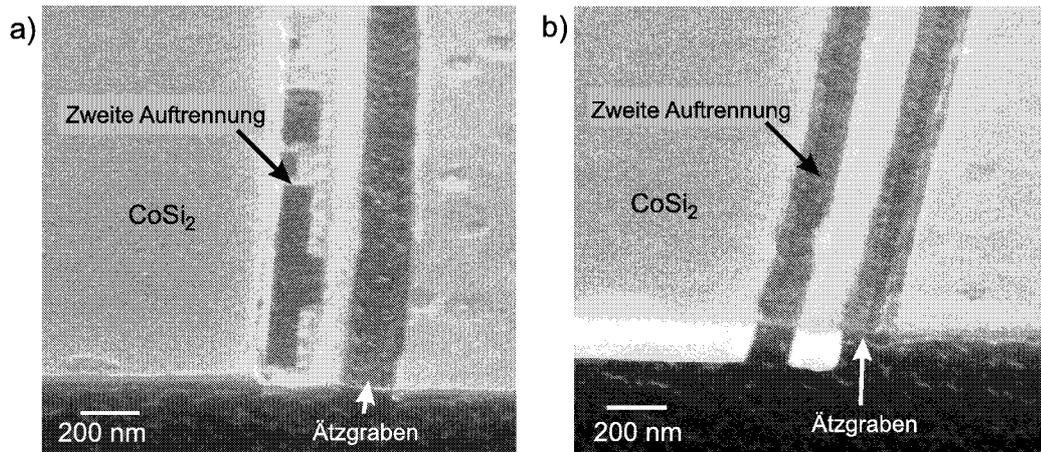


Abbildung 4.18: REM-Bilder der Strukturierung einer 32 nm dicken Silizidschicht nach Entfernen der Strukturierungsmaske. Die Grabenätzung bei den Proben wurde (a) 10 s bzw. (b) 20 s durchgeführt.

aus. Ein weiterer Grund kann eine Vorformung des Drahtes durch Ätzung des Silizides während des Unterätzens sein. Die von der Maske bedeckte Silizidschicht wird dabei keilförmig nach außen hin dünner werdend geätzt, da die weiter außen liegenden Bereiche der Silizidschicht länger geätzt werden, als die innen liegenden. Durch die erste Oxidation kommt es aber zu einer Verdickung des äußeren Silizidrandes (s. Abb. 4.8), so dass sich dort schon während der Unterätzung ein Drahtansatz bildet. In Kombination mit der Tendenz zur Ausbildung der $\{111\}$ -Facetten können sich so bei der folgenden Oxidation zwei parallele Drähte bilden.

Grabenätzung

Der Einfluss der Grabenätzung wurde in einer weiteren Versuchsreihe untersucht. Dabei wurde wiederum eine 32 nm dicke CoSi_2 -Schicht verwendet. Die erste Oxidation wurde 3 min bei 950°C durchgeführt, die Unterätzzeit betrug 4 min. Hier wurden RIE-Grabenätzungen zwischen 0 s und 4 min durchgeführt. In Abb. 4.18 sind REM-Bilder der 10 bzw. 20 s Grabenätzungen zu sehen. Bei einer Ätzzeit von 10 s (Abb. 4.18 (a)) ist gerade der bei der ersten Auftrennung entstehende Siliziumsteg zurückgeätzt, die zweite Separation ist noch unvollständig. Bei 20 s (Abb. 4.18 (b)) Ätzzeit kann man einen dünnen Ätzgraben erkennen, ein homogener Draht formt sich. Bei allen längeren Ätzzeiten war die Separation ebenfalls vollständig.

Bei dünneren CoSi_2 -Schichten konnte bei genügend langen Unterätzzeiten

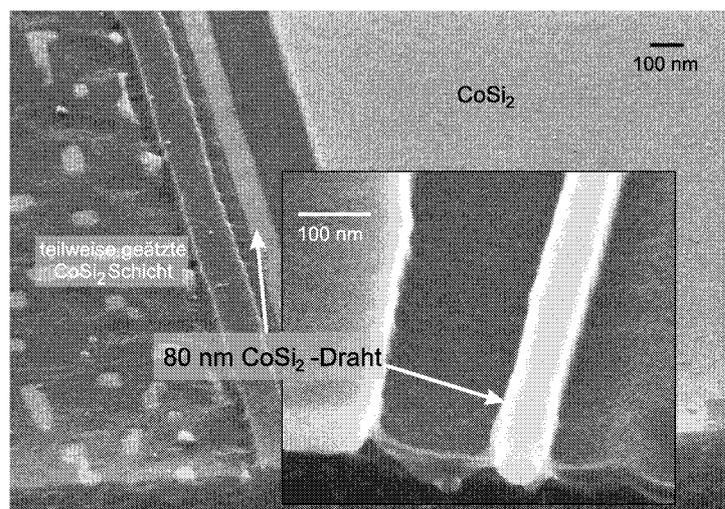


Abbildung 4.19: REM-Bild eines Siliziddrahtes, hergestellt ohne Grabenätzung. Das Bild im Einschub zeigt den Draht nach Zurückätzen des Siliziums.

auch die vollständige Bildung von Drähten ohne Grabenätzung beobachtet werden. Abb. 4.19 zeigt einen Draht aus einer 21 nm dicken Silizidschicht. Die Unterätzzeit betrug hier 3 min, die erste Oxidation wurde 1 min, die zweite 5 min durchgeführt. Man kann deutlich den flachen Siliziumsteg sehen, der sich bei der ersten Oxidation zwischen den beiden aufgetrennten Silizidschichten bildet. Dabei sieht man, dass sich der Draht nicht direkt an der Kante dieses Steges formt, sondern ein Stück entfernt davon. Dies ist auch besonders deutlich im XTEM-Bild eines Drahtes auf einem SOI-Substrat in Abb. 4.20 zu sehen. Dieser wurde aus einer 24 nm dicken Schicht gewonnen. Die Oxidationszeiten betragen 1 bzw. 3 min, die Unterätzzeit 2,5 min. Die Herstellung der Drähte auf SOI-Substraten wurde nicht systematisch untersucht, der Prozess scheint aber im Wesentlichen gleich zu sein. Bei Prozessierung mit Grabenätzung entsteht der Draht jedoch ganz nahe der Grabenkante (der Graben entsteht genau da, wo der Siliziumsteg war).

Diese Beobachtungen zeigen, dass die Grabenätzung einen großen Einfluss auf die Spannungsverhältnisse hat. Die Spannungen der unmaskierten Silizidschicht werden vermutlich verringert und die Struktur kann entlang des Grabens elastisch relaxieren.

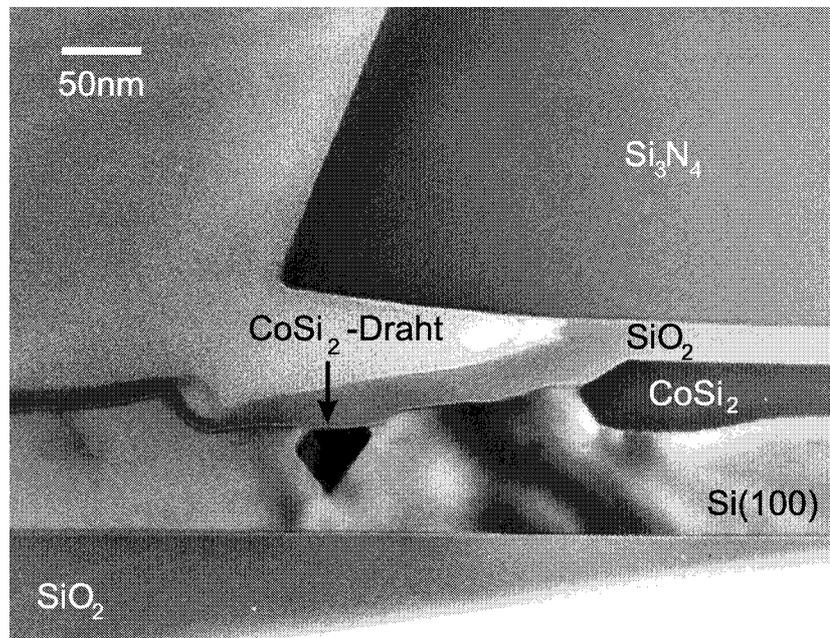


Abbildung 4.20: XTEM-Bild eines Siliziddrahtes auf SOI, hergestellt ohne Grabenätzung.

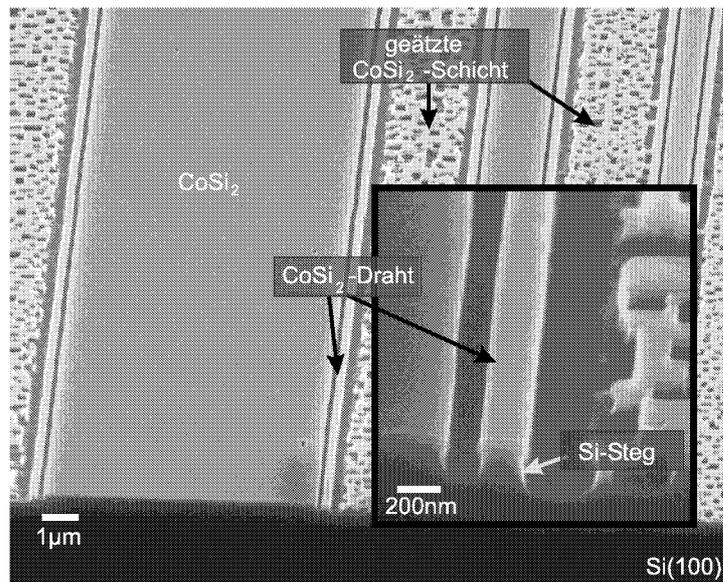


Abbildung 4.21: REM-Bilder einer CoSi_2/Si -Stegstruktur.

4.3.2 Herstellung von CoSi_2/Si -Stegen

Neben der Erforschung fundamentaler Eigenschaften der epitaktischen Silizid-Nanodrähte eignen sich die Drähte auch zur Herstellung von silizidierten Siliziumstegen, welche für die Entwicklung neuer Bauelemente dienen können. Die CoSi_2 -Drähte werden dabei als Ätzmaske zur Herstellung der Si-Stege verwendet und bilden damit selbstjustierte Kontakte auf den Siliziumnanostrukturen. Abb. 4.21 zeigt eine solche CoSi_2/Si -Struktur. Das Silizium wurde mit Hilfe der RIE in einem Ar/SF_6 -Plasma zurückgeätzt. Dieser Ätzprozess weist eine Selektivität von ca. 20:1 auf. Das leichte Unterätzen des Silizid-drahtes begrenzt das Aspektverhältnis der Struktur, optimierte Ätzparameter lassen jedoch ein wesentlich besseres Aspektverhältnis erwarten.

4.3.3 Kontaktierung der CoSi_2 -Drähte

Um den elektrischen Transport zu untersuchen, müssen die Drähte kontaktiert werden. Dazu wurde ein Verfahren entwickelt, mit dessen Hilfe man Drähte mit direkt angeschlossenen CoSi_2 -Pads aus derselben Schicht erzeugen kann. Ein großer Vorteil ist dabei, dass keine Kontaktwiderstände auftreten. Das Verfahren ist in Abb. 4.22 skizziert und umfasst folgende Schritte:

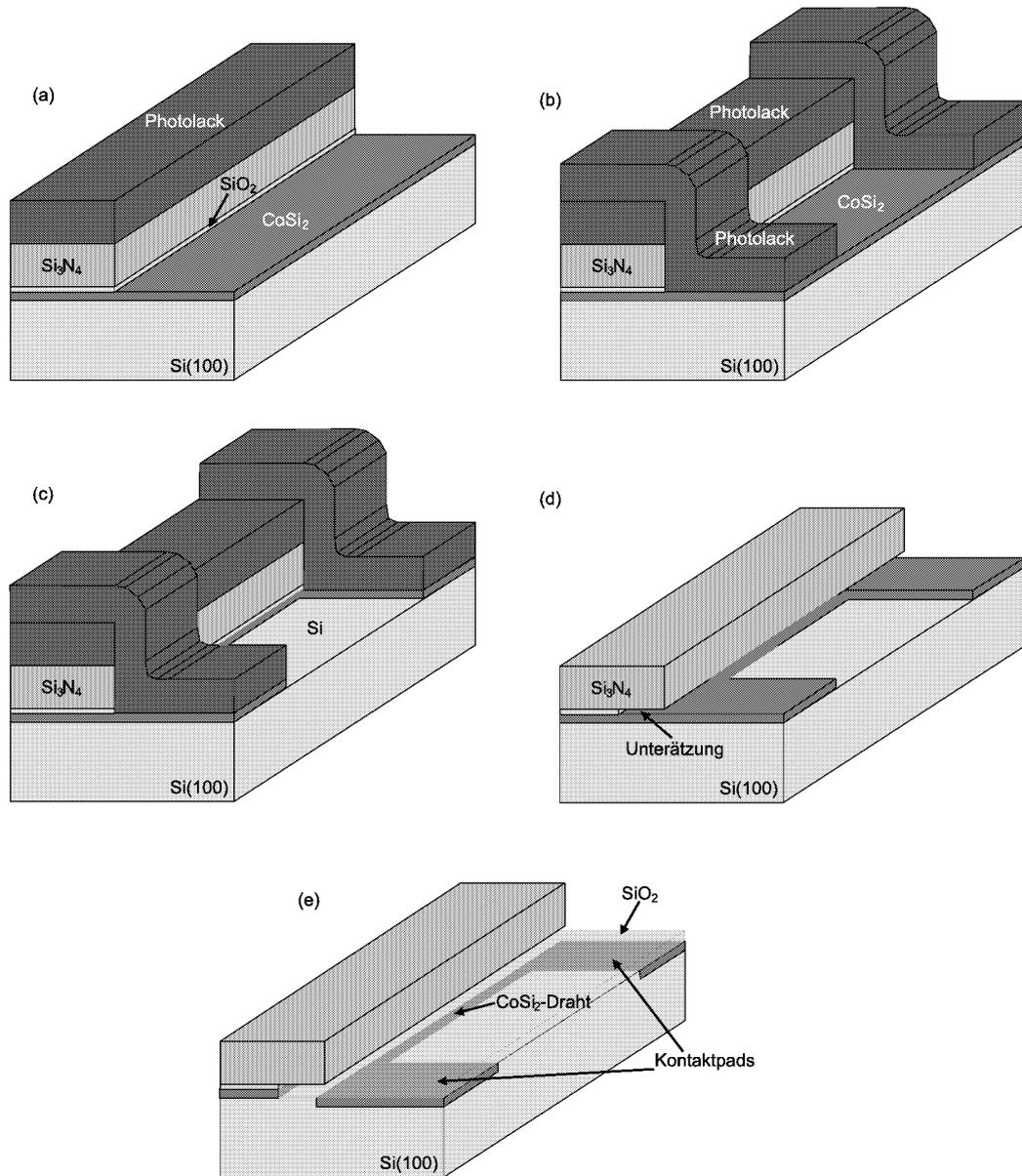


Abbildung 4.22: Schematische Darstellung des Verfahrens zur Herstellung von Nanodrähten mit Kontaktflächen: (a) Strukturieren der Oxidationsmaske; (b) Abdecken der Kontaktpads; (c) Entfernen des ungedeckten CoSi_2 ; (d) Unterätzen der Strukturierungsmaske; (e) Drahtbildung durch lokale Oxidation.

- Aufbringen der Oxidationsmaske und Strukturierung wie in den vorher beschriebenen Verfahren mit optischer Lithographie und RIE (Abb. 4.22 (a)).
- Abdeckung der Kontaktbereiche mit Photolack in einem zweiten Lithographieschritt ohne Entfernen des Photolackes aus dem ersten Schritt (Abb. 4.22 (b)).
- Entfernen des CoSi_2 in den unabgedeckten Bereichen mit Hilfe von RIE (Abb. 4.22 (c)).
- Unterätzen der Maske mit AF91 nach Entfernen des Photolackes. (Abb. 4.22 (d)).
- Erzeugung des Nanodrahtes mit zwei Kontakten durch Oxidation im RTP.

Da es noch keine geeigneten Reaktionsgase zum Ätzen von CoSi_2 gibt, wird ein großer Teil des Silizides mit Sputtern abgetragen.

Dieses Verfahren zeichnet sich durch einen Oxidationsschritt im Vergleich zum bisher besprochenen Prozess aus. Abb. 4.23 zeigt REM-Aufnahmen von Drähten mit ca. 50 nm Breite, hergestellt mit einfacher Oxidation (ohne Kontaktflächen). Zur Silizidätzung wurde hier der für die Maskenätzung verwendete CHF_3/CF_4 -RIE-Ätzprozess verwendet. Dabei wurde bereits die Maske unter dem Photolack mit zurückgeätzt, so dass keine Unterätzung der Nitridschicht mehr erforderlich war. Die Oxidation wurde 1 min bei 950°C in O_2 durchgeführt. Das Silizium wurde hier zur besseren Anschauung zurückgeätzt, so dass ein CoSi_2/Si -Steg entsteht. Obwohl das Trockenätzen des Silizides aufgrund des hohen Sputteranteils vergleichsweise unregelmäßige Kanten erzeugt, weisen die Drähte eine sehr gute Gleichmäßigkeit auf, welche wiederum auf die Bildung der stabilen $\{111\}$ -Facetten zurückzuführen ist.

Abb. 4.24 zeigt ein REM-Bild eines Drahtes mit Kontaktflächen. Die Silizidschicht wurde hier durch Sputtern in Ar entfernt und anschließend das Silizium im Ar/SF_6 -Plasma zurückgeätzt. Die Unterätzzeit betrug hier 1 min. Hier reichen kurze Unterätzzeiten für die Herstellung gleichmäßiger Drähte aus, welche auch eine Beschädigung der freiliegenden Kontaktpads durch die Ätzlösung verhindern. Die anschließende Oxidation erfolgte 5 min bei 950°C in O_2 . Auf diese Weise wurden Drähte mit Längen zwischen 2 und 10 μm hergestellt, welche einzeln oder paarweise kontaktiert waren.

Erste I-V-Messungen eines einzeln kontaktierten und zweier parallel kontaktierter, 5 μm langer CoSi_2 -Drähte sind in 4.25 gezeigt. Die Kurven zeigen ein ohmsches Verhalten mit einem Widerstand eines Drahtes von ca. 820 Ω .

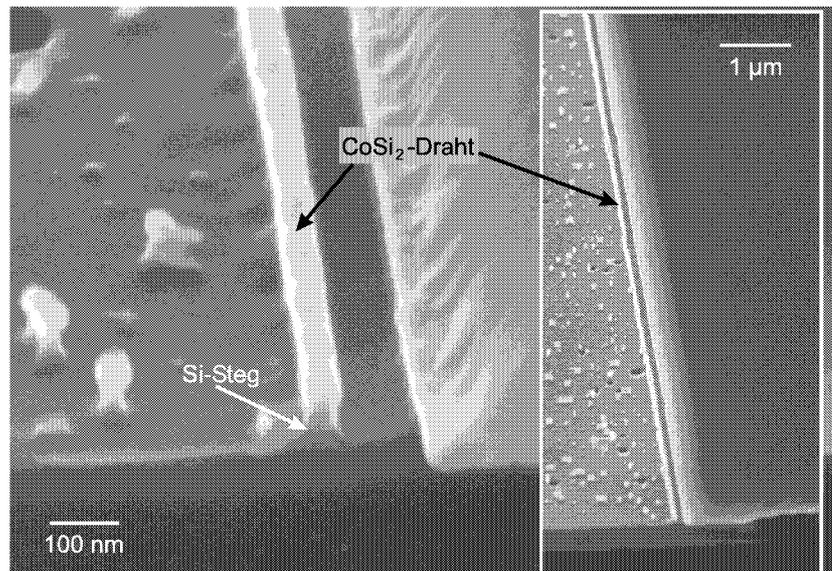


Abbildung 4.23: REM-Bild eines Siliziddrahtes, hergestellt mit einfacher lokaler Oxidation.

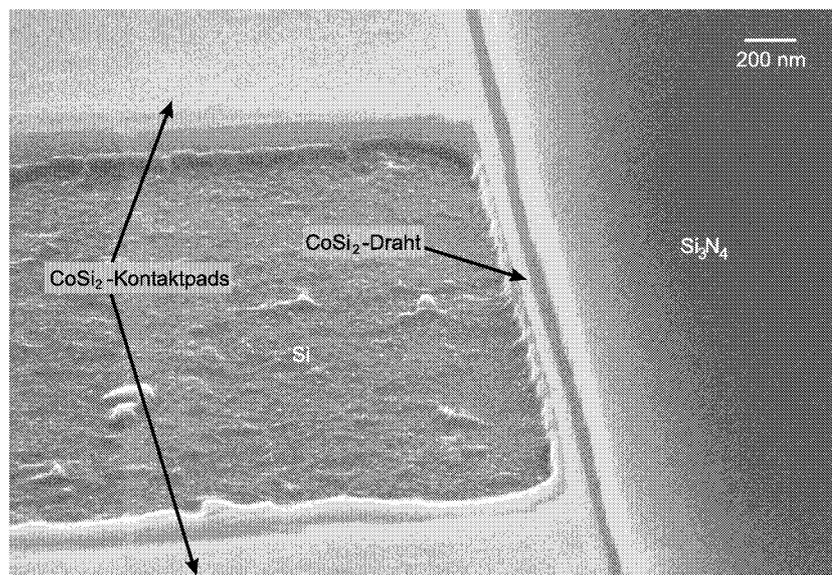


Abbildung 4.24: REM-Bild eines 50 nm breiten Siliziddrahtes mit Kontaktflächen.

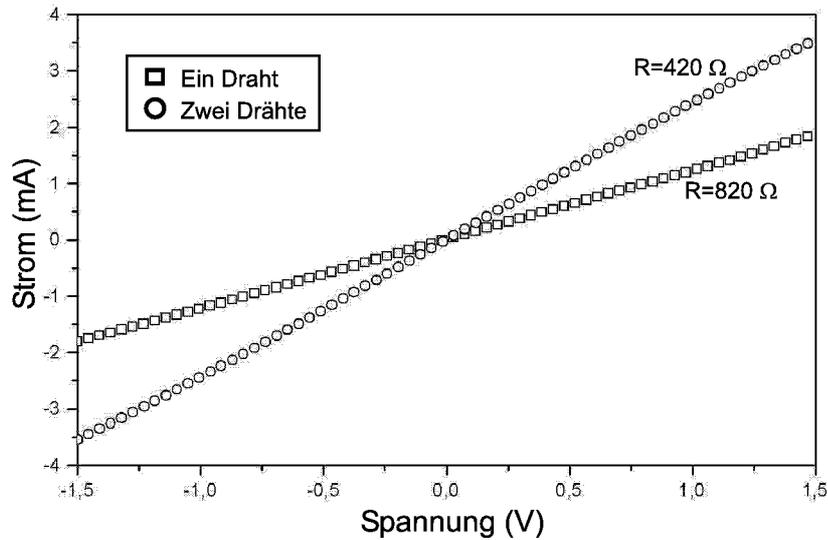


Abbildung 4.25: I-V-Kurven eines einzeln kontaktierten und zweier parallel kontaktierter, $5 \mu\text{m}$ langer CoSi_2 -Drähte mit einer Breite L_W von 50 nm .

Unter Berücksichtigung des dreieckigen Querschnitts mit $\{111\}$ -Facettierung, einer Breite L_W des Drahtes von 50 nm und einer Länge von $5 \mu\text{m}$ errechnet sich daraus ein spezifischer Widerstand von $16 \mu\Omega\text{cm}$, was in etwa dem spezifischen Widerstand dünner Schichten entspricht. Diese ersten Messungen zeigen also keine wesentliche Erhöhung des Widerstandes bei Dimensionsverkleinerung, wie man durch den Einfluss von Grenzflächenstreuung hätte erwarten können. Die Größenabschätzung ist jedoch relativ grob, daher sind weitere Experimente notwendig, um weitergehende Aussagen über den elektrischen Transport machen zu können.

Kapitel 5

Nanostrukturierung während der Silizidierungsreaktion

Die bisher vorgestellte Strukturierungsmethode beruht wie gezeigt auf der anisotropen Diffusion im Spannungsfeld der Nitridmaskenkante. Die Oxidation der Allotaxieschichten ist dabei eine Möglichkeit die Diffusion der Kobaltatome zu aktivieren. Eine andere Möglichkeit ist die Diffusion während der Silizidbildung. Es gibt zwei wesentliche Unterschiede dabei im Vergleich zur Strukturierung mit Hilfe der lokalen Oxidation:

- Die Diffusionsvorgänge bei der Silizidbildung sind anders als bei der Oxidation der Silizide.
- Spannungen entlang der Maskenkante, die durch die Oxidbildung erzeugt werden, treten nicht auf.

In den nächsten zwei Abschnitten werden erste Ergebnisse vorgestellt und diskutiert, welche mit Hilfe dieser Methode erzielt worden sind. Dabei sind zwei verschiedene Schichtsysteme verwendet worden.

5.1 Herstellung von selbststrukturiertem polykristallinem CoSi_2

Nach der Standard RCA-Reinigung wurden die Wafer in die Ultrahochvakuumkammer der MBE-Anlage eingeschleust. Danach wurde das natürliche Oxid bei 780°C unter gleichmäßigem Siliziumfluss sublimiert. Dann wurden bei Raumtemperatur sequentiell 8 nm Co und 4 nm Si aufgedampft. Die Siliziumdeckschicht dient zum Schutz der hochreaktiven Co-Schicht vor Oxidation. Anschließend wird die Strukturierungsmaske aus 20 nm SiO_2 und

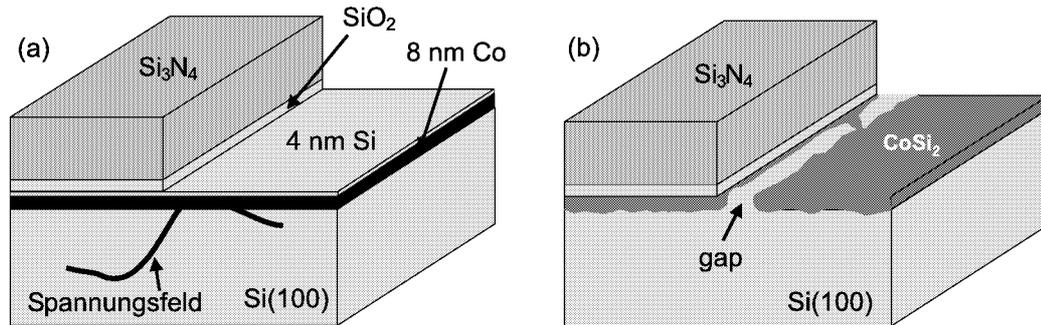


Abbildung 5.1: Schematische Darstellung des Strukturierungsprinzips polykristalliner CoSi_2 -Schichten: (a) Schichtsystem und Strukturierungsmaske; (b) Strukturbildung während der Silizidierungsreaktion bzw. durch Selbstdiffusion.

300 nm Si_3N_4 mittels PECVD aufgebracht und mit optischer Lithographie und RIE strukturiert. Danach wurden die Proben im RTP unter Formiergas (90% N_2 und 10% H_2) getempert und in Stickstoff nachgetempert. Abb. 5.1 skizziert noch einmal das Strukturierungsprinzip für dieses Schichtsystem. Abb. 5.1 (a) zeigt die Schichtenfolge mit der Strukturierungsmaske und 5.1 (b) die Struktur nach dem Tempern. Die Dimensionierung und Ausrichtung der Maske wurden von dem LOCOSI-Verfahren übernommen. Aus der Co/Si-Schichtenfolge entsteht bei der Temperung bei geeigneten Temperaturen eine polykristalline CoSi_2 -Schicht, die eine Auftrennung entlang der Maskenkante aufweist.

Abb. 5.2 zeigt ein REM-Bild (a) und ein XTEM-Bild (b) der Struktur nach einer 80 s Temperung bei 650°C in Formiergas und anschließendem 2 min Tempern bei 850°C in Stickstoff. Beide Bilder zeigen eine ca. 100 nm weite Auftrennung der Schichten. Die Kanten der Auftrennung zeigen eine wellige Struktur, welche auf die polykristalline Natur der Schicht zurückzuführen ist. Da die Auftrennung diffusionsgesteuert ist, macht sich hier die erhöhte Diffusion entlang der Korngrenzen bemerkbar, was die wellige Struktur zur Folge hat. Die Polykristallinität der Schicht ist auch deutlich in der XTEM-Aufnahme an der Grenzfläche CoSi_2/Si zu sehen.

Das Nachtempern in N_2 bei 850°C ist notwendig, um eine für die Strukturbildung ausreichende laterale Diffusion zu erreichen. Dafür muss die Silizidschicht eine hohe Temperaturstabilität aufweisen. Die Temperaturstabilität vergleichbarer polykristalliner CoSi_2 -Schichten wurde von Alberti [29] in Abhängigkeit der Wachstumstemperatur eingehend untersucht. Sie hängt dabei stark von der Mikrostruktur ab, welche durch die Wachstumstempe-

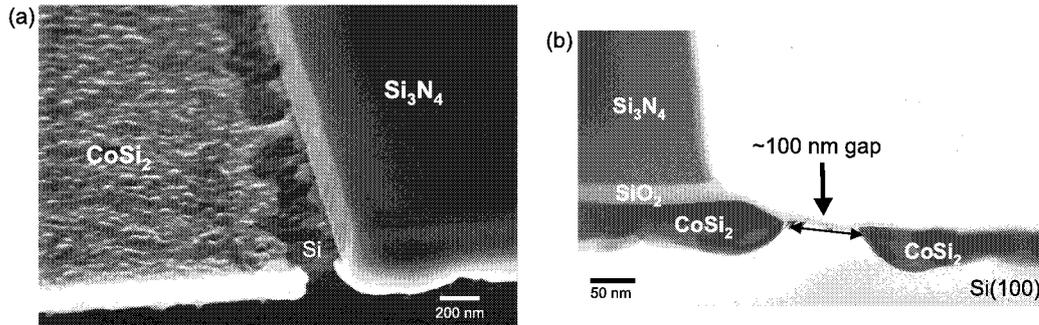


Abbildung 5.2: (a) REM- und (b) XTEM-Bild der Strukturierung einer polykristallinen CoSi_2 -Schicht

ratur bestimmt wird. Die höchste Temperaturstabilität der polykristallinen Schichten wurde bei einem Wachstum bei 650°C festgestellt. Diese Schichten waren bis zu 850°C stabil. Bei einer Temperung von 80 s bei 650°C ist die gesamte Schicht zu CoSi_2 umgewandelt. Die Temperatur reicht jedoch nicht für eine Separation der Schichten aus (Abb. 5.3). Das REM-Bild zeigt eine Probe, welche 5 min bei 650°C getempert wurde. Man kann eine leicht veränderte Oberflächenstruktur entlang der Kante erkennen, jedoch noch keine Separation. Die Auftrennung findet also im Wesentlichen über anisotrope Selbstdiffusion in der CoSi_2 -Schicht statt.

Insgesamt wäre ein System höherer Temperaturstabilität mit einem geringeren Einfluss der Korngrenzendiffusion wünschenswert. Daher wurde die im nächsten Abschnitt vorgestellte Version der Festphasenepitaxie verwendet.

5.2 Herstellung von selbststrukturiertem epitaktischem CoSi_2

Zunächst wird auf RCA-gereinigten Wafern eine dünne chemische SiO_x -Schicht erzeugt. Dies geschieht durch 5 min Kochen des Substrates in einer $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 3:1:1 Lösung. Danach werden sequentiell 10 nm Kobalt und 10 nm Titan mit Hilfe der Elektronenstrahlverdampfung im Hochvakuum bei ca. 10^{-7} Torr aufgebracht, ohne das Vakuum zu brechen. Anschließend wird die Strukturierungsmaske, bestehend aus 20 nm SiO_2 und 300 nm Si_3N_4 , aufgebracht und entlang der $\langle 110 \rangle$ -Richtung des Substrates strukturiert. Dann werden die Proben im RTP unter Formiergas getempert.

In Abb. 5.4 ist schematisch der Prozess und das verwendete Schichtsystem (a) mit der aufgetragenen Strukturierungsmaske und (b) die Struktur

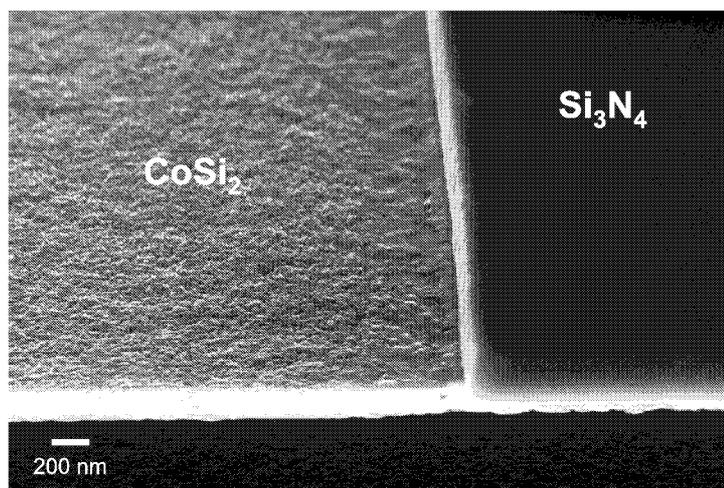


Abbildung 5.3: REM-Bild einer nicht separierten polykristallinen CoSi_2 -Schicht

nach der Temperung dargestellt. Auch hier sind die Dimensionen und die Ausrichtung der Maske von dem LOCOSI-Verfahren übernommen worden. Bei geeigneten Temperparametern erhält man, wie in Kap. 2.3 beschrieben, epitaktisches CoSi_2 guter Qualität mit einer Deckschicht aus TiN , welche sich beim Tempern durch die Reaktion des Titans mit dem Stickstoff aus der Temperatmosphäre bildet. Dabei entsteht an der Maskenkante wiederum eine Auftrennung mit einer Breite von etwa 100 nm. Diese ist jedoch von der bei dem Epitaxieprozess entstehenden Deckschicht verdeckt. Durch selektives nasschemisches Entfernen dieser Deckschicht können die Silizidschicht und die Auftrennung jedoch freigelegt werden.

Abb. 5.5 zeigt REM-Bilder der Strukturierung vor und nach dem Entfernen der Deckschicht. Getempert wurde in zwei Stufen, wie in Abb. 2.7 dargestellt. RTP1 und RTP2 wurden bei 500°C bzw. 950°C jeweils 1 min lang durchgeführt.

Im Vergleich zur Strukturierung polykristalliner Schichten ist die Auftrennung durchgehend und wesentlich gleichmäßiger, was auf die Epitaxie der entstandenen Schicht zurückzuführen ist. Aufgrund der fehlenden Korngrenzen kommt es hier nicht zu einer ungleichmäßigen Diffusion. Im Gegensatz zur Strukturierung der polykristallinen Schichten bildet sich jedoch zwischen den beiden aufgetrennten Silizidschichten ein Loch, wie man in der XTEM-Aufnahme in Abb. 5.6 sieht. Die TiN -Schicht überdeckt dabei die Auftrennung. Diese Form der Aufspaltung könnte durch Oberflächendiffusion der Co-Atome zustandekommen, wie sie auch bei der Lochbildung auftritt (ver-

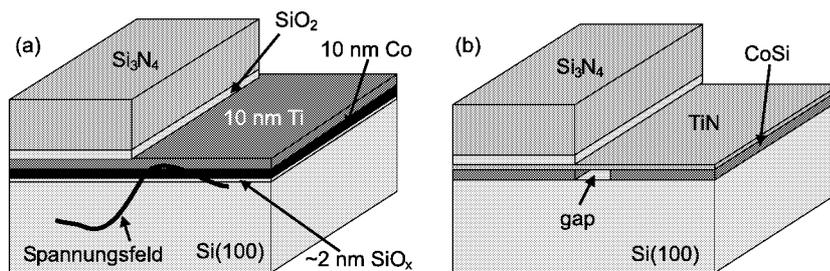


Abbildung 5.4: Schematische Darstellung des Strukturierungsprinzips während der Festphasenepitaxie: (a) Schichtsystem und Strukturierungsmaske; (b) Strukturbildung während der Silizidierungsreaktion bzw. durch Selbstdiffusion.

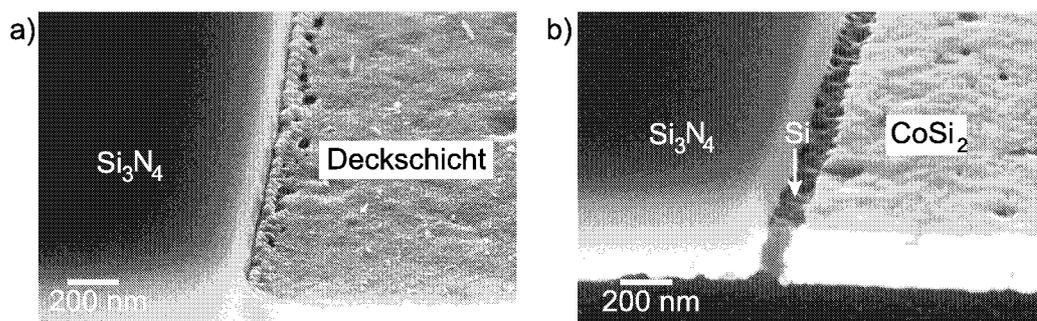


Abbildung 5.5: REM-Bilder der Strukturierung (a) vor und (b) nach dem Entfernen der Deckschicht.

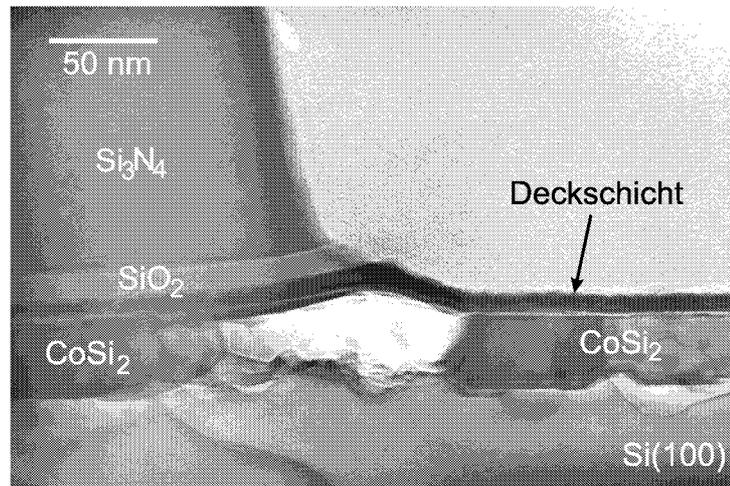


Abbildung 5.6: XTEM-Aufnahme der Struktur nach Zweistufentempere.

gleiche Abb. 2.11 in Kap. 2.3). Das legt nahe, dass sich die Aufspaltung hier während der Silizidierungsreaktion und nicht im Wesentlichen durch Selbstdiffusion bildet, wie bei den polykristallinen Schichten.

[0,3 cm] Die Versuche zur Strukturierung während der Silizidierungsreaktion stellen erste vielversprechende Ergebnisse dar, die eine Erweiterung des spannungsinduzierten Strukturierungskonzeptes darstellen. Der Vorteil gegenüber der lokalen Oxidation von Siliziden liegt in der Einfachheit und Industriekompatibilität der Schichtherstellung, welche sich durch einfache Deposition und ex-situ Temperungen auszeichnen. Ein Nachteil gegenüber der lokalen Oxidation ist die Tatsache, dass diese Strukturierungsmethode nicht wiederholbar ist, d.h. Strukturen wie Drähte können damit nicht hergestellt werden. Für das Verständnis der spannungsinduzierten Strukturierung liefern sie einen weiteren Hinweis darauf, dass die intrinsischen Spannungen des Nitrides an der Maskenkante für die Steuerung der Diffusion verantwortlich sind.

Teil III

MOSFET Bauelemente

Kapitel 6

Grundlagen von Schottky-Barrieren MOSFETs

Das weitaus wichtigste Bauelement der siliziumbasierten Mikroelektronik ist der MOSFET (Metal Oxide Semiconductor Field Effect Transistor). Mehr als 100 Millionen dieser kleinen Schalter auf einer Fläche von wenigen Quadratzentimetern bilden als Mikroprozessoren und Speicherbausteine die Grundelemente der modernen Computertechnik. Die aggressive Herunterskalierung konventioneller Si-MOSFETs bringt sowohl technologische Probleme bei der Herstellung, als auch drastische Auswirkungen auf die Betriebseigenschaften der Transistoren mit sich. Die grundlegende Untersuchung neuer Technologie- und Bauelementkonzepte ist daher von besonderer Bedeutung.

Der Schottky-Barrieren MOSFET (SB-MOSFET) stellt eine interessante Alternative zum konventionellen MOSFET dar. Es konnte bereits gezeigt werden, dass mit Hilfe der in Teil II vorgestellten Strukturierungsmethode die Herstellung von SB-MOSFETs möglich ist [8]. Ziel der in diesem Teil der Arbeit vorgestellten Experimente war es, Ultrakurzkanal SB-MOSFETs mit Kanallängen unter 100 nm auf dünnen SOI-Substraten herzustellen. Die Verwendung von SOI-Substraten soll dabei zur Minimierung von Leckströmen führen.

Im ersten Teil dieses Kapitels wird der SB-MOSFET als alternatives Konzept zur gängigen Technologie vorgestellt. Im zweiten und dritten Abschnitt werden dann der MOS-Kondensator und die Schottky-Diode als Teilelemente des SB-MOSFET näher erläutert, bevor im vierten Teil das Prinzip des SB-MOSFETs erklärt wird. Im letzten Abschnitt des Kapitels werden dann wichtige Kenngrößen und Kennlinien von MOSFET-Bauelementen eingeführt.

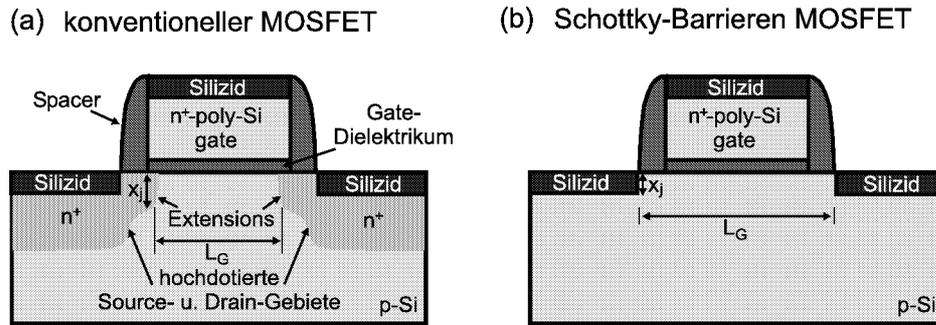


Abbildung 6.1: Schematische Darstellung der Struktur eines (a) konventionellen MOSFET und (b) Schottky-Barrieren MOSFET.

6.1 Der SB-MOSFET

Der Schottky-Barrieren MOSFET stellt eine interessante Alternative zur konventionellen MOSFET-Technologie dar. Eine schematische Darstellung beider Konzepte in Abb. 6.1 soll dies verdeutlichen. Der herkömmliche MOSFET (Abb. 6.1 (a)) besteht aus zwei gegeneinander geschalteten p-n-Dioden, Source und Drain genannt, welche über einen MOS-Kondensator, das Gate, auf Durchlass geschaltet werden können. Die hochdotierten Source- und Drain-Gebiete werden durch Ionenimplantation erzeugt und zur Minimierung der Kontaktwiderstände mit Siliziden metallisiert. Bei der Skalierung der Gate-Länge L_G zu Strukturgrößen von Dekananometern müssen die Extensions x_j der dotierten Gebiete möglichst flach bei möglichst hoher Dotierung gehalten werden, um das Auftreten von Kurzkanaleffekten zu minimieren [75]. Die Ionenimplantation als statistischer Prozess und die Diffusion der implantierten Dotierstoffe bei der anschließenden Temperung stellen große Probleme hierfür dar und könnten eine Grenze für die Skalierung konventioneller MOSFETs sein [76].

Der Schottky-Barrieren MOSFET in Abb. 6.1 (b) unterscheidet sich vom konventionellen MOSFET-Design einfach durch das Fehlen der implantierten Source- und Drain-Gebiete. Die p-n-Dioden werden dabei durch die Schottky-Dioden ersetzt, welche beim Kontakt der Source- und Drain-Metallisierung mit dem moderat dotierten Substrat entstehen. Die Ausdehnung x_j ist hier nur durch die Dicke des Silizides bestimmt und kann somit äußerst flach gehalten werden. Insgesamt ergeben sich daraus für dieses Konzept folgende Vorteile [77, 78]:

- Einfachere Struktur durch Fehlen der p-n-Gebiete.

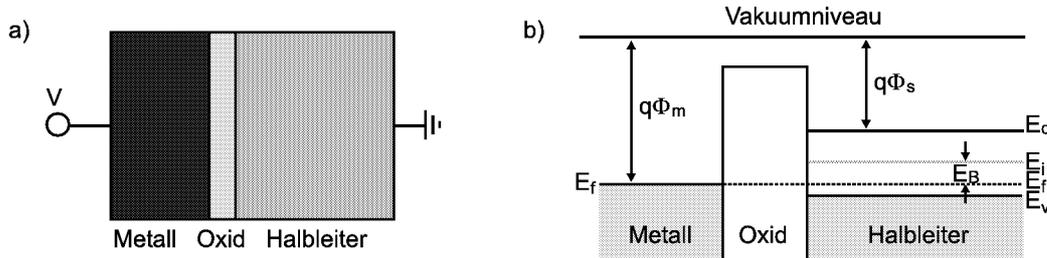


Abbildung 6.2: Schematische Darstellung des MOS-Kondensators: (a) Aufbau; (b) Bänderschema des idealen MOS-Kondensators.

- Keine Probleme mit Implantation und Diffusion von Dotierstoffen.
- Vermeiden von Kurzkanaleffekten durch sehr flache Source- und Drain-Gebiete.

Ein Nachteil kann die Charakteristik der Schottky-Dioden sein, welche im Vergleich zu guten p-n-Dioden relativ hohe Sperrströme aufweisen. Ebenso ist es schwierig, reproduzierbar gleiche Barrieren herzustellen. Hier kann die Verwendung epitaktischer Silizide auf SOI-Substraten jedoch von Vorteil sein.

Die Idee des SB-MOSFETs ist nicht neu. Schon 1968 wurde der sog. IG-FET mit PtSi als Metallkontakten vorgestellt [79]. Später wurden eine Reihe von experimentellen und theoretischen Untersuchungen an diesem Transistortyp durchgeführt. Simulationen zeigen eine gute Skalierbarkeit von SB-MOSFETs bis zu 10 nm Kanallänge [80].

6.2 Der MOS-Kondensator

In diesem Abschnitt wird eine kurze Einführung in den MOS-Kondensator gegeben. Ausführliche Darstellungen sind in Lehrbüchern zur Halbleiterbauelementphysik zu finden [24, 75].

Der MOS-Kondensator besteht aus einem Metall und einem Halbleiter, welche durch eine isolierende Schicht voneinander getrennt sind. Als Halbleiter wird hier Silizium und als Isolator SiO_2 betrachtet. Der Aufbau und das Bänderschema eines MOS-Kondensators sind in Abb. 6.2 gezeigt. Im idealen Fall liegt das Fermi-Niveau des Siliziums auf gleicher Höhe mit der Austrittsarbeit des Metalls. Bei intrinsischem Silizium liegt das Fermi-Niveau etwa in der Mitte der Bandlücke, verschiebt sich jedoch nach oben oder unten, je nachdem, ob das Silizium mit Donator- oder Akzeptor-Atomen dotiert wird. In der folgenden Beschreibung gehen wir von von p-dotiertem Silizium

aus. Dabei verschiebt sich das Fermi-Niveau E_F gegenüber dem intrinsischem Fermi-Niveau E_i mit der Akzeptorkonzentration N_a über

$$E_B = E_i - E_F = kT \ln \left(\frac{N_a}{n_i} \right). \quad (6.1)$$

n_i entspricht der intrinsischen Ladungsträgerdichte und beträgt $n_i = 1,4 \cdot 10^{10} \text{cm}^{-3}$ für Silizium bei Raumtemperatur. Gl. 6.1 geht von einer vollständigen Ionisierung der Akzeptoratome aus, wie es bei niedriger bis moderater Akzeptorkonzentration der Fall ist. Legt man eine Spannung V an das Metall an, so wird im Halbleiter ein Potentialverlauf $\Psi(x)$ erzeugt. Als Randbedingung wählt man $\Psi = 0$ im Inneren des Halbleiters und $\Psi(x=0) = \Psi_s$ an der Grenzfläche zwischen Halbleiter und Isolator. Für die Ladungsträgerkonzentrationen folgt dann:

$$p(x) = N_a \exp \left(-\frac{q\Psi(x)}{kT} \right) \quad (6.2)$$

und

$$n(x) = \frac{n_i^2}{N_a} \exp \left(\frac{q\Psi(x)}{kT} \right), \quad (6.3)$$

wobei $p(x)$ die Löcherkonzentration und $n(x)$ die Elektronenkonzentration im p-Silizium sind. Durch Anlegen einer Spannung können an der Grenzfläche ($x=0$) folgende Fälle eintreten:

1. $\Psi_s < 0$ (Anreicherung): Das Fermi-Niveau bleibt konstant, da keine Ladungsträger durch den Isolator fließen. Die Bänder werden nach oben verbogen, es kommt über Gl. 6.2 und 6.3 zu einer Anreicherung von Löchern als Majoritätsladungsträger.
2. $\Psi_s = 0$ (Flachbandfall): Dieser Fall entspricht dem in Abb. 6.2 (b) dargestellten Fall des idealen MOS-Kondensators ohne angelegte Spannung. Es gibt keine Bandverbiegung.
3. $\frac{E_B}{q} > \Psi_s > 0$ (Verarmung): Die Bänder werden nach unten verbogen. Die Elektronen werden von der Grenzfläche angezogen und setzen sich auf die freien Akzeptorniveaus. Es kommt zu einer Verarmung an Löchern als Majoritätsladungsträger.
4. $\Psi_s > \frac{E_B}{q}$ (Inversion): Das Fermi-Niveau E_F wird an der Grenzfläche größer als das intrinsische Fermi-Niveau E_i . Die Minoritätsladungsträgerdichte wird größer als die Majoritätsladungsträgerdichte. Die entstehende Minoritätsladungsträgerschicht nennt man Inversionsschicht.

Bei $\Psi_s > 2\frac{E_B}{q}$ spricht man von starker Inversion. Eine weitere Veränderung der Spannung führt nicht mehr zu einer Veränderung von Ψ_s , da der Halbleiter von der Inversionsschicht abgeschirmt wird.

Für einen n-dotierten Halbleiter kann man analoge Betrachtungen machen, hier wird die Inversionsschicht aus Löchern als Minoritätsladungsträger gebildet.

Bei einem realen MOS-Kondensator liegt das Fermi-niveau des Halbleiters nicht auf gleicher Höhe mit der Austrittsarbeit des Metalls, d.h. es kommt schon bei nicht angelegter Spannung zu einer Verbiegung der Bänder. Um den in Abb. 6.2 (b) gezeigten Flachbandfall zu erreichen, muss die sog. Flachbandspannung angelegt werden.

Die Effekte der Anreicherung und Inversion im Halbleiter werden als Feldeffekt bezeichnet und wurden bereits in den dreißiger Jahren von Lilienfeld und Heil [81, 82] entdeckt. Beeinträchtigt wird der Feldeffekt durch Grenzflächenladungen an der SiO_2/Si -Grenzfläche. Diese schirmen den Halbleiter ab und verringern so das Potential an der Grenzfläche, dass man höhere Spannungen anlegen muss, um dort die gleiche Wirkung zu erzielen. Bei zu hoher Spannung kann es jedoch zum dielektrischen Durchbruch des Oxides führen. Eine geringe Grenzflächenladungsdichte erfordert eine äußerst reine und kontrollierte Prozessführung. Daher ist erst es 1960 gelungen den Feldeffekt zur Herstellung von Si-MOSFETs zu nutzen.

6.3 Die Schottky-Diode

Befindet sich ein Halbleiter im Kontakt mit einem Metall, so liegt ein Schottky-Kontakt vor. Dabei kommt es im thermischen Gleichgewicht zum Ausgleich der Fermi-niveaus der beiden Materialien über Ladungsträgeraustausch. Das Bänderschema eines idealen Schottky-Kontaktes ist in Abb. 6.3 dargestellt. Aufgrund der geringen Ladungsträgerdichte im Halbleiter kommt es dort zur Ausbildung einer ausgedehnten Raumladungszone, welche die dargestellte Bandverbiegung hervorruft. Im Metall ist die Raumladungszone wegen der hohen Ladungsträgerdichte äußerst schmal und befindet sich innerhalb der Thomas-Fermi Abschirmlänge von 0,05 nm. Im dargestellten idealen Fall eines Metalles und eines n-dotierten Halbleiters ergibt sich die Schottky-Barriere aus der Differenz zwischen der Austrittsarbeit Φ_m des Metalles und der Elektronenaffinität χ des Halbleiters:

$$q\Phi_{B_n} = q(\Phi_m - \chi). \quad (6.4)$$

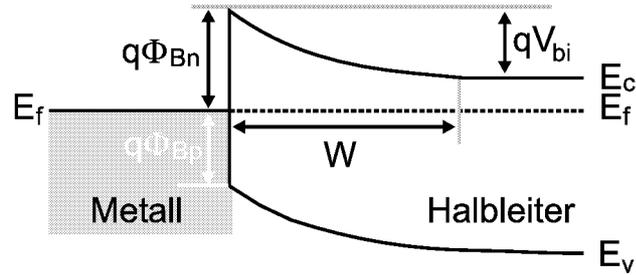


Abbildung 6.3: Bänderschema eines idealen Schottky-Kontaktes.

Tabelle 6.1: Gemessene Schottky-Barrierenhöhen Φ_{B_n} einiger wichtiger Silizide auf n-Silizium [14].

Silizid	Φ_{B_n} [eV]	Silizid	Φ_{B_n} [eV]
CoSi ₂	0,64	ErSi ₂	0,39
TiSi ₂	0,62	PtSi	0,88
NiSi	0,65	Pt ₂ Si	0,85
NiSi ₂	0,66	IrSi	0,93
Pd ₂ Si	0,71	WSi ₂	0,65
TaSi ₂	0,59	MoSi ₂	0,65

Für einen gegebenen Halbleiter ergibt die Summe der Barrierenhöhen auf n- und p-dotiertem Material genau die Bandlücke E_g :

$$q(\Phi_{B_n} + \Phi_{B_p}) = E_g. \quad (6.5)$$

Verschiedene Effekte, wie metallinduzierte Zustände in der Energielücke, Defekte im Übergangsbereich, Oberflächenzustände und der Schottky-Effekt beeinflussen die reale Barrierenhöhe [83]. Gl. 6.4 und 6.5 gelten daher nur als grobe Näherung. Tab. 6.1 zeigt gemessene Schottky-Barrierenhöhen einiger wichtiger Silizide auf n-Silizium.

Die Breite W der Raumladungszone ist ähnlich der für den p-n-Übergang:

$$W = \sqrt{\frac{2\epsilon_0\epsilon_s}{qN_D}(V_{bi} - V)}. \quad (6.6)$$

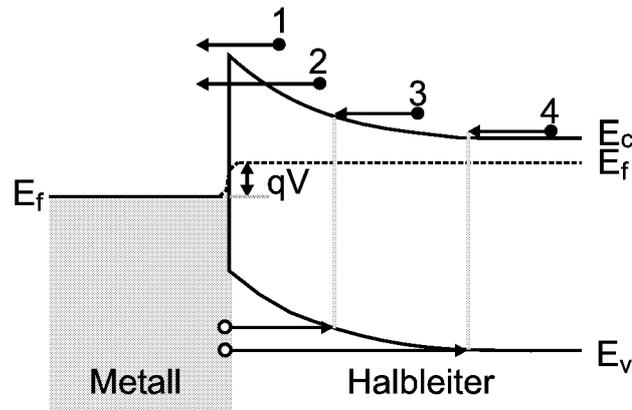


Abbildung 6.4: Mögliche Ladungsträgertransportprozesse in einer Schottky-Diode.

ϵ_s ist hier die Dielektrizitätskonstante des Halbleiters, N_D die Dotierstoffkonzentration, V_{bi} wird als Diffusionspotential bezeichnet. Die Breite der Barriere ist abhängig von der angelegten Spannung V .

Ladungsträgertransport

Abb. 6.4 zeigt die vier grundlegenden Prozesse für den Ladungsträgertransport über eine Schottky-Barriere in Vorwärtsrichtung:

1. Transport von Elektronen in das Metall über die Schottky-Barriere.
2. Transport durch die Barriere über quantenmechanisches Tunneln.
3. Rekombination von Ladungsträgern in der Raumladungszone.
4. Löcherinjektion vom Metall in den Halbleiter.

Bei einer in Sperrichtung gepolten Schottky-Diode finden die analogen Transportprozesse in umgekehrter Richtung statt. Bei Halbleitern hoher Mobilität und geringer Defektdichte (wie bei Si) liefern die ersten beiden Prozesse den wesentlichen Beitrag zum Stromfluss. Für moderat dotiertes Silizium ($N_D \leq 10^{17} \text{ cm}^{-3}$) bei Raumtemperatur ist der erste Prozess für den Stromfluss entscheidend. Dieser lässt sich gut mit der Theorie der thermischen Emission nach Bethe [84] beschreiben. Sie betrachtet die Stromflüsse über den Transport von Elektronen vom Halbleiter in das Metall und umgekehrt, welcher abhängt von der Anzahl der Elektronen mit genügend thermischer Energie, um die Barriere zu überwinden. Die Barrierenhöhe für den jeweiligen

Transportprozess hängt dabei von der angelegten Spannung ab. Die Theorie führt zur Richradsen-Gleichung für den Sperrstrom der Schottky-Diode:

$$I = I_S \left(\exp \left(\frac{nqV}{k_B T} \right) - 1 \right) \quad (6.7)$$

mit

$$I_S = AA^{**} T^2 \exp \left(\frac{q\Phi_B}{k_B T} \right), \quad (6.8)$$

wobei I_S den Sättigungsstrom, n den Idealitätsfaktor, A die Diodenfläche, Φ_B die Barrierenhöhe und A^{**} die effektive Richardson-Konstante ($A^{**} \approx 110 \text{ A cm}^{-2} \text{ K}^{-1}$ für n-Si; $A^{**} \approx 30 \text{ A cm}^{-2} \text{ K}^{-1}$ für p-Si) bezeichnet. Der Idealitätsfaktor gibt die Abweichung der I-V-Kennlinie vom idealen Verhalten in Durchlassrichtung an:

$$n = \frac{q}{k_B T} \frac{\partial U}{\partial (\ln I)}. \quad (6.9)$$

$n=1$ bedeutet, dass allein die thermische Emission zum Stromtransport beiträgt. Für eine zuverlässige Bestimmung der Barrierenhöhe aus Gl. 6.8 muss der Idealitätsfaktor $n \approx 1$ sein.

Bei hochdotierten Halbleitern ist die Raumladungszone (s. Gl. 6.6) so dünn, dass quantenmechanisches Tunneln der Elektronen durch die Schottky-Barriere der für den Stromtransport wesentliche Prozess wird. Dieser ist verantwortlich für das ohmsche Verhalten von Metall-Halbleiter Kontakten, wie sie bei der Silizidierung der hochdotierten Source- und Drain-Gebiete konventioneller MOSFETs vorliegen:

$$J_t \sim \exp(-q\Phi_{Bn}/E_{00}) \quad \text{mit} \quad E_{00} \equiv \frac{q\hbar}{2} \sqrt{\frac{N_D}{\epsilon_0 \epsilon_s m^*}}. \quad (6.10)$$

Der Tunnelstrom J_t steigt exponentiell mit $\sqrt{N_D}$ an.

6.4 Prinzip des SB-MOSFETs

Wie in Abb. 6.1 dargestellt besteht der Schottky-Barrieren MOSFET aus einer MSM-Struktur (MSM: Metal-Semiconductor-Metal), welche zwei gegeneinander geschaltete Schottky-Dioden bilden. Der Halbleiter ist dabei Teil eines MOS-Kondensators. Abb. 6.5 stellt die Funktionsweise des Transistors anhand von Bänderdiagrammen dar. Wir gehen dabei von einem moderat p-dotierten Silizium und einem Metall mit in etwa symmetrisch verteilten Schottky-Barrieren auf n- und p-Silizium (wie z.B. CoSi_2) aus. Liegen keine Spannungen an, so sind die Bänder wie in Abb. 6.5 dargestellt bei verwendeten Dotierungen von ca. $5 \cdot 10^{16} \text{ cm}^{-3}$ annähernd flach. Nun kann man zwei Arbeitsmodi unterscheiden:

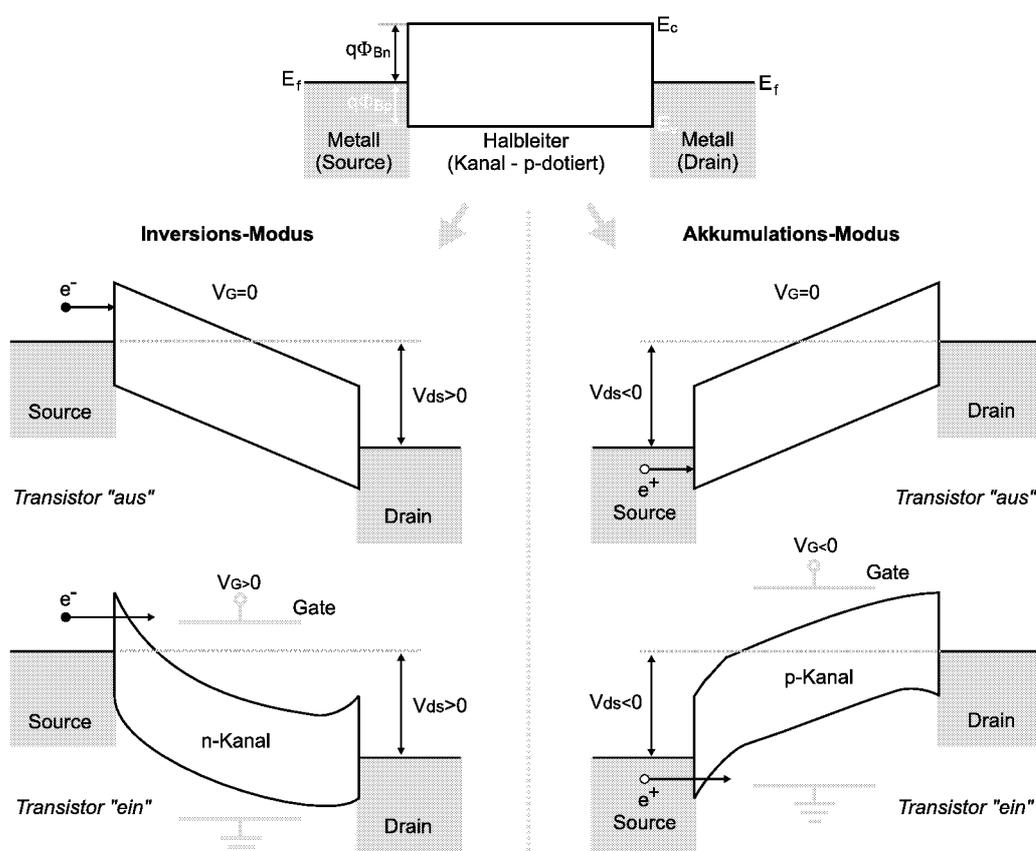


Abbildung 6.5: Schematische Darstellung des Arbeitsprinzips des SB-MOSFET anhand der Bänderdiagramme.

Akkumulations-Modus

Legt man eine negative Spannung an den Drain-Kontakt an, kann aufgrund der Sperrwirkung der Source-Diode kein Strom fließen. Legt man nun eine negative Gate-Spannung an, so kommt es zu einer Anreicherung von Löchern im Kanalgebiet. Dies führt zu einer schmaler werdenden Raumladungszone, da die Elektronen dort nun mit den Löchern rekombinieren können. Die Löcher wirken also wie eine zusätzliche Dotierung, nur dass diese nicht ortsfest im Gitter sitzen, sondern frei beweglich im Kanalgebiet. Bei einer ausreichenden Ladungsträgerdichte im Kanal wird dort die Schottky-Barriere so dünn, dass sie leicht von Ladungsträgern durchtunnelt werden kann. Es fließt ein Strom aus Majoritätsladungsträgern.

Inversions-Modus

Beim Inversions-Modus liegt eine positive Spannung am Drain-Kontakt an. Eine nun angelegte positive Gatespannung führt zu einer Anziehung von Elektronen als Minoritätsladungsträger im Kanalgebiet. Ist die Gatespannung hoch genug, so wird das Kanalgebiet wie beim konventionellen MOSFET invertiert. Ist die Minoritätsladungsträgerdichte im Kanal groß genug, wird die Barriere wieder dünn genug, dass es zu einem dominanten Tunnelstrom führt.

Derselbe Transistor kann also sowohl als p-Kanal wie auch als n-Kanal MOSFET betrieben werden und unterscheidet sich damit wesentlich vom konventionellen Konzept. Damit sind CMOS-Schaltkreise ohne komplementäre Substratdotierung möglich. Prinzipiell ist keine Substratdotierung für den Transistor notwendig, jedoch aus der Prozessführung zur Reproduzierbarkeit der elektrischen Eigenschaften ggf. erforderlich. Eine symmetrische Arbeitsweise von n- und p-Kanal Mode sollte durch geeignete Wahl der Schottky-Barrieren, der Substratdotierung sowie der Austrittsarbeit des Gatematerials zu gewährleisten sein.

Abb. 6.6 zeigt den simulierten Bandverlauf zwischen Source und Drain eines SB-MOSFETs bei angelegter Gate- und Drainspannung (Transistor ist eingeschaltet) [85]. Gezeigt sind die Simulationsergebnisse eines Dünnschicht Doppel-Gate Transistors mit einer Kanallänge von 12 nm bei verschiedenen Barrierenhöhen. μ_s und μ_d bezeichnen die Fermi-Niveaus von Source bzw. Drain-Metall (grau unterlegt). Die durchgezogene Linie entspricht einer Barrierenhöhe Φ_B von 0,1 eV, die gepunktete Linie von 0 eV und die gestrichelte Linie von -0,25 eV. Die 0,1 eV Kurve zeigt einen Bandverlauf, wie er qualitativ in Abb. 6.5 dargestellt ist. Die vorhandene Tunnelbarriere an der

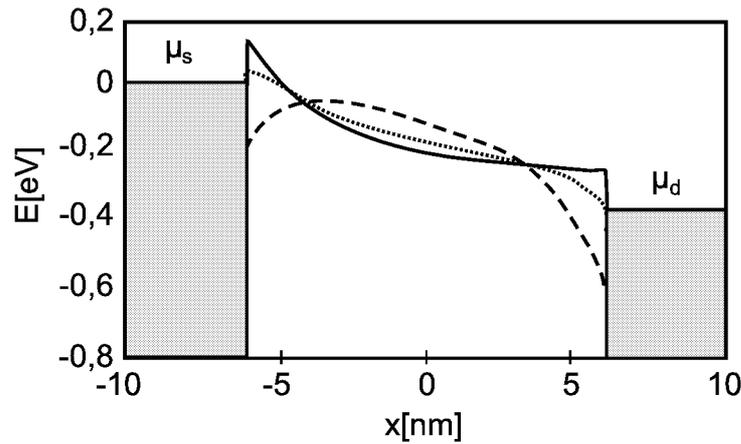


Abbildung 6.6: Simulierter Bandverlauf zwischen Source und Drain eines SB-MOSFETs in Betrieb mit verschiedenen Barrierenhöhen [85]. Die durchgezogene Linie entspricht einer Barrierenhöhe Φ_B von 0,1 eV, die gepunktete Linie von 0 eV und die gestrichelte Linie von -0,25 eV.

Source-Seite bestimmt im Wesentlichen den Drainstrom. Bei einer simulierten Schottky-Barriere von 0 eV ist ebenfalls eine Tunnelbarriere zu erkennen. Für die Simulation wurde die Barrierenhöhe über den Metallkontakt auf einem Volumen-Substrat definiert. In der dünnen Si-Schicht des Transistors sind die Energiezustände aufgrund des Quanten-confinements angehoben, so dass effektiv eine Barriere entsteht. Der simulierte Bandverlauf bei einer negativen Barriere von -0,25 eV zeigt keine Tunnelbarriere mehr. Der Stromtransport ist hier im Wesentlichen über thermische Emission wie beim konventionellen MOSFET und nicht mehr über Tunneln durch die Barriere bestimmt [85]. Die Mechanismen der Ladungsträgerinjektion und der Source-Diode in konventionellen und SB-MOSFETs stellen einen wesentlichen Unterschied dieser beiden Transistortypen dar, welcher sich in den Kennlinien bemerkbar macht (s. Kap. 8).

6.5 Kennlinien und Kenngrößen von MOSFET Bauelementen

In diesem Abschnitt beschreiben wir Kennlinienfelder, welche zur Charakterisierung von MOSFET-Bauelementen betrachtet werden. Daraus errechnen sich charakteristische Größen, die zum Vergleich verschiedener Transistoren herangezogen werden können. Das Zustandekommen der Kennlinien für die

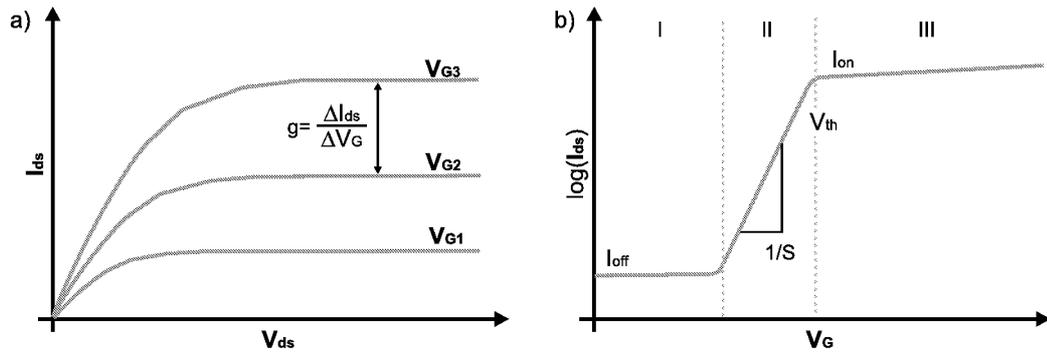


Abbildung 6.7: Schematische Darstellung der wichtigen Kennlinienfelder von MOSFET-Bauelementen; (a) Ausgangskennlinienfeld; (b) Transferkennlinienfeld.

konventionelle Transistortechnologie ist in den Lehrbüchern zur Bauelementphysik [24, 75] zu finden. Da die Funktionsweise der SB-MOSFETs von der konventioneller MOSFETs in einigen Punkten abweicht, wird an dieser Stelle nicht weiter darauf eingegangen, die Kennlinien der SB-MOSFETs werden jedoch im Rahmen der elektrischen Charakterisierung in Kap. 8 erläutert. Abb. 6.7 zeigt die zwei wichtigen Kennlinienfelder von MOSFET-Bauelementen.

Ausgangskennlinienfeld

In Abb. 6.7 (a) ist das Ausgangskennlinienfeld eines Transistors dargestellt. Aufgetragen wird hier der Drainstrom I_{ds} über die angelegte Drainspannung V_{ds} bei verschiedenen Gatespannungen V_G . Bei gegebener Gatespannung steigt zunächst der Drainstrom an, bis er dann bei einem bestimmten Wert absättigt. Die wichtigste Größe, die aus dem Ausgangskennlinienfeld hervorgeht, ist die Steuersteilheit g . Sie ist definiert als die Änderung des Drainstromes I_{ds} mit der Gatespannung V_G bei konstanter Drainspannung V_{ds} im Sättigungsbereich der Kennlinie:

$$g = \left. \frac{\partial I_{ds}}{\partial V_G} \right|_{V_{ds}=\text{const.}} \sim \frac{W_G}{L_G} C_{ox} \sim \frac{W_G}{L_G \cdot d_{ox}} \quad (6.11)$$

Die Steuersteilheit ist ein Maß für die Empfindlichkeit des Transistors und wird aufgrund der Proportionalität auf die Gateweite W_G normiert:

$$g_m = \frac{g}{W_G} \sim \frac{1}{L_G \cdot d_{ox}}. \quad (6.12)$$

Eine Verkleinerung der Kanallänge L_G und der Gateoxiddicke d_{ox} führt also zu einer Vergrößerung der Steilheit.

Transferkennlinienfeld

Abb. 6.7 (b) zeigt das Transferkennlinienfeld eines MOSFETs. Aufgetragen wird logarithmisch der Drainstrom über die Gatespannung bei konstanter Drainspannung. Im Idealfall sollte die Transferkennlinie unabhängig von der Drainspannung sein. Für $V_G=0$ und kleine Gatespannungen (Bereich I) fließt der Leckstrom I_{off} . Dieser sollte möglichst klein sein, um den Leistungsverlust zu minimieren. Oft wird auch der Quotient I_{on}/I_{off} zwischen dem Betriebsstrom I_{on} und dem Leckstrom angegeben.

Eine weitere wichtige Kenngröße eines MOSFET ist die Unterschwellspannungssteigung S . Aus der Transferkennlinie entnimmt man sie als reziproke Steigung des exponentiell ansteigenden Teils der Kurve in Bereich II. Die Größe S wird in mV dec^{-1} angegeben und stellt eine Messgröße für das Schaltverhalten des Transistors dar. S ist im Idealfall möglichst klein, d.h. eine kleine Änderung der Gate-Spannung V_G führt zu einer großen Änderung von I_{ds} in diesem Bereich.

Der Übergang von Bereich II zu Bereich III ist durch die Schwellspannung V_{th} charakterisiert. In einer realen Kennlinie ist dieser Übergangspunkt nicht so abrupt, wie in Abb. 6.7 gezeichnet. Man definiert daher die Schwellspannung oft als Gatespannung, bei der

$$I_{ds}(V_{th}) = \frac{W_G}{L_G} \cdot 10^{-7} A \quad (6.13)$$

bei konstantem V_{ds} gilt.

Die Anforderungen an die Kenngrößen der verwendeten Transistoren der jeweils industriell gefertigten Chipgeneration sind in der ITRS-Roadmap [2] vorgegeben.

Kapitel 7

Herstellung der Schottky-Barrieren MOSFETs

In diesem Kapitel wird die Entwicklung, Herstellung und Struktur der Transistoren beschrieben. Dabei wird zunächst das Layout erläutert und ein Überblick über den Herstellungsprozess gegeben. Anschließend werden die einzelnen Prozessschritte anhand der von uns hergestellten Transistoren näher erläutert.

7.1 Konzept des SB-MOSFETs

Das Konzept unseres SB-MOSFETs beruht auf der in Kap. 4 vorgestellten Methode zur Nanostrukturierung der mittels MBA hergestellten CoSi_2 -Schichten. Abb. 7.1 zeigt eine XTEM-Aufnahme aus Kap. 4.1 mit schematisch eingezeichnetem Transistoraufbau. Die aus dem Strukturierungsverfahren hervorgegangene laterale MSM-Struktur bildet dabei die Grundlage für die Herstellung der MOSFETs. Die beiden Silizidschichten bilden die Source- und Drain-Elektroden. Der Abstand zwischen den beiden Schichten definiert die Kanallänge, die Kerngröße der MOSFET-Struktur. Eine dünne Oxidschicht auf der Auftrennung bildet das Gate-Dielektrikum, auf dem sich die Gateelektrode befindet. Zur elektrischen Charakterisierung der MOSFETs sind die drei Elektroden an große Metallpads kontaktiert.

Layout

Das Layout der Transistoren ist in Abb. 7.2 dargestellt. Die Darstellung zeigt die 5 Lithographiemasken zur Herstellung der MOSFETs. Einige Abmessungen sind in der Skizze angegeben. Der Maskensatz sieht die Herstellung von

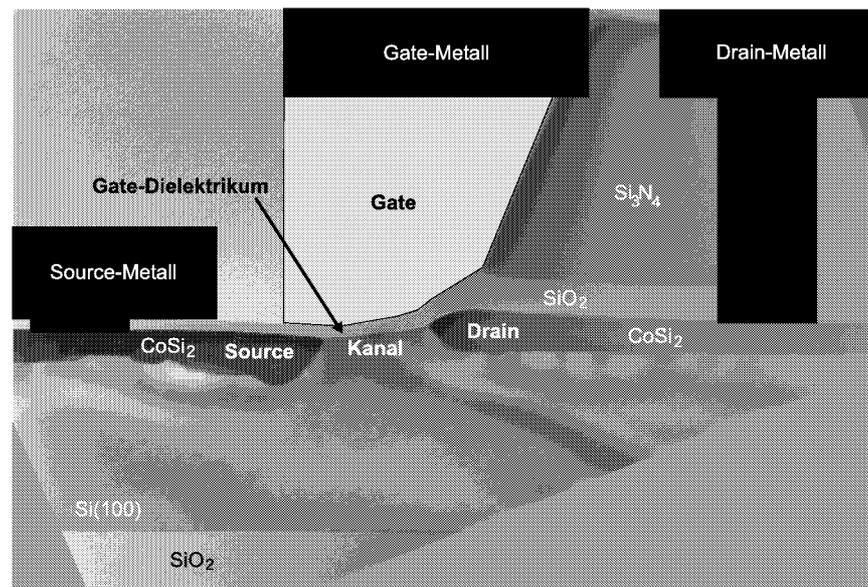


Abbildung 7.1: Veranschaulichung des Konzeptes des SB-MOSFETs anhand eines XTEM-Bildes einer Nanostruktur. Nachträglich eingezeichnet wurden das Gate und die Metallisierungen.

Transistoren mit 7 verschiedenen Gatebreiten W_G zwischen 16 und 76 μm vor. Als Teststrukturen für elektronenmikroskopische Untersuchungen wurden 4 μm breite Linien im Abstand von jeweils 4 μm zur Strukturierung der Nitridmaske in der Maske implementiert.

Prozessführung

Im Folgenden wird die Herstellung der Transistoren dargestellt. Die für die Lithographieschritte benötigten Masken sind mit M1 bis M5 gekennzeichnet und in Abb. 7.2 wiederzufinden. Die schematische Darstellung in Abb. 7.3 zeigt die Transistorherstellung in verschiedenen Prozessphasen. Die Herstellung umfasst folgende Schritte:

1. Aufwachsen der CoSi_2 -Schicht mittels MBA (s. Kap. 2.2)
2. Substratdotierung
 - Ionenimplantation von Bor oder Phosphor
 - Aktivierung im RTP
3. Herstellung der CoSi_2/Si -Pads (Abb. 7.3 (a))

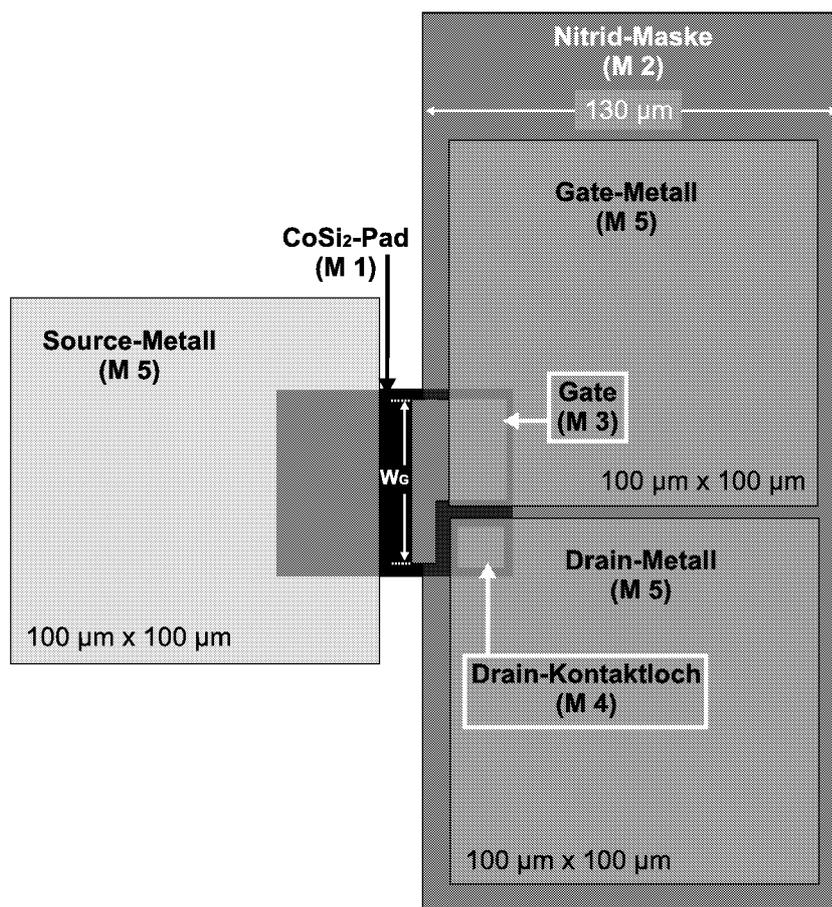


Abbildung 7.2: Schematische Darstellung des Maskenlayouts zur Herstellung der SB-MOSFETs. Die Masken sind nach Reihenfolge der Anwendung von M1-M5 nummeriert.

- Lithographie (positiv M1)
 - Nassätzen von SiO_2 und CoSi_2
 - Zurückätzen von Si mittels RIE
4. Abscheiden der Nitridmaske (Abb. 7.3 (b))
 - Deposition von 20 nm SiO_2 und 300 nm Si_3N_4 mit PECVD
 - Lithographie (positiv M2)
 - RIE-Ätzung der PECVD-Schichten
 5. Lokale Oxidation und Gateoxid (Abb. 7.3 (c))
 - Reinigung
 - Oxidation im RTP in N_2O
 6. Anbringen des Gate-Kontaktes (Abb. 7.3 (d))
 - Deposition von poly-Si mit LPCVD
 - Aktivierung im RTP
 - Lithographie (positiv M3)
 - RIE-Ätzung des poly-Si
 7. Öffnen des Drain-Kontaktfensters Abb. 7.3 (e))
 - Lithographie (negativ M4)
 - RIE-Ätzung von Si_3N_4
 8. Metallisierung der Kontakte (Abb. 7.3 (f))
 - Lithographie (negativ M5)
 - Oxid-Nassätzung
 - Deposition von 20 nm Ti und 300 nm Al
 - Lift-Off in Aceton

7.2 Prozessierung der SB-MOSFETs

In diesem Abschnitt werden die Prozessschritte zur Herstellung der Transistoren näher erläutert. Details zu Einzelprozessen sind in Anhang A zu finden.

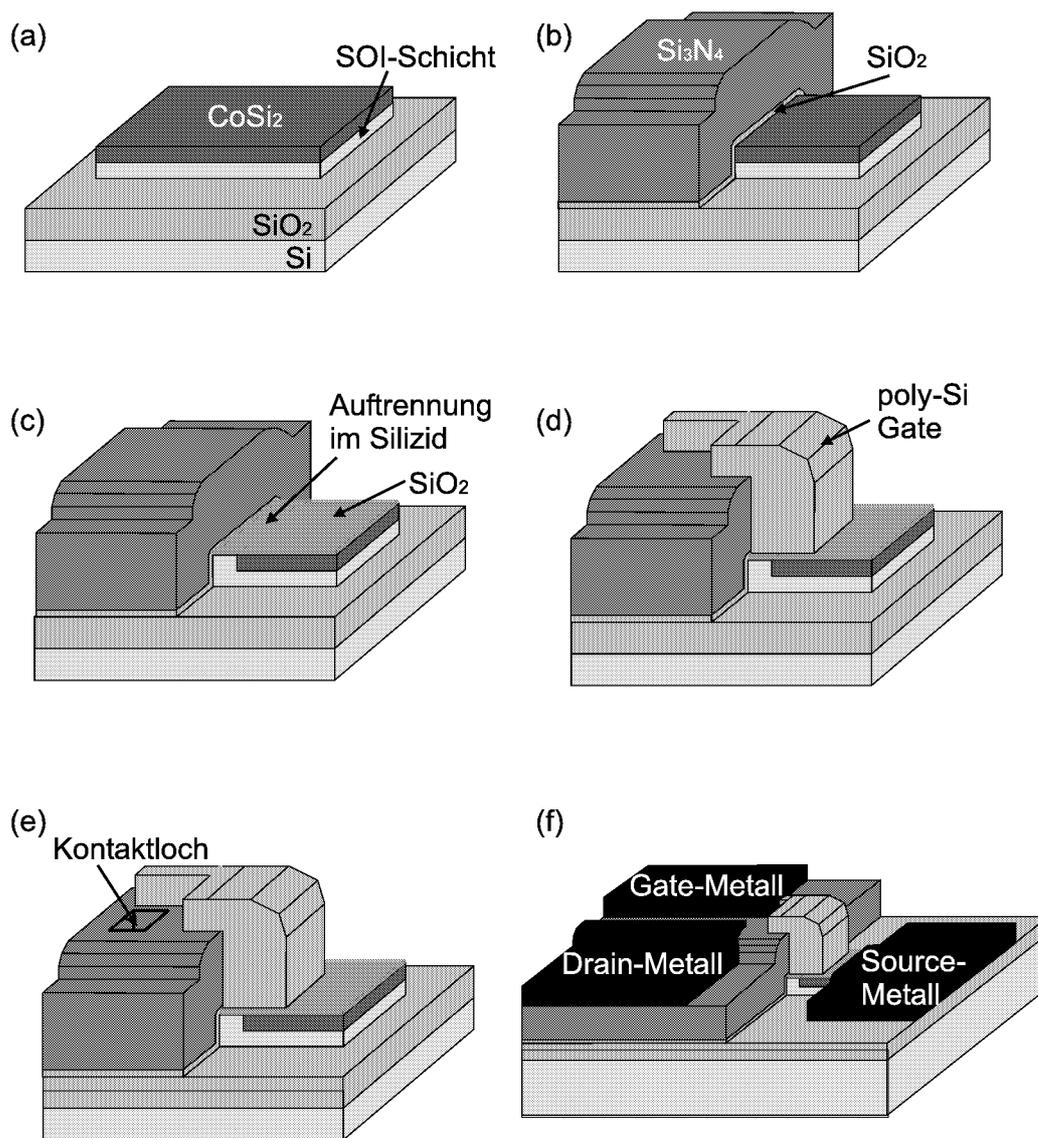


Abbildung 7.3: Schematische Darstellung einiger Herstellungsstufen der SB-MOSFETs; (a) Strukturierung der CoSi_2 -Pads; (b) Anbringen der Nitridmaske; (c) Nanostrukturierung mit LOCOS; (d) Anbringen der Gate-Elektrode; (e) Öffnen eines Drain-Kontaktfensters; (f) Metallisierung der Elektroden.

7.2.1 Herstellung und Dotierung der CoSi_2/Si -Pads

(1) Aufwachsen der CoSi_2 -Schicht

Das Aufwachsen der CoSi_2 -Schichten mittels MBA ist ausführlich in Kap. 2.2 beschrieben. Für die Herstellung der Transistoren auf SOI-Substraten wurde eine 21 nm dicke CoSi_2 -Schicht auf einer ca. 54 nm dicken SOI-Schicht aufgewachsen. Die Dicke der SOI-Schicht setzt sich etwa zur Hälfte aus der ursprünglichen SOI-Schicht und zur anderen Hälfte aus der bei der Alloxidation entstehenden Pufferschicht zusammen. Die ursprüngliche SOI-Schicht ist mit Bor mit einer Konzentration von ca. $1 \cdot 10^{12} \text{ cm}^{-3}$ schwach P-dotiert. Beim Wachstum der Pufferschicht in der MBE-Kammer kommt es zu einer Hintergrunddotierung von ca. $1 \cdot 10^{15} \text{ cm}^{-3}$ welche Schwankungen unterliegt.

Die Silizidschichten werden zunächst auf 100 mm Wafern abgeschieden und vor dem Temperungsschritt in die gewünschte Größe geschnitten. Der Maskensatz des SB-MOSFET ist für Probengrößen von $20 \times 20 \text{ mm}^2$ vorgesehen.

(2) Substratdotierung

Nach dem Aufwachsen der CoSi_2 -Schicht wird das Substrat mit Hilfe der Ionenimplantation moderat dotiert. Prinzipiell funktioniert der SB-MOSFET ohne Substratdotierung, die Implantation ist jedoch notwendig um eine gute Reproduzierbarkeit durch eine definierte Substratdotierung zu gewährleisten. Dies ist auch notwendig, da der Kanal des Transistors und die darunterliegende Schicht aus dem Siliziumpuffer, der beim MBA-Prozess entsteht, gebildet wird. Der Einfluss des Dotierungstyps auf die Arbeitseigenschaften der Transistoren ist in Kap. 8 gezeigt.

Mit der Substratdotierung verändert sich nach Gl. 6.6 die Breite der Verarmungszone im Metall-Halbleiter Übergang und damit die Breite der Schottky-Barriere. Ist die Dotierung zu hoch, so wird der Kontakt ohmisch. Für den Transistor bedeutet dies, dass die Schottky-Kontakte des Silizides ihre Sperrcharakteristik, welche für die Transistorfunktion notwendig ist, verlieren würden. Bei Dotierungen $N_D \leq 1 \cdot 10^{17} \text{ cm}^{-3}$ ist der Tunnelstrom vernachlässigbar [24].

Als geeignete Dotierung für die Herstellung unserer Transistoren hat sich eine Konzentration von etwa $5 \cdot 10^{16} \text{ cm}^{-3}$ erwiesen. Die notwendigen Implantationsparameter wurden mit Hilfe einer Monte-Carlo-Simulation ermittelt, welche in einem Simulationstool der Firma SILVACO implementiert ist. Die daraus ermittelten Implantationsdosen und -energien sind in Tab. 7.1 aufgelistet. Die Simulationen ergaben nach der Aktivierung eine gleichmäßige Dotierung von $5 \cdot 10^{16} \text{ cm}^{-3}$ über die 54 nm dicke SOI-Schicht.

Tabelle 7.1: Implantationsparameter für die Siliziumdotierung der SB-MOSFETs auf SOI-Substraten bei einer Si-Dicke von 54 nm.

Dotierstoff	Energie [keV]	Dosis [cm^{-2}]
$^{11}\text{B}^+$	15	$6,5 \cdot 10^{11}$
$^{31}\text{P}^+$	45	$5,0 \cdot 10^{11}$

Zur Implantation wurden die Proben mit Photolack auf 100 mm Wafer aufgeklebt. Nach der Implantation wurden die Proben mit Hilfe von Aceton und Propanol von dem Wafer abgelöst und vor dem Tempern mit SPM gereinigt. Die Temperung zur Aktivierung der Dotierung wurde im RTP 1 min bei 950°C in N_2 -Atmosphäre durchgeführt.

(3) Herstellung der CoSi_2/Si -Pads

Die Strukturierung der CoSi_2 -Pads erfolgt mit Hilfe der Lithographie und Nass- und Trockenätzen. Der Photolack wird dabei mit der Maske M1 im Positivprozess strukturiert und anschließend bei 150°C ca. 5 min für die Ätzung ausgehärtet. Dann wird zunächst das SiO_2 auf der Silizidschicht mit Hilfe von AF91 bei einer Ätzzeit von 30 s entfernt. Anschließend wird das Silizid mit der CoSi_2 -Ätzlösung (2 min) und AF91 (30 s) entfernt. Um Oberflächenströme zu minimieren und die individuellen Transistoren gegeneinander zu isolieren wird anschließend das freiliegende Silizium im Ar/SF_6 -Plasma bis auf die vergrabene Oxidschicht zurückgeätzt. Der Ätzstop wird dabei interferometrisch bestimmt. Der Photolack wird anschließend wiederum mit Hilfe von Aceton und Propanol entfernt und dann die Probe mit SPM gereinigt.

Die CoSi_2 -Pads besitzen eine Länge von $50 \mu\text{m}$. Die Breiten liegen zwischen 10 und $80 \mu\text{m}$ in $10 \mu\text{m}$ -Schritten. Damit können Transistoren verschiedener Gateweiten W_G hergestellt werden. Die Nassätzung des Silizides erzeugt relativ ungleichmäßige Kanten und ist zur Herstellung kleiner Strukturen nicht geeignet, für die großen Silizidpads ist dies jedoch unproblematisch.

7.2.2 Nanostrukturierung und Gateoxid

(4) Abscheiden der Nitridmaske

Für die Nitridmaske werden zunächst 20 nm SiO_2 und 300 nm Si_3N_4 mit Hilfe der PECVD aufgebracht. Nach anschließender Reinigung (SPM) wird die Nitridmaske mit Lithographie (Positivprozess M2) und RIE strukturiert.

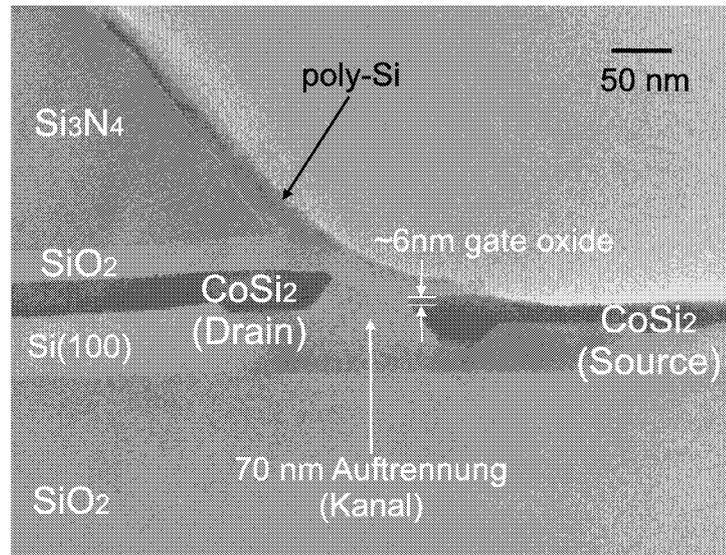


Abbildung 7.4: XTEM-Bild einer Teststruktur aus dem Transistorchip.

Nach der Lithographie wird der Lack wieder bei 150°C zur Festigung ausgehärtet. Die anschließende RIE-Ätzung wird im CHF₃/CF₄-Plasma durchgeführt. Hier ist ein genauer Ätzstopp auf dem Silizid notwendig. Dieser wird interferometrisch bestimmt. Die Qualität der Lithographie hat einen Einfluss auf die Homogenität und Steilheit der Ätzkante des Nitrides und beeinflusst damit den Strukturierungserfolg im nächsten Prozessschritt. Die Lithographie muss daher in diesem Schritt sehr sorgfältig und möglichst partikelfrei durchgeführt werden.

(5) Lokale Oxidation und Gateoxid

Dies ist der Schlüsselschritt bei der Transistorherstellung und erfordert daher besondere Sorgfalt. Nach Entfernen des Photolackes wird die Probe in SPM-Lösung sorgfältig gereinigt. Direkt vor der Oxidation im RTP wird das bei der Reinigung entstandene chemische Oxid mit einer 0,5%-igen HF-Lösung entfernt. Diese Ätzung wird ca. 20 s lang durchgeführt. Dabei sollte die Nitridmaske nicht unterätzt werden, damit sich die Auftrennung nicht unter die Maske verschiebt. Um eine gute Wasserstoffpassivierung zu gewährleisten, wird die Probe nach dem HF-Dip genau 1 min in DI-Wasser gespült, bevor sie unmittelbar anschließend im RTP oxidiert wird. Die von uns hergestellten Transistoren wurden bei 950°C 1 min in N₂O oxidiert. Abb. 7.4 zeigt das XTEM-Bild einer Teststruktur aus dem Transistorchip. Die Auftrennung im

Silizid und damit die Kanallänge beträgt ca. 70 nm. Das bei der Strukturbildung auf der Auftrennung entstehende nitrierte SiO_2 mit einer Dicke von ca. 5-6 nm wird direkt als Gatedielektrikum verwendet. Das poly-Si in der Abbildung entspricht nicht der Form der Gate-Elektrode auf dem Transistor.

7.2.3 Gate-Kontakt und Metallisierung

(6) Anbringen des Gate-Kontaktes

Direkt nach der Oxidation wird die Probe zur Deposition von hochdotiertem poly-Si in die LPCVD-Kammer geladen. Bei den von uns vorgestellten Proben wurden 200 bzw. 250 nm n^+ -poly-Si aufgebracht. Nach einer Reinigung in SPM-Lösung wird die Probe bei 950°C 1 min in N_2 getempert, um die Dotierung zu aktivieren. Anschließend wird die poly-Si-Schicht mit Lithographie (positiv M3) und RIE strukturiert. Zur Ätzung wurde ein Ar/ SF_6 -Plasma verwendet und der Ätzstopp interferometrisch bestimmt.

(7) Öffnen des Drain-Kontaktfensters

Das Drain-Kontaktfenster wird mittels Lithographie (negativ M4) und RIE-Ätzung (CHF_3/CF_4 -Plasma) mit interferometrisch bestimmten Ätzstopp geöffnet. Anschließend folgt das übliche Entfernen des Photolacks mit Aceton und Propanol und die Reinigung in SPM-Lösung.

(8) Metallisierung der Kontakte

Die Metallisierung der Kontakte erfolgt mit Hilfe des Lift-Off-Prozesses. Dabei werden zunächst mit Lithographie (negativ M5) die Fenster zur Metallisierung geöffnet. Die Metallisierungspads haben eine Größe von $100 \times 100 \mu\text{m}^2$, so dass die Transistoren leicht am Vierspitzenmessplatz kontaktiert werden können. Nach der Lithographie wird das Oxid, welches sich im Wesentlichen auf der Source-Silizidschicht befindet, mit AF91 in 30 s entfernt. Drain- und Gate-Kontakt werden von dieser Ätzung kaum beeinflusst. Anschließend werden sequentiell 20 nm Titan und 300 nm Aluminium mit Hilfe der Elektronenstrahlverdampfung aufgebracht. Die Titanschicht sorgt dabei im Wesentlichen für eine gute Haftung der Aluminiumschicht. Dann wird der Lack mit Aceton und Propanol entfernt, so dass die Kontaktflächen strukturiert sind. Abb. 7.5 zeigt ein SEM-Bild eines fertigen SB-MOSFET mit einer Gateweite von $16 \mu\text{m}$.

In Tab. 7.2 sind einige Parameter der untersuchten SB-MOSFETs aufgelistet. Zusammenfassend zeichnet sich die Herstellung der Transistoren durch

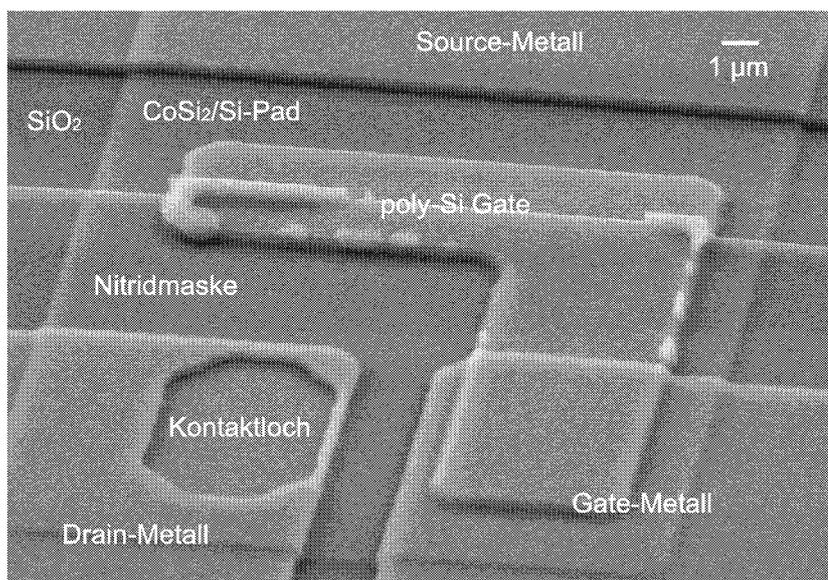


Abbildung 7.5: REM-Bild eines SB-MOSFET mit einer Gateweite von 16 μm .

Tabelle 7.2: Parameter der untersuchten SB-MOSFETs (XFET01 und XFET04)

	Gatelänge L_G	Dotierung	Gateoxid d_{ox}	Gatekontakt
XFET01	70 nm	B $5 \cdot 10^{16} \text{ cm}^{-3}$	5 nm	n ⁺ -poly-Si
XFET04	70 nm	P $5 \cdot 10^{16} \text{ cm}^{-3}$	5 nm	n ⁺ -poly-Si

folgendes aus:

- Herstellung der Transistoren aus selbstassemblierten Nanostrukturen.
- Verwendung einfacher optischer Lithographie zur Erzeugung von Strukturen im Mikrometerbereich.
- Nur 5 Lithographieschritte.

Das hier vorgestellte Konzept stellt damit ein interessantes Forschungsobjekt zum Studium von Schottky-Barrieren MOSFETs dar.

Kapitel 8

Elektrische Charakterisierung der MOSFETs

In diesem Kapitel werden die elektrischen Eigenschaften der hergestellten Transistoren untersucht. Dabei werden im ersten Teil zunächst die Schottky-Kontakte charakterisiert. Im zweiten Teil werden dann die Transistorkennlinien vorgestellt und erläutert und im dritten Teil die Ergebnisse diskutiert.

8.1 Schottky-Kontakte

Um die Schottky-Barrieren in der Transistorstruktur zu bestimmen, wurde die Diodencharakteristik von Source und Drain gemessen. Abb. 8.1 zeigt die Sperrcharakteristik der Source- und Drain-Dioden eines SB-MOSFET auf n-SOI. Aus Gl. 8.1 kann man über den Sättigungssperrstrom die Barrierenhöhe berechnen:

$$\Phi_B = \frac{k_B T}{q} \ln \left(\frac{A A^{**} T^2}{I_S} \right). \quad (8.1)$$

Bei der niedrigen Dotierung kommt es nur zu einer geringen Bandverbiegung in der MSM-Struktur. Der Leckstrom sollte dann hauptsächlich über Löcher stattfinden, da die Barrierenhöhe für Löcher bei CoSi_2 geringer ist als die für Elektronen. Bei der Berechnung von Φ_B wurde deshalb für A^{**} der Wert für Löcherleitung eingesetzt. Die Fläche A der Dioden ergibt sich aus der Aufteilung der Fläche des CoSi_2 -Pads durch die Nanostrukturierung. Die CoSi_2 -Source-Diode des gemessenen Transistors hat eine Größe von $80 \times 30 \mu\text{m}^2$, die Drain-Diode eine Größe von $80 \times 20 \mu\text{m}^2$.

Die Sättigungssperrströme können aus Abb. 8.1 über die Extrapolation der Sperrströme auf 0 V abgelesen werden. Daraus ergeben sich für Source und Drain Barrierenhöhen von 0,48 bzw. 0,56 eV. Diese liegen höher, als die

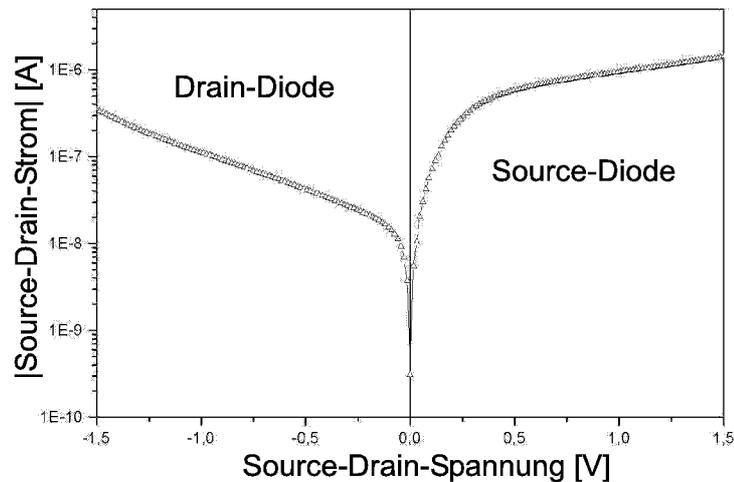


Abbildung 8.1: Sperrcharakteristik der Source- und Drain-Dioden.

auf p-Si von Zhao *et al.* gemessenen 0,42 eV [8]. Ein Grund dafür kann die n-Dotierung sein, welche die Barriere für Löcher effektiv leicht erhöht. Die in der Literatur angegebenen Werte für die Barrierenhöhe von CoSi_2 für Löcher liegt bei 0,46 eV [14].

Schottky-Barrierenhöhen werden stark von Grenzflächeneigenschaften beeinflusst und können daher um einige Zehntel eV in verschiedenen Systemen gleicher Materialien voneinander abweichen [86]. Die höhere Barriere an der Drain-Seite kann auf eine unterschiedliche Prozessierung der Source- und Drain-Seite zurückzuführen sein, da z.B. die Source-Seite oxidiert wurde, die Drain-Seite jedoch nicht. Außerdem kann die Nitridmaske einen Einfluss auf die Barriere der Drain-Diode haben. Das Spannungsfeld sowie die Passivierungseigenschaften können hier eine Rolle spielen.

8.2 SB-MOSFET auf p-SOI und n-SOI

Die Ausgangskennlinienfelder eines auf p-SOI hergestellten Transistors sind in Abb. 8.2 dargestellt. Der n-Kanal Betrieb (a) entspricht hier dem Inversions-Modus, der p-Kanal Betrieb (b) dem Akkumulations-Modus. Dargestellt sind hier die auf die Gateweite W_G normierten I-V-Kennlinien eines SB-MOSFET mit einer Gateweite von $16 \mu\text{m}$. Beide Modi zeigen deutlich den für SB-MOSFETs typischen exponentiellen Anstieg der Kennlinien, bevor der Transistor in Sättigung geht. Dieser exponentielle Anstieg des Drainstromes mit der Drainspannung ist bedingt durch die Asymmetrie der Tunnelbarrieren,

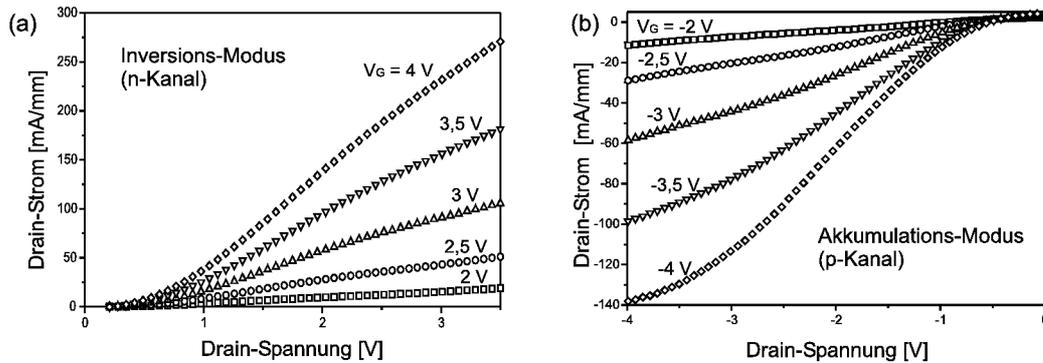


Abbildung 8.2: I-V-Kennlinienfelder des SB-MOSFET auf p-SOI; (a) n-Kanal; (b) p-Kanal.

welche zu einer Verdünnung der Source-Barriere mit steigender Drainspannung führt [80]. Der Kanalwiderstand führt letztendlich zu einer Sättigung der Kennlinien. Der n-Kanal-Modus zeigt eine gute Steilheit g_m von 200 mS mm^{-1} , während die Steilheit des p-Kanal-Modus bei 80 mS mm^{-1} liegt. Die Asymmetrie beider Betriebsmodi ist auf die Verwendung eines n^+ -poly Gates zurückzuführen. Unter Berücksichtigung eines Gatespannungsunterschiedes von ca. 1 V sind die Ströme beider Modi vergleichbar.

Das Transferkennlinienfeld des Inversions-Modus ist in Abb. 8.3 gezeigt. Im Unterschied zum konventionellen MOSFET, bei dem der Leckstrom über einen Diffusions- und Generationsstrom zustande kommt, ist der Leckstrom des SB-MOSFET im Wesentlichen durch die thermische Emission über die Schottky-Barriere gegeben [87]. Wegen der niedrigeren Barriere von CoSi_2 für Löcher wird der Leckstrom vorwiegend ein Löcherstrom sein. Der Leckstrom steigt dabei (bei $V_G=0$) mit zunehmender Drainspannung an. Durch den Schottky-Effekt, sowie durch das effektive Abnehmen der Barrierenbreite W bei Erhöhung der Drainspannung, lässt sich dieser Effekt erklären. Steigt die Gate-Spannung an, so wird der Löcherstrom zunächst niedriger, bevor der Elektronenstrom im n-Kanal zum üblichen Ansteigen der Transferkennlinie führt.

Abb. 8.4 zeigt die Ausgangskennlinien eines SB-MOSFET auf n-SOI. Hier entspricht der n-Kanal Betrieb (a) dem Akkumulations-Modus, der p-Kanal Betrieb (b) dem Inversions-Modus. Die I-V-Kennlinien zeigen eine ähnliche Form, wie die der Transistoren auf p-SOI. Dargestellt sind hier die auf die Gateweite normierten Kennlinien eines SB-MOSFET mit einer Gateweite W_G von $76\text{ }\mu\text{m}$. Bis auf geringe prozessbedingte Abweichungen skalieren die Kennlinien gut mit der Gateweite. Der wesentliche Unterschied zwischen den

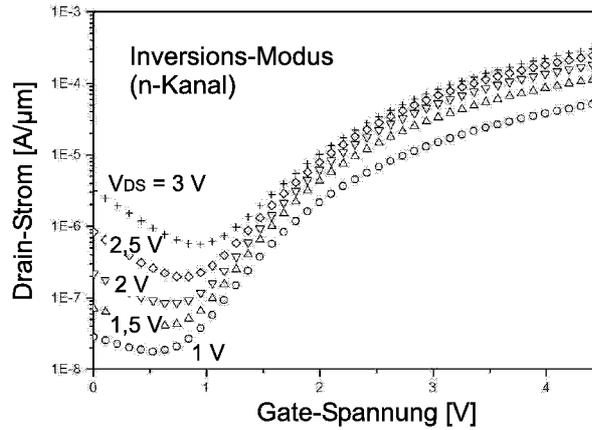


Abbildung 8.3: Transferkennlinienfeld des SB-MOSFET auf p-SOI im Inversions-Modus.

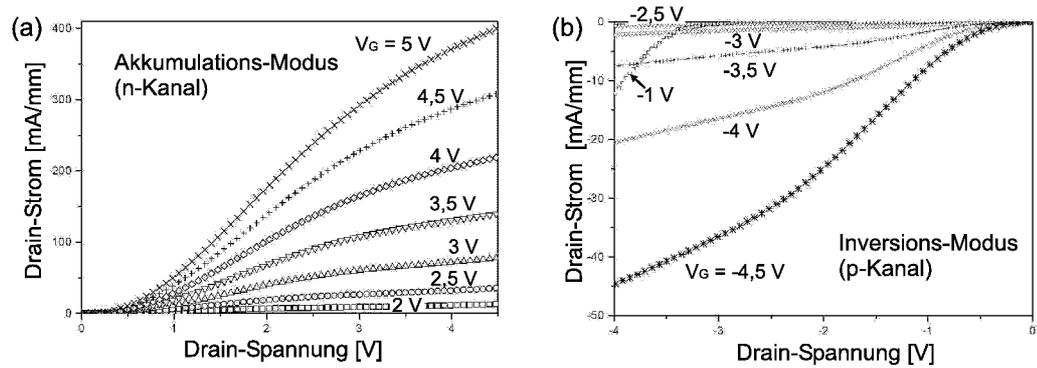


Abbildung 8.4: I-V-Kennlinienfelder des SB-MOSFET auf n-SOI; (a) n-Kanal; (b) p-Kanal.

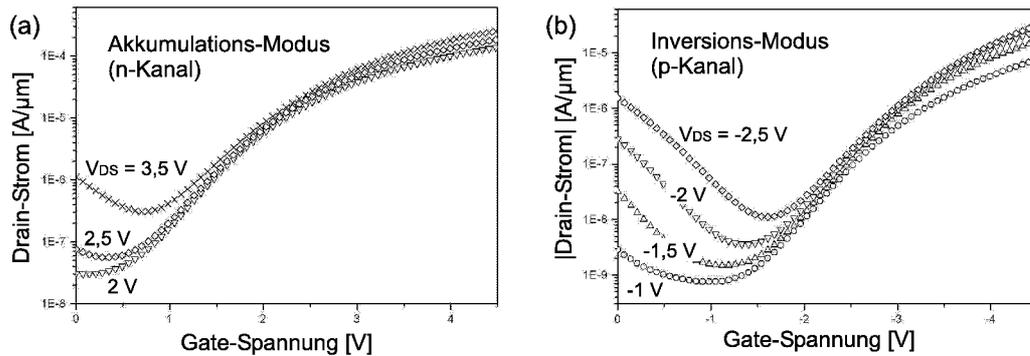


Abbildung 8.5: Transferkennlinienfeld des SB-MOSFET auf n-SOI; (a) n-Kanal; (b) p-Kanal.

beiden Substratdotierungen liegt in der Höhe des Drainstroms. Während der n-Kanal-Modus bei beiden Dotierungstypen vergleichbare Stromstärken zeigt, zeichnet sich der p-Kanal-Modus auf n-SOI als Inversions-Modus durch wesentlich geringere Ströme als der auf p-SOI aus, was durch den Dotierungstyp zu erwarten ist. Die Steilheit g_m des n-Kanal-Modus ist mit etwa 190 mS mm^{-1} vergleichbar der auf p-SOI, der p-Kanal-Modus zeigt nur eine Steilheit g_m von 50 mS mm^{-1} .

Die Transferkennlinienfelder beider Modi in Abb. 8.5 zeigen höhere Leckströme bei $V_G=0$ im Inversions-Modus im Vergleich zum Akkumulations-Modus. Das kann auf die für beide Elektroden unterschiedlichen Barrierrhöhen zurückzuführen sein. Das Abfallen des Drain-Stromes bei kleinen Gatespannungen ist im n-Kanal-Modus erwartet, im p-Kanal-Modus jedoch mit o.g. Argument nicht zu erklären.

8.3 Diskussion der Ergebnisse

Die aus den Kennlinien bestimmten typischen Kenngrößen beider Modi sind in Tab. 8.1 zusammengefasst. Die Schwellspannungen sind dabei über Gl. 6.13 berechnet worden. Die relativ hohen Werte für die Unterschwellspannungssteigungen sowie für die Schwellspannungen sind auf die hohe Schottky-Barriere des Kobaltdisilizides zurückzuführen. Trotz des geringen Schichtwiderstandes sind niedrige Barrieren notwendig, um die Kontaktwiderstände, die an der Barriere entstehen, zu minimieren [88]. Daher werden für die Herstellung von SB-MOSFETs meist verschiedene Silizide für p- und n-Kanal MOSFETs mit kleinen Schottky-Barrieren verwendet. Für n-Kanal Transis-

Tabelle 8.1: Elektrische Kenngrößen des SB-MOSFET auf p-SOI (XFET01) und n-SOI (XFET04).

	SB-MOSFET auf p-SOI (XFET01)		SB-MOSFET auf n-SOI (XFET04)	
	n-Kanal (Inv.)	p-Kanal (Akk.)	n-Kanal (Akk.)	p-Kanal (Inv.)
g_m [mS mm ⁻¹]	200	80	190	50
V_{th} [V]	1,7		1,6	3
S [mV dec ⁻¹]	540		680	530
I_{on}/I_{off}	$3 \cdot 10^3$		$1,5 \cdot 10^4$	

toren eignet sich PtSi [89, 90] und für p-Kanal ErSi₂ [91, 92]. Die niedrige Barriere von PtSi für Elektronen von ca. 0,2 eV und von ErSi₂ für Löcher von 0,39 eV ermöglichen dabei niedrige Schwellspannungen und hohe Ströme. Die hohen Barrieren für Löcher bei PtSi bzw. Elektronen bei ErSi₂ minimieren dabei den Leckstrom über die Majoritätsladungsträger. Der Minoritätsladungsträger-Leckstrom über die niedrigen Barrieren stellt jedoch ein Problem dar [89]. Dieses kann jedoch durch die Verwendung von SOI-Substraten mit sehr dünnen Si-Schichten beseitigt werden [91, 93]. Die Verwendung von Schottky-Kontakten als Source bzw. Drain unterdrückt den dabei auftretenden floating-body-effect [92].

Zur Herstellung von CMOS-Schaltkreisen sollten demnach zwei verschiedene Silizide verwendet werden [91]. ErSi₂ als potentieller Kandidat für p-Kanal SB-MOSFETs ist aufgrund der hohen Reaktivität des Erbiums technologisch schwer zu integrieren.

Die annähernd symmetrischen Barrieren von CoSi₂ lassen unter der Verwendung eines Midgap-Gatematerials eine weitgehend symmetrische Arbeitsweise erwarten. Die bisher von uns verwendeten SOI-Schichtdicken sind mit 54 nm noch zu dick, um Leckströme wirksam zu unterdrücken. Bei einer Abdünnung der SOI-Schichtdicke auf ca. 20 nm (s. Kap. 2.2.4) werden auch die Leckströme noch weit reduziert.

Außer den hier hergestellten SB-MOSFETs, wird über CoSi₂ nur als Source-Kontakt in einem Transistor mit einer Gatelänge von 5 μm berichtet [94]. Der Drain-Kontakt ist dabei als normale n⁺-p-Diode ausgelegt. Hier wird bei hohen angelegten Gate- und Drainspannungen die Entstehung von heißen Elektronen beobachtet, welche zur Degradation der Bauelementstruktur führen. Bei kleinen Transistoren, welche mit niedrigen Betriebsspannun-

gen laufen, können die heißen Elektronen jedoch ein Vorteil für die Schaltgeschwindigkeit bieten [94].

Der Einfluss eines Schottky-Kontaktes als Drain wird von Huang *et al.* untersucht [95]. Hier wird ein TiSi_2/Si -Schottky-Kontakt als Drain mit einer konventionellen $\text{p}^+\text{-n}$ -Diode in Transistoren mit $0,9 \mu\text{m}$ Gatelänge verglichen. Die in CMOS-Schaltkreisen auftretenden parasitären bipolar-Transistor Effekte können mit Hilfe des Schottky-Drain Kontaktes vermieden werden, die Transistoren zeigen jedoch höhere Schwellspannungen und etwas verminderte Drainströme.

Insgesamt weist der vorgestellte SB-MOSFET trotz der hohen Barrieren im Literatur-Vergleich ein gutes Schaltverhalten auf. Die selbstassemblierte Strukturierung stellt dabei eine Innovation bei der Definition der Kanallänge dar. SB-MOSFETs mit Kanallängen von 20 nm [91] wurden bisher mit Elektronenstrahlolithographie oder Schrumpfen des Photolackes erzeugt, welche nur im Labormaßstab möglich sind. Die in Kap. 4.2 vorgestellten Ergebnisse lassen auch für unseren Prozess eine Skalierung der Kanallänge in den Bereich von 20 nm möglich erscheinen. Die Verwendung von CoSi_2 stellt von der Materialseite einen großen Vorteil dar, da das Material außerordentlich gute strukturelle und elektrische Eigenschaften aufweist und daher bereits weiten Einsatz in der Mikroelektronik findet. Die Verwendung epitaktischer Strukturen verbessert die Morphologie der Schichten und vermeidet störende Korngrenzen.

Zusammenfassung

Ziel der vorliegenden Arbeit war die Untersuchung eines neuartigen, selbst-assemblierten Strukturierungsverfahrens zur Herstellung von CoSi_2/Si -Nanostrukturen und die Herstellung und Charakterisierung von Ultrakurzkanal Schottky-Barrieren MOSFETs auf der Basis dieser Strukturen. Dabei ist es erstmals gelungen, minimale Abstände von ≈ 20 nm zwischen zwei CoSi_2 -Teilschichten, sowie dünne epitaktische Siliziddrähte mit Durchmessern von 50 nm auf konventionellen Si(100) und (100)-orientierten silicon-on-insulator (SOI) Substraten zu realisieren. Es konnte auch erstmals eine Struktur-bildung direkt bei der Silizidbildung erzeugt werden. Desweiteren konnten mit dieser Strukturierungstechnik Schottky-Barrieren MOSFETs mit Kanallängen von 70 nm auf dünnen SOI-Substraten hergestellt werden.

Das Strukturierungsverfahren beruht auf der anisotropen Diffusion im elastischen Spannungsfeld der Kante einer $\text{Si}_3\text{N}_4/\text{SiO}_2$ -Maskenstruktur, wie sie in der Halbleiterprozesstechnik standardmäßig im sog. LOCOS-Prozess (LOCAL Oxidation of Silicon) eingesetzt wird. Das Hauptgewicht der Untersuchungen lag in der selbstassemblierten Strukturierung epitaktischer CoSi_2 -Schichten durch lokale Oxidation von Siliziden (LOCOSI). Bei der Oxidation von CoSi_2/Si -Heterostrukturen entsteht nicht etwa ein Metalloxid, sondern es bildet sich SiO_2 auf der Oberfläche, während das Silizid dissoziiert und das freiwerdende Kobalt zur CoSi_2/Si -Grenzfläche diffundiert, dort mit dem Substrat reagiert und wieder CoSi_2 bildet. Dadurch wird die CoSi_2 -Schicht als geschlossene Schicht in das Substrat hineinverlagert. An der Kante der Nitridmaske werden die Diffusionsvorgänge durch die dort vorliegenden elastischen Verspannungen modifiziert, so dass sich dort die Silizidschicht im Übergangsbereich zwischen maskierten und unmaskierten Bereichen auftrennt. Auf diese Weise können mit Hilfe einfacher optischer Lithographie zur Erzeugung der Maske im Mikrometerbereich Strukturen im Deka-Nanometerbereich hergestellt werden.

Das Verfahren wurde zur Strukturierung von ca. 20-30 nm dicken epitaktischen CoSi_2 -Oberflächenschichten auf Si(100) und (100)-orientierten SOI-Substraten, welche mit Hilfe der Molekularstrahlallotaxie hergestellt wurden,

verwendet. Die Silizidschichten zeichnen sich durch eine hervorragende Kristallqualität und außerordentliche Temperaturstabilität von bis zu 1200°C aus. Die gute Kristallqualität spiegelt sich in Minimum-Yield-Werten der RBS/Channeling-Analyse von ca. 4% wieder. Die erstmalige Verwendung der technologisch wichtigen SOI-Substrate bei dieser Methode zeigte bis zu Siliziumschichtdicken von insgesamt 54 nm keinen wesentlichen Einfluss auf das Wachstum der CoSi_2 -Schichten.

Mit Hilfe der Trockenoxidation im Quarzlampeofen (RTP) konnten reproduzierbar homogene Strukturierungen auf beiden Substrattypen erzielt werden. Eine 1-minütige Oxidation 20 nm dicker Schichten bei 950°C in N_2O führt zu einem Abstand der CoSi_2 -Teilschichten von etwa 40 nm.

Die Ausrichtung der Nitridmaske spielt bei der Strukturierung eine entscheidende Rolle. Eine Orientierung der Nitridmaske entlang einer $\langle 110 \rangle$ -Richtung des Substrates ist erforderlich um eine homogene Separation parallel zum Maskenverlauf zu erzeugen. Die Ursache dafür ist, dass sich die energetisch günstigen $\{111\}$ -Facetten der CoSi_2/Si -Grenzfläche, die in diese Richtung laufen, an den Rändern der Auftrennung ausbilden können. Diese Facetten haben eine hoch stabilisierende Wirkung auf den Strukturierungsprozess, und sind für die außergewöhnliche Gleichmäßigkeit der Strukturen verantwortlich.

Die intrinsischen Spannungen der Nitridschicht sind verantwortlich für das im Substrat erzeugte Spannungsfeld. Eine Mindestschichtdicke von 300 nm und eine minimale Strukturbreite von 3 μm sind notwendig, um ausreichend große Spannungen für eine gleichmäßige Strukturierung der Schichten auf konventionellen Si(100)-Substraten zu erzeugen. Aufgrund der viskoelastischen Eigenschaften der vergrabenen Oxidschicht während der Oxidation konnten gleichmäßige Strukturierungen von CoSi_2 -Schichten auf SOI-Substraten schon bei einer Nitridschichtdicke von 200 nm und einer Linienbreite von 2 μm erreicht werden.

Mit Hilfe einer Nassoxidation im Rohofen bei 600°C konnten die Strukturbreiten auf bis zu 15 nm verkleinert werden. Die immer noch hohe Oxidationsrate des Silizides bei dieser Temperatur bewirkt ein Verschieben der Silizidschicht an den Ränder der Auftrennung in eine $\langle 111 \rangle$ -Richtung und führt zu einer effektiven Verkleinerung bis zum Zusammenwachsen der beiden Teilschichten. Die niedrige Temperatur lässt dabei nur eine geringe laterale Diffusion zu, die ein weiteres Auseinanderdiffundieren der Schichten verhindert.

Die lokale Oxidation konnte weiterhin dazu verwendet werden, CoSi_2 -Drähte mit Durchmessern von bis zu 50 nm herzustellen. Dabei werden zunächst die unmaskierten Bereiche der Silizidschicht von den maskierten durch lokale Oxidation abgetrennt. Selektives Zurückätzen des Oxides un-

ter der Nitridschicht verschiebt das Spannungsfeld unter die Maskenkante, so dass sich bei einer weiteren Oxidation die Silizidschicht unter der Maske ein zweites mal auftrennt und so bei geeigneten Prozessparametern dünne epitaktische Siliziddrähte entlang der Maskenkante entstehen.

Die Drähte weisen durch die Bildung der $\{111\}$ -Facetten im Querschnitt eine dreieckige Form auf und erwiesen sich damit als äußerst temperaturstabil bis zu 1100°C .

Alternativ führt auch das Entfernen der unmaskierten CoSi_2 -Schicht mit Hilfe von Sputtern zur Entstehung dünner Drähte. Auf diese Weise konnten Drähte mit großen Kontaktflächen für elektrische Messungen erzeugt werden.

Die Siliziddrähte konnten zur Herstellung dünner silizidierter Si-Nanostege verwendet werden. Der Draht dient dabei als Ätzmaske für die anisotrope RIE-Ätzung des Siliziumsubstrates. Solche Strukturen sind als Basisstruktur für neue, dreidimensionale Bauelementstrukturen wie vertikale MOSFETs einsetzbar. Der Draht kann hierbei direkt als Top-Kontakt dienen.

Das Prinzip der spannungsinduzierten Strukturierung konnte erfolgreich auf die Strukturierung dünner CoSi_2 -Schichten während der Silizidbildung übertragen werden. Dabei wurden zwei Systeme untersucht. Deponiert man Kobalt bei Raumtemperatur auf Si(100), so bildet sich bei geeignetem Tempern polykristallines CoSi_2 . Deckt man vor der Reaktion einen Teil dieser Schicht mit der oben beschriebenen Maskentechnik ab, so entsteht bei geeigneter Prozessführung eine Auftrennung von ca. 100 nm Breite zwischen den entstehenden CoSi_2 -Teilschichten. Die Kanten der Auftrennung zeigen eine durch den polykristallinen Charakter bedingte wellige Struktur.

Desweiteren wurde ein Schichtsystem bestehend aus einer chemisch erzeugten SiO_2 -Schicht und anschließend nacheinander bei Raumtemperatur aufgedampftem Kobalt und Titan eingesetzt. Dies führt bei geeigneter Temperatur zur Bildung von epitaktischem CoSi_2 . Der Prozess wurde soweit optimiert, dass mit Hilfe von Zweistufentemperaturen ca. 30 nm dicke epitaktische CoSi_2 -Schichten mit guter Kristallqualität hergestellt werden konnten, die in der RBS/Channeling-Analyse ein für dieses Verfahren bemerkenswert niedrigen Minimum-Yield-Wert von 6 % erreichten.

Bringt man vor der Silizidierung die Nitridmaske auf, so entsteht während der Reaktion an den Rändern eine gleichmäßige Auftrennung von ca. 100 nm Breite. Die Maske beeinflusst die Diffusionsvorgänge während der Silizidbildung, so dass sich eine in-situ strukturierte Schicht bildet. Der Vorteil dieser Technik liegt in der industriekompatiblen Herstellung der Ausgangsschichtsysteme.

Mit der selbstassemblierten Strukturierung der epitaktischen CoSi_2 -Schichten wurden planare Ultrakurzkanal Schottky-Barrieren-MOSFETs auf dünnen SOI-Substraten hergestellt. Die dabei entstehenden Silizidteilschichten bilden

die Source- und Drain-Kontakte, der Abstand zwischen den beiden Schichten definiert die Kanallänge. Auf diese Weise konnten SB-MOSFETs mit Kanallängen von 70 nm auf SOI hergestellt werden. Aufgrund der annähernd symmetrischen Barrierenhöhen von CoSi_2 auf p- und n-Silizium können die Transistoren als n- und p-Kanal MOSFETs betrieben werden. Die mit einem n^+ -poly-Si-Gate ausgestatteten SB-MOSFETs weisen gute Steilheiten von 200 mS mm^{-1} im n-Kanal-Modus auf.

Die einfache Herstellung selbstassemblierter epitaktischer CoSi_2 -Nanostrukturen besitzt ein hohes Anwendungspotential für innovative mikroelektronische Anwendungen, was durch die Herstellung von Ultrakurzkanal SB-MOSFETs klar demonstriert werden konnte.

Die selbstassemblierte Nanostrukturierung und die SB-MOSFET-Entwicklung waren in ein von der HGF gefördertes Strategiefondsprojekt "Extended Silicon MOSFET" eingebunden und trugen entscheidend dazu bei, die angestrebten Meilensteine zu erfüllen.

Anhang A

Probenprozessierung

In diesem Kapitel werden die experimentellen Apparaturen kurz beschrieben und einige häufig angewandte Reinraumprozesse ausführlich erklärt.

A.1 Die Reinraumumgebung

Die Mikro- bzw. Nanotechnologie stellt immer höhere Anforderungen an die Kontaminationsfreiheit der Prozesswerkzeuge bzw. der Prozessumgebung. Um eine möglichst partikelfreie Arbeitsumgebung zu erreichen, wurde Anfang der 60-iger Jahre das Konzept des Laminar-Flow-Reinraums entwickelt, ein Labor, welches sich durch eine über laminare Strömung erreichte hohe Luftumwälzung sowie konstante Luftfeuchtigkeit und Temperatur auszeichnet [71]. Während die Prozesswerkzeuge als weitgehend geschlossene Einheiten individuell den gehobenen Ansprüchen angepasst werden müssen, hat man sich für die Reinräume auf internationale Standards geeinigt. Die Reinraumklassifikation erfolgt dabei über die Anzahl von in der Luft befindlichen Partikeln bestimmter Größe und ist in Tab. A.1 aufgelistet. In der Industrie verwendet man heute sogenannte Mini-Enviroments, wo die Wafer in inerter Atmosphäre von Prozess zu Prozess transportiert werden, ohne der Umgebung ausgesetzt zu sein. Tab. A.2 zeigt einen Ausschnitt der für die jeweiligen Technologiegenerationen in der Produktion erforderlichen Reinraumklassen. Die strikten Anforderungen sind nötig, um die bei der Hochintegration erforderliche Ausbeute zu gewährleisten.

Für die von uns durchgeführten Prozesse stand ein Reinraum der Klasse 100 zur Verfügung, in welchem jedoch nicht alle Prozessapparaturen integriert sind. Damit ist die hohe Ausbeute und die große Reproduzierbarkeit, wie sie in der Industrie erforderlich sind, bei den von uns hergestellten Strukturgrößen nicht erreichbar, zur Entwicklung neuer Prozesse sowie zur Her-

Tabelle A.1: Klassifizierung von Reinräumen nach Fed. Std. 209E [71].

Klasse	Partikel/ft ³				
	0,1 μm	0,2 μm	0,3 μm	0,5 μm	5 μm
1	$3,5 \times 10$	7,5	3,0	1,0	
10	$3,5 \times 10^2$	$7,5 \times 10$	$3,0 \times 10$	$1,0 \times 10$	
100		$7,5 \times 10^2$	$3,0 \times 10^2$	$1,0 \times 10^2$	
1.000				$1,0 \times 10^3$	7,0
10.000				$1,0 \times 10^4$	$7,0 \times 10$
100.000				$1,0 \times 10^5$	$7,0 \times 10^2$

Tabelle A.2: Entwicklung von Prozessmerkmalen der Integrationstechnologie [71].

Massenproduktion Start	1980	1984	1987	1990	1996	1999
Wafergröße (mm)	75	100	125	150	200	200
Strukturgröße (μm)	2,0	1,5	1,0	0,8	0,35	0,25
Reinraumklasse	1.000-100	100	10	1	0,1	0,1 *

* Mini-Enviroment

stellung von Demonstratorbauelementen jedoch völlig ausreichend.

A.2 Strukturierung

Die Herstellung von Strukturen gliedert sich in die Strukturdefinition und die Strukturübertragung. Die Strukturdefinition erfolgt gewöhnlich über einen lithographischen Prozess. Die in dieser Arbeit verwendete optische Lithographie wird im folgenden Abschnitt erklärt und dabei die genaue Prozessführung dargestellt. Die Strukturübertragung erfolgt meistens über Ätzprozesse, welche im zweiten Abschnitt erklärt werden. Zur Herstellung von Metallisierungen wurde als weiteres Verfahren der Lift-Off Prozess verwendet, welcher im dritten Abschnitt beschrieben wird.

A.2.1 Optische Lithographie

Zur Herstellung kleinster Strukturen in der Mikroelektronik wird die optische Lithographie eingesetzt. Dazu werden die Wafer mit einem lichtempfindlichen Lack beschichtet und die auf einer Maske vorhandene Struktur über eine Optik darauf abgebildet. Der Lack verändert dabei an den belichteten Stellen seine chemische Struktur und kann dann je nach Prozessführung an den belichteten Stellen (Positivprozess) oder an den nicht belichteten Stellen (Negativprozess) mit Hilfe einer Entwicklerlösung entfernt werden.

Für die von uns hergestellten Strukturen wurde das Kontaktbelichtungsverfahren verwendet. Als Maske dient dabei eine Glasplatte, auf der die Strukturen als Chrommuster vorliegen. Die Glasplatte wird direkt über die mit Photolack beschichtete Probe gebracht, so dass bei Belichtung die Strukturen von der Maske 1:1 auf den Lack übertragen werden. Die Auflösung dieses Verfahrens ist durch die Beugung begrenzt und lässt sich über die kleinste Strukturgröße (MFS=Minimum Feature Size) ausdrücken [96]:

$$MFS = \sqrt{d\lambda}. \quad (\text{A.1})$$

Hierbei ist λ die Wellenlänge des verwendeten Lichtes und d die Dicke des Photolackes. Die uns zur Verfügung stehenden Belichter MA6 der Firma Süss verwenden als Lichtquelle die 320 nm bzw. 365 nm Linie einer Quecksilberdampfampe. Als Photolack wurde fast ausschließlich der Typ AZ5206 der Firma Hoechst verwendet, ein Umkehrlack, der sowohl Positiv- als auch Negativprozessierung erlaubt und nach Aufschleudern bei 6000 min^{-1} eine Dicke von ca. $0,6 \mu\text{m}$ hat. Damit ergibt sich eine theoretische Auflösungsgrenze von ca. $0,5 \mu\text{m}$. Die tatsächliche Auflösung hängt jedoch noch von anderen Fak-

toren wie z.B. der Qualität des Kontaktes zwischen Probe und Maske und der Partikelfreiheit des gesamten Prozesses ab und liegt bei etwa $1 \mu m$.

Bei der Lithographie auf Waferstücken staut sich der Lack beim Aufschleudern am Rand und besonders an den Ecken auf, so dass er dort dicker wird als in der Mitte. Das führt zu einem schlechten Kontakt mit der Maske in der Mitte der Probe, wodurch sich die Auflösung verschlechtert. Daher wurde zur Erzeugung kleiner Strukturen nahe der Auflösungsgrenze vor dem eigentlichen Lithographieprozess eine Randentlackung mit Hilfe einer entsprechenden Maske durchgeführt.

Für die Strukturierung im Rahmen dieser Arbeit wurden sowohl der Negativ- als auch der Positivprozess verwendet, welche im Folgenden beschrieben werden:

- Vorreinigen der Proben mit Aceton und Propanol und/oder SPM (s. Kap. A.6).
- Aufschleudern des Haftvermittlers HMDS (Hexamethyldisilan) bei 4000 min^{-1} und 1 min Aushärten bei 90°C .
- Aufschleudern des Photolacks AZ5206 bei 6000 min^{-1} und 2 min Aushärten des Lösungsmittels bei 90°C . Die Schichtdicke des Lackes entspricht etwa $0,6 \mu m$.
- ggf. Randentlackung
 - 15 s Belichtung unter der Randentlackungsmaske.
 - Entwickeln des Lackes in Entwicklerlösung MIF326 : H_2O (1:1,25), ca. 10 s.
- für **Positivprozess**
 - Kontaktbelichtung (hard contact) mit einer Belichtungszeit von 5.3 s.
 - 35-40 s entwickeln des Lackes in Entwicklerlösung MIF326 : H_2O (1:1,25).
- für **Negativprozess**
 - Kontaktbelichtung (hard contact) mit einer Belichtungszeit von 2.3-2.5 s.
 - Aushärten des Lackes bei 115°C , 2,5 min .
 - Flutbelichtung der Probe ca. 13 s.

- Entwickeln des Lackes in Entwicklerlösung MIF326 : H₂O (1:1,25), 17-20 s.
- ggf. Aushärten der Lackstrukturen bei 150°C 3-10 min, um dem Lack für nachfolgende RIE-Ätzungen die nötige Resistenz zu verleihen.

A.2.2 Ätzprozesse

Ätzprozesse nehmen einen großen Teil bei der Prozessierung von Bauelementstrukturen ein [71]. Sie werden vorwiegend dazu verwendet, die mit Hilfe der Lithographie im Photolack erzeugten Strukturen auf die darunter liegenden Schichten zu übertragen.

Man unterscheidet hier im Wesentlichen zwei Verfahren: die nasschemische Ätzung und die Trockenätzung. Bei der nasschemischen Ätzung wird die Probe in eine Ätzlösung eingebracht, welche mit dem zu entfernenden Material reagiert und es so an den gewünschten Stellen entfernt. Beim Trockenätzen oder Plasmaätzen werden Ionen in einem elektrischen Feld auf die Probe beschleunigt und können so auf deren Oberfläche das gewünschte Material entfernen.

Bei der Übertragung von immer kleiner werdenden Lackstrukturen auf darunterliegende Schichten stellt die Isotropie der nasschemischen Ätzprozesse einen großen Nachteil gegenüber der Anisotropie der Trockenätzung dar (s. Abb. A.1). Das Plasmaätzen hat sich deshalb für die Strukturübertragung in der Halbleitertechnologie als Standardverfahren etabliert.

Neben der Ätzrate ist bei allen Ätzverfahren die Selektivität von großer Bedeutung. Sie ist definiert als der Quotient der Ätzraten verschiedener Materialien und ein wesentlicher Vorteil der Nasschemie, welche deshalb neben Reinigungsprozessen (s. Kap. A.6) überwiegend zum selektiven Entfernen von Schichten auf den Proben verwendet wird.

Nassätzverfahren

Tab. A.3 zeigt die verwendeten Nassätzprozesse. Die angegebenen Ätzraten (soweit bekannt) sind dabei selbst experimentell ermittelt. Die Werte sind als Anhaltspunkte zu verstehen, da die genauen Parameter noch von anderen Faktoren wie z.B. der genauen Probenstruktur oder der Umgebungstemperatur abhängig sind.

Die Selektivitäten bei einigen der angegebenen Ätzlösungen spielen eine große Rolle. AF91 zeigt kaum Ätzwirkung auf Siliziumnitrid, was eine gewünschte hohe Selektivität zu SiO₂ mit sich bringt. Si₃N₄ aus der PECVD,

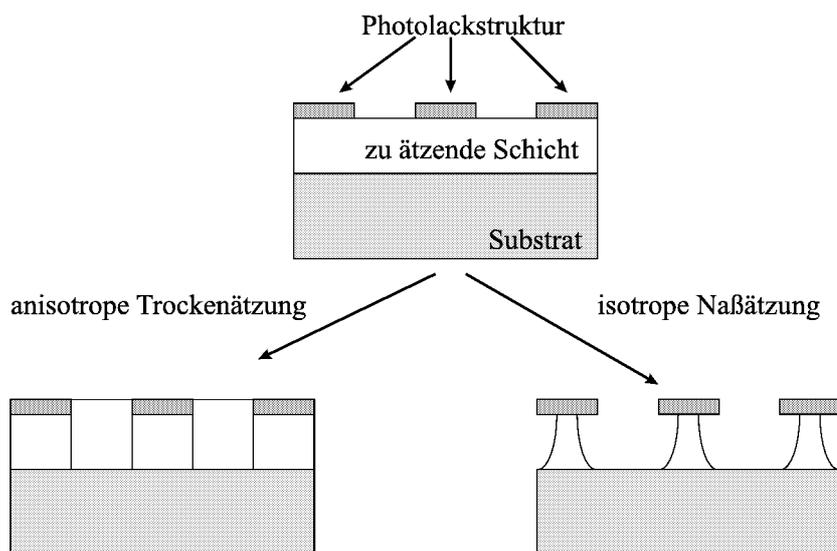


Abbildung A.1: Unterschied zwischen Plasmaätzen (anisotrop) und Nassätzen (isotrop).

Tabelle A.3: Nassätzprozesse.

Ätzlösung	Material	Ätzrate (bei Temp.) nm min ⁻¹
NH ₄ F (AF91)	SiO ₂ (therm.)	60
	SiO ₂ (PECVD)	100
	SiO ₂ (TEOS)	200
	c-CoSi ₂	<5
1(1HF:20HNO ₃ : :20CH ₃ COOH):2H ₂ O	c-CoSi ₂	10
H ₃ PO ₄ + Zusatz *	Si ₃ N ₄	> 10 (155°C)
NH ₃ :H ₂ O ₂ :H ₂ O 1:1:1	TiN	(80°C)

* Ätzlösung der Fa. Ashland Specialty Chemical Co.; Zusatz ist Firmengeheimnis

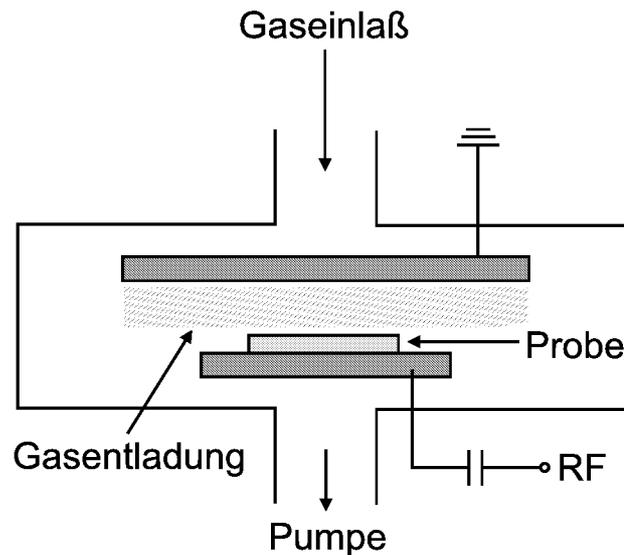


Abbildung A.2: Schematische Darstellung eines RIE-Parallelplattenreaktors.

welches keinem Temperschnitt unterzogen wurde, wird jedoch mit nicht reproduzierbarer Ätzrate von AF91 entfernt. Wir vermuten, dass dies auf eine Porösität des Si_3N_4 zurückzuführen ist, welche nach einem Temperschnitt verschwindet. Mit der Phosphorsäurelösung bei 155°C lässt sich Nitrid mit einer Selektivität von ca. 100:1 gegenüber SiO_2 entfernen. Leider zeigen die beiden Ätzlösungen keine große Selektivität zu CoSi_2 . Die Ammoniak basierte Ätzlösung für das TiN greift das Silizid jedoch kaum an.

Reaktives Ionenätzen (RIE)

Das Reaktive Ionenätzen (RIE: Reaktive Ion Etching) ist das gebräuchlichste Trockenätzverfahren und wurde im Rahmen dieser Arbeit verwendet. Dabei werden reaktive Gase in eine Probenkammer, wie sie in Abb. A.2 dargestellt ist, eingeleitet und in einem hochfrequenten Wechselfeld teilweise dissoziiert und ionisiert. Die Probenkammer befindet sich dabei im Hochvakuum. Die Elektronen werden von den Ionen getrennt, so dass eine Gleichspannung entsteht, welche abhängig von der eingestrahnten Energie des Wechselfeldes ist. In diesem Gleichspannungsfeld werden die Ionen zur Probe hin beschleunigt und lösen ein gerichtetes Abtragen der Oberfläche der Probe bedingt durch

- kinetische Stöße der Ionen (physikalisches Ätzen oder Sputtern) und
- gerichtete chemische Reaktion der Ionen mit der Oberflächenschicht

Tabelle A.4: RIE-Ätzprozesse.

Gas	Fluss [sccm]	Druck [Pa]	HF-Power [W]	DC-Bias [V]	Material	Ätzrate [nm min ⁻¹]
CHF ₃ / CF ₄	20 / 20	3,0	300	600	SiO ₂	30-40
					Si ₃ N ₄	50-60
					CoSi ₂	5
Ar / SF ₆	40/1	3,0	150	450	poly-Si	40
					c-Si	30
SF ₆	20	2,5	100	100	Si	250 *

* isotrope Ätzung

(chemisches Ätzen)

aus. Die chemische Ätzkomponente ist im Wesentlichen verantwortlich für die Selektivität des Ätzverfahrens, welche durch den physikalischen Anteil jedoch meist geringer als bei geeigneten Nassätzverfahren ist. Die hohe Anisotropie und die damit verbundene dimensionserhaltene Strukturübertragung haben dieses Verfahren jedoch als ein Standardverfahren der Halbleitertechnologie etabliert.

Die von uns verwendeten Prozesse sind in Tab. A.4 aufgelistet. Ein Laser-Interferometer kann während des Prozesses zur Kontrolle der Ätzrate verwendet werden und liefert genaue Ätzstops.

Ein Nachteil des Verfahrens besteht in den Oberflächenschäden, welche durch den Ionenbeschuss entstehen. Ebenso kann der Ätzprozess Verunreinigungen über nicht flüchtige chemische Reaktionsprodukte oder Implantation hinterlassen. Im Allgemeinen ist deshalb nach dem Ätzen ein Reinigungsschritt erforderlich. Wir haben dazu im Wesentlichen SPM (s. Kap. A.6) verwendet, um durch die Kohlenstoffchemie verursachte organische Verunreinigungen zu entfernen.

Die Selektivitäten bei diesem Verfahren sind aufgrund des physikalischen Ätzanteils nicht so gut wie beim Nassätzen, können jedoch bei richtiger Wahl der Prozessparameter gute Werte erreichen. So liegt beim Ar/SF₆-Programm trotz des hohen Sputteranteils durch das Argon die Selektivität zu CoSi₂ im

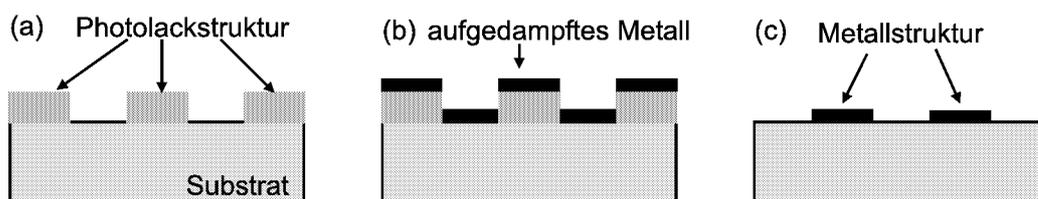


Abbildung A.3: Lift-off Verfahren: (a) Definition der Lackstruktur; (b) Aufdampfen des Metalles; (c) Ablösen des Photolackes mit dem darauf befindlichen Metall.

Bereich von 20:1.

A.2.3 Lift-Off Verfahren

Eine weitere Möglichkeit der Strukturübertragung ist das sogenannte Lift-off-Verfahren [97], welches in Abb. A.3 dargestellt ist. Hierbei wird zunächst die Lackstruktur erzeugt und dann die zu strukturierende Schicht aufgebracht. Anschließend wird der Lack mit Lösungsmittel entfernt. Dabei wird das auf dem Lack befindliche Schichtmaterial mit entfernt und so die Struktur als komplementäres Bild der Lackmaske erzeugt. Wegen der geringen Temperaturbeständigkeit des Lackes wird als Abscheideverfahren im Allgemeinen nur das Bedampfen verwendet. Im Rahmen dieser Arbeit wurde das Lift-off-Verfahren für die Herstellung von Metallkontakten zur Kontaktierung von Source, Drain und Gate der hergestellten Transistoren verwendet. Dabei wurden die Metalle mit Hilfe des Elektronenstrahlverdampfens (s. Kap. A.4.4) aufgebracht.

A.3 Temperprozesse

Viele Prozesse in der Siliziumtechnologie sind thermisch aktiviert. Insbesondere die Diffusion von Dotierstoffen und die Oxidation von Silizium erfordern ein kontrolliertes Aufheizen der Wafer in definierter Atmosphäre. Die konventionelle Technik bedient sich meistens großer Quarzrohröfen, in denen parallel viele Wafer prozessiert werden können. Bei vielen Prozessen geht man jedoch zu Einzelwaferprozessierung in Schnelltemperöfen (RTP: Rapid Thermal Processor) über, da hier hohe Temperaturen in kurzer Zeit erreicht werden können, was eine bessere Prozesssteuerung ermöglicht. Einige wesentliche Unterschiede und die von uns genutzten Anwendungen werden im

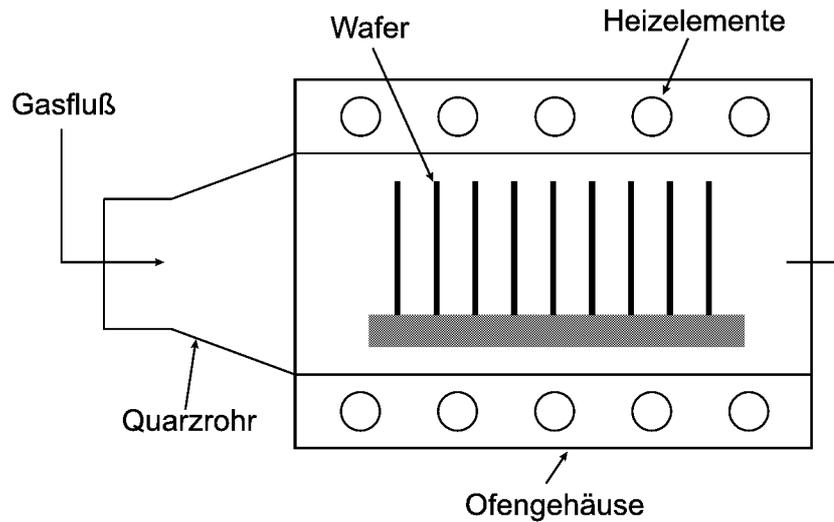


Abbildung A.4: Schematischer Aufbau eines Quarzrohrforns.

Folgenden dargestellt [71].

A.3.1 Tempern im Rohröfen

Ein Quarzrohröfen bestehen im Wesentlichen aus einem großen Quarzrohr mit einem Gaseinlass sowie außen um das Quarzrohr herum angeordnete Widerstandsheizelemente (s. Abb. A.4). Das Heizen erfolgt im Wesentlichen über Konvektion und Wärmeleitung und die Wafer stehen im thermischen Gleichgewicht mit der Ofenatmosphäre. Die Wafer werden in das offene Quarzrohr in die Heizzone eingebracht, in der eine konstante Temperatur herrscht. Geläufig sind auch sogenannte Mehrzonenöfen, bei denen unterschiedliche Temperaturen in verschiedenen Zonen des Ofens erzeugt werden.

Im Rahmen unserer Arbeit wurden Rohröfen für die Oxidation von Silizium bzw. Silizidschichten verwendet. Die langen möglichen Oxidationszeiten erlauben die Herstellung dicker Feldoxide. Die Oxidation kann hier direkt über eingeleiteten Sauerstoff (Trockenoxidation) oder über Wasserdampf (Feuchtoxidation) geschehen.

A.3.2 Rapid Thermal Processing

Der Aufbau eines Rapid Thermal Processors (RTP) ist in Abb. A.5 dargestellt. Die Anlage besteht aus einer Quarzkammer, in die der Wafer eingebracht wird und über außerhalb der Kammer befindliche Quarzlampen von

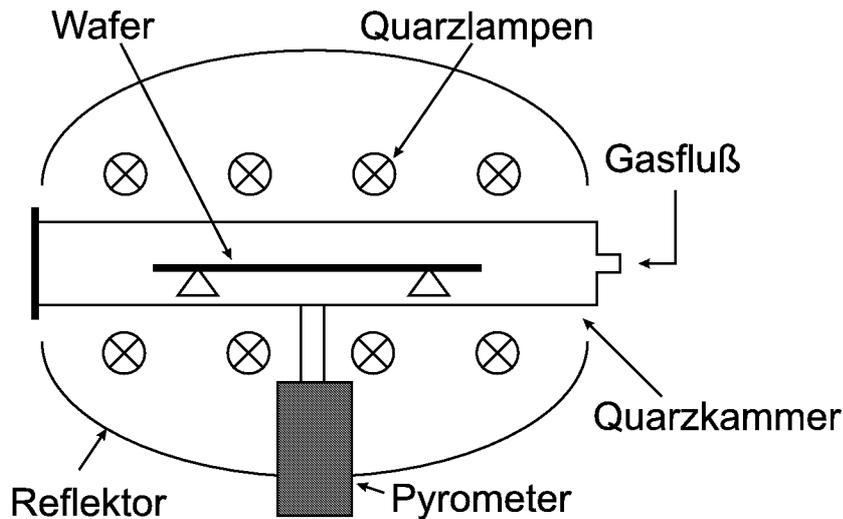


Abbildung A.5: Schematischer Aufbau eines Schnelltemperofens (RTP).

beiden Seiten optisch geheizt wird, während die Prozessgase in laminarer Strömung über den Wafer geleitet werden. Die Temperatur wird durch ein in der Quarzkammer befindliches Fenster mit Hilfe eines Pyrometers gemessen, welches über einen Regelkreis die Lampenleistung steuert. Diese Methode ermöglicht Temperaturrampen von mehr als $150^{\circ}\text{C s}^{-1}$ bei Temperaturen von bis zu 1200°C und maximalen Heizdauern von ca. 20 min. Die schnellen Rampen ermöglichen kleine und sehr gut reproduzierbare Heizleistungen bei hohen Temperaturen, wie sie für die Ausdiffusion von flachen Implantationen oder das gut kontrollierte Wachstum ultradünner Oxidschichten notwendig sind.

Im Unterschied zur langsamen Widerstandsheizung im Rohrofen steht bei der optischen Heizung die Ofenkammer nicht im thermischen Gleichgewicht mit dem geheizten Wafer und der Umgebung. Der Heizprozess ist vielmehr ein komplexer Vorgang, der weitgehend von den Absorptionseigenschaften des Wafers abhängt. Zur Bestimmung der wirklichen Temperatur wird deshalb das Pyrometer mit Hilfe eines Thermoelements geeicht, welches in einem Wafer fixiert ist.

In unserem Fall werden die Probenstücke auf einem Unterlegwafer im RTP getempert, was eine Aussage über die wirkliche Temperatur auf der Probe erschwert. Die angegebenen Prozesstemperaturen beziehen sich deshalb auf die Eichung anhand des Unterlegwafers, sollten aber nicht mehr als einige 10°C von der wirklichen Temperatur abweichen.

Für unsere Versuche standen zwei verschiedene RTP-Modelle zur Verfü-

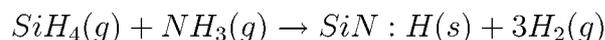
gung. Ein SHS100 der Fa. STEAG wurde zur Ausheilung der Silizidschichten, zur Oxidation der Silizide, zur Herstellung der Gateoxide und zur Aktivierung der Dotierstoffe verwendet. An diesem Gerät standen Stickstoff, Sauerstoff und Distickstoffmonoxid als Prozessgase zur Verfügung. Zur Silizidierung stand ein etwas älterer RTP der Firma ADDAX zur Verfügung. Hier sind als Prozessgase Stickstoff, Sauerstoff, Wasserstoff und Argon installiert.

A.4 Abscheidungsprozesse

Zur Herstellung der Proben für diese Arbeit waren eine Reihe von Schichtdepositionen notwendig, welche mit Hilfe verschiedener Verfahren der Siliziumtechnologie durchgeführt wurden. Neben der Molekularstrahlepitaxie zur Herstellung epitaktischer CoSi_2 -Schichten und der Elektronenstrahlverdampfung für die Deposition reiner Metalle, ist das CVD (Chemical Vapor Deposition) Verfahren hervorzuheben. Dabei werden bestimmte Prozessgase in einen Reaktor geleitet, welche dann über eine chemische Vorzerlegung zur Abscheidung des gewünschten Materials mittels einer chemischen Reaktion auf der Probenoberfläche führen. Von den vielen Varianten dieser Technik wurden für diese Arbeit die PECVD (Plasma Enhanced Chemical Vapor Deposition) sowie die LPCVD (Low Pressure Chemical Vapor Deposition) verwendet.

A.4.1 PECVD

Bei der PECVD wird die Vorzerlegung der Prozessgase durch eine Plasmaanregung über ein eingekoppeltes hochfrequentes elektromagnetisches Feld bewirkt. Dies erlaubt eine Abscheidung der gewünschten Materialien bei niedrigen Temperaturen. Die niedrige Temperatur ist ein großer Vorteil dieser Methode, da so bei der Prozessierung von Bauelementstrukturen unerwünschte Diffusionseffekte weitgehend vermieden werden können, sowie temperaturempfindliche Materialien geschützt werden. Für unsere Proben wurde die PECVD für die Deposition von SiO_2 und Si_xN_y verwendet. Die Abscheidung erfolgt dabei über folgende Reaktionen:



Die Temperatur bei der Abscheidung ist standardmäßig auf 300°C eingestellt, wurde jedoch für die Herstellung bestimmter Proben auf 150°C abgesenkt um schon bei niedrigen Temperaturen aktivierte Reaktionen zu verhindern.

Tabelle A.5: Parameter für die PECVD Deposition von Si_3N_4 .

Frequenz	13,56 MHz
Druck	1,5 Torr
Leistung	20 W
Temperatur	300°C
Verhältnis Silan/Ammoniak	67 % / 33 %
Depositionsrates	10 nm min ⁻¹

Prozessparameter wie die Depositionsrates hängen von vielen Faktoren wie Gesamtdruck, Partialdruck der Gase, Leistung und Frequenz des Wechselfeldes, Reaktorgeometrie und Elektrodenmaterial ab. Während bei der Deposition von SiO_2 diese Parameter keinen großen Einfluss auf die Eigenschaften des Oxides, welches nahezu perfekt stöchiometrich abgeschieden wird, haben, können damit die Eigenschaften des Nitrides wesentlich beeinflusst werden. Die stöchiometrische Zusammensetzung des Nitrides kann über diese Parameter gesteuert werden, welche die intrinsischen Spannungen beeinflusst, die in der Schicht auftreten. Die von uns verwendeten Depositionsparameter sind in Tab. A.5 angegeben. Je nach Stöchiometrie des Nitrides können die Spannungen in der Schicht beide Vorzeichen (Druck- oder Zugspannung) besitzen. Bei den von uns verwendeten Depositionsparametern steht die Nitridschicht unter Zugspannung [98, 65].

A.4.2 LPCVD

Bei der LPCVD findet die Vorzerlegung der Prozessgase thermisch statt, so dass deutlich höhere Prozesstemperaturen als bei der PECVD nötig sind. Dieses Verfahren wurde verwendet, um hochdotiertes Polysilizium als Gate-Material für die MOSFET-Herstellung sowie SiO_2 als Passivierungsschicht zu deponieren. Die Oxidabscheidung erfolgt dabei über den sogenannten TEOS-Prozess über eine Zerlegung der organischen Siliziumverbindung Tetra-Ethyl-Ortho-Silicat ($\text{Si}(\text{OC}_2\text{H}_5)_4$). Die Abscheidung des Polysiliziums erfolgt über die Zerlegung von Silan oder Dichlorsilan. Die hohen Dotierungen werden über die Beigabe von Phosphin oder Diboran erreicht. Die Temperatur bei der Abscheidung liegt bei etwa 700°C. Bei Prozesszeiten in der Größenordnung von 30-60 min sind unerwünschte Diffusionseffekte oder Materialveränderungen einzukalkulieren.

A.4.3 Molekularstrahlepitaxie

Molekularstrahlepitaxie (MBE: Molecular Beam Epitaxy) ist ein Verfahren um Schichten epitaktisch, d.h. einkristallin auf einem Substrat abzuscheiden. Als Homoepitaxie bezeichnet man das Verfahren, bei dem das gleiche Material wie das Substratmaterial aufgewachsen wird. Wird ein anderes Material aufgewachsen, spricht man von Heteroepitaxie.

In einer konventionellen Epitaxieanlage wird das aufzubringende Material aus einer Quelle thermisch verdampft, so dass es sich auf einer meistens geheizten Probe niederschlägt und sich dann durch Oberflächendiffusion an die durch das Substrat vorgegebene Gitterstruktur anpasst. Die Qualität des aufgewachsenen Kristalls hängt dabei von vielen Faktoren ab. Ein wesentlicher Faktor ist die Oberflächenreinheit des Substrates, da diese als Template für die Fortsetzung der Gitterstruktur der aufgebrachtten Schicht dient. Kleinste Verunreinigungen können dabei den Erfolg entscheidend verschlechtern. Ebenso kann die Bildung von natürlichem SiO_2 die Epitaxie behindern. Dieses Oxid bildet sich bereits bei Raumtemperatur in leicht sauerstoffhaltiger Atmosphäre. Diese Art der Epitaxie ist daher im Allgemeinen nur im Ultrahochvakuum (UHV: $p < 10^{-10}$ mbar) möglich, da hier die erforderliche Oberflächenreinheit aufrechterhalten werden kann, und das Oxid durch Beigabe einer geringen Menge Silizium unter Bildung des flüchtigen SiO entfernt werden kann. Die Erzeugung des UHV stellt dabei hohe technische Anforderungen an die Anlage.

In der Siliziumtechnologie wird die Homoepitaxie gewöhnlich verwendet, um Silizium verschiedener Dotierungen übereinander zu wachsen, und stellt damit in einigen Fällen eine Alternative zur Ionenimplantation dar. Hier wird jedoch industriell die wesentlich schnellere CVD-Technik verwendet. Für unsere Arbeit wurde eine Molekularstrahlepitaxieanlage verwendet, um die CoSi_2 -Oberflächenschichten wie in Kap. 2.2 beschrieben herzustellen.

A.4.4 Elektronenstrahlverdampfung

Die Elektronenstrahlverdampfung stellt ein einfaches Verfahren dar, Schichten zu deponieren [99]. Dabei wird im Hochvakuum (HV: $p < 10^{-6}$ mbar) mit einem Elektronenstrahl einer Energie von typischerweise 10 keV das gewünschte Material verdampft, welches sich dann auf der Probe niederschlägt. Ein geeichter Schwingquarz dient dabei zur Kontrolle der Depositionsrate. In der Mikroelektronik wurde dieses Verfahren im Wesentlichen dazu verwendet Metallisierungsschichten aufzubringen, ist aber in der Industrie schon seit einiger Zeit durch die Sputterdeposition abgelöst worden, da dieses Verfahren wirtschaftlicher ist und eine bessere Prozesskontrolle bietet.

In der Forschung wird die Elektronenstrahlverdampfung jedoch noch häufig eingesetzt.

Im Rahmen dieser Arbeit wurde die Elektronenstrahlverdampfung für zwei Zwecke verwendet. Zum einen wurden damit für die hergestellten Bauelemente die Kontaktmetallisierungen mit dem Lift-off Verfahren erzeugt. Zum anderen wurden die Kobalt/Titan-Schichtsysteme für die Festphasenepitaxie von Kobaltdisilizid hergestellt.

A.5 Ionenimplantation

Bei der Ionenimplantation werden Atome in einer Ionenquelle ionisiert, in einem elektrischen Feld beschleunigt und so in eine Probe geschossen (implantiert) [100]. Die Beschleunigungsenergie reicht dabei von einigen hundert eV bis zu einigen MeV. Nahezu alle Elemente sowie zahlreiche Verbindungen können mit dieser Methode in beliebige Targets implantiert werden, was zu verschiedensten Anwendungsmöglichkeiten führt. Insbesondere wird diese Technik zur Modifikation von oberflächennahen Schichten in Festkörpern verwendet. Auch zur Analyse von Dünnschichtsystemen hat sich die Hochenergieimplantation leichter Ionen etabliert (s. Kap. B.2).

In der Mikroelektronik wird die Ionenimplantation standardmäßig zur Dotierung von Halbleitern verwendet. Auch hier wachsen die Anforderungen mit immer kleiner werdenden Bauteilabmessungen auf immer größer werdenden Substratscheiben. Homogenität und Kontaminationsfreiheit sind dabei wesentliche Gesichtspunkte.

Für die im Rahmen unserer Arbeit hergestellten Proben wurde ein Axcelis 8250 Implanter verwendet, welcher mit Energien von 1 keV - 250 keV arbeitet (bis zu dreifach geladene Teilchen können damit auf bis zu 750 keV beschleunigt werden). Diese auch von der Halbleiterindustrie standardmäßig genutzte Maschine liefert auch noch bei 1 keV eine Homogenität von $< 0,5\%$ über einen 20 cm Wafer und eine Kontamination im Ionenstrahl von weniger als 10 ppm. Die Maschine ist eingerichtet auf die Implantation der Standarddotierelemente Bor, Phosphor und Arsen sowie Silizium, Wasserstoff und Helium. In unserer Arbeit wurde das Verfahren verwendet um Siliziumdotierungen für die Herstellung der Transistoren zu erzeugen.

A.6 Reinigungsprozesse

Die Herstellung kleinster Strukturen und Bauelemente stellt erhöhte Anforderungen an die Reinheit der Proben [101]. Die potentiellen Quellen schädlicher

Tabelle A.6: Nasschemische Reinigungsprozesse.

Reinigungslösung	Zusammensetzung	Verunreinigung
SPM (Piranha)	$\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$ 4 : 1	organische Kontaminationen u. metallische Ionen
APM (SC-1)	$\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 1 : 4 : 20	organische Verbindungen u. Partikel
HPM (SC-2)	$\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 1 : 1 : 20	metallische Ionen
DHF	$\text{HF} : \text{H}_2\text{O}$ 1 : 20	natürliches Oxid u. metallische Ionen
BHF (AF91)	NH_4F	natürliches Oxid

Kontaminationen kann man gliedern in:

- Umgebung (Reinraum bzw. Labor).
- Experimentator.
- Verwendete Materialien.
- Verwendetes Equipment bzw. Prozess.

Während man die ersten drei Punkte heute weitgehend im Griff hat, erfordert die Verunreinigung über die angewandte Prozessführung besondere Aufmerksamkeit. Daher nimmt die Reinigung in der modernen Halbleiterfabrikation 30-40% aller Prozessschritte ein. Dies gilt auch für die im Rahmen dieser Arbeit hergestellten Proben, insbesondere, da bei der von uns durchgeführten Prozessierung alle vier oben genannten Punkte gleichermaßen als Kontaminationsquellen in Frage kommen.

Tab. A.6 zeigt die wesentlichen während der Probenpräparation von uns verwendeten nasschemischen Reinigungsprozesse. Zur Reinigung neuer Wafer vor Beginn der Prozessierung wurde eine Standard-RCA-Reinigung nach folgendem Schema durchgeführt:

- SC-1 (60°C, 10 min im Ultraschallbad (US))
- BHF (30 s)

- SC-2 (60°C, 10 min US)

Die SPM-Lösung wurde häufig zur Reinigung zwischen den Prozessen verwendet, da sie eventuelle organische und metallische Kontaminationen wie Lackreste entfernt und besonders mit den verwendeten Materialien verträglich ist. Dieser Reinigungsschritt wird im Ultraschallbad ca. 10 min durchgeführt. Wie APM und HPM hat dieser Reinigungsschritt oxidierende Wirkung, und macht es gegebenenfalls erforderlich, ein dabei entstehendes natürliches Oxid mit DHF oder BHF zu entfernen.

Um Photolack und grobe Partikel von der Oberfläche zu entfernen, wurden die Proben mit Aceton und Propanol im Ultraschallbad behandelt.

Anhang B

Probencharakterisierung

B.1 Elektronenmikroskopie

Abb. B.1 zeigt mögliche Wechselwirkungen von Elektronenstrahlen mit Festkörpern und die daraus entstehenden Analysemethoden. Zur strukturellen Charakterisierung von Nanostrukturen stellt die Elektronenmikroskopie ein mächtiges Werkzeug dar. Ein Grund dafür ist die kurze Wellenlänge hochenergetischer Elektronenstrahlen, welche je nach Energie im Bereich von Bruchteilen von Nanometern liegt. Damit ist die Auflösung der Elektronenmikroskope im Wesentlichen durch die verwendete Optik begrenzt.

Für die Charakterisierung der in unserer Arbeit hergestellten Strukturen wurden die Rasterelektronenmikroskopie (REM) und die Transmissionselektronenmikroskopie (TEM) verwendet, welche in den folgenden Abschnitten kurz erklärt werden [103].

B.1.1 REM

Beim Rasterelektronenmikroskop wird die Probenoberfläche mit einem fokussierten Elektronenstrahl gerastert und die Intensität der erzeugten Sekundärelektronen sowie rückgestreuter Elektronen gemessen. Der Elektronenstrahl hat dabei typischerweise Energien zwischen 5 und 20 keV. Die gemessene Elektronenintensität wird zu einem orts aufgelösten Bild der Probenoberfläche mit einer Auflösung von nominell bis zu 1 nm verarbeitet und dargestellt. Die tatsächliche Auflösung hängt stark vom betrachteten Materialsystem ab, welches bei gegebener Energie der eingestrahnten Elektronen die Eindringtiefe und damit auch die Breite des Austrittskegels der Sekundärelektronen bestimmt. Das Signal ist im Allgemeinen eine Mischung aus Materialkontrast und Oberflächentopologie und liefert eine räumliche

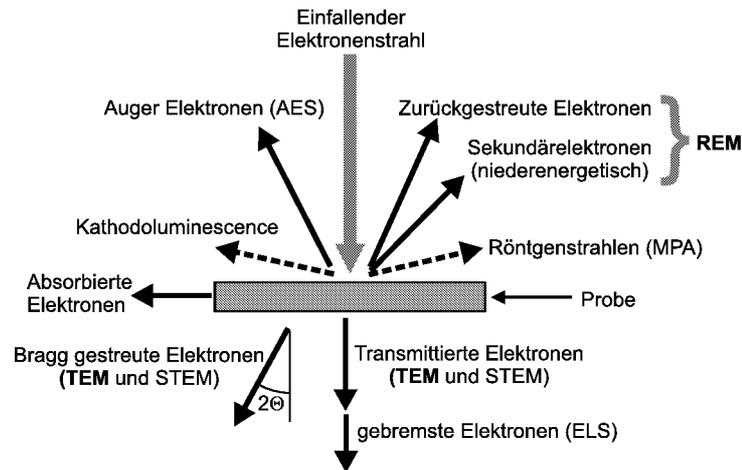


Abbildung B.1: Wechselwirkungen eines Elektronenstrahls mit einem Festkörper und deren Verwendung in der modernen Analysetechnik [102].

Darstellung der betrachteten Probe mit verschiedenem Helligkeitskontrast verschiedener Materialien.

Das Rasterelektronenmikroskop war die hauptsächlich von uns verwendete Methode um die erzeugten Nanostrukturen zu charakterisieren, da die Methode schnell ist und keine umfangreiche Probenpräparation erfordert. Die Proben wurden an einer Bruchkante unter einem Winkel von 60° zur Probenoberfläche betrachtet. Um Materialkontraste besser darzustellen, wurde bei den meisten Proben das Silizium an der Bruchkante lateral mit RIE (s. Kap. A.2.2) zurückgeätzt, um so die Silizidstrukturen an der Kante freizulegen. Dabei wurde die Probe vor dem Brechen mit Photolack abgedeckt, damit bei der RIE-Ätzung nur die Bruchkante freiliegt.

B.1.2 TEM

Bei der Transmissionselektronenmikroskopie wird die Probe mit Elektronen einer Energie von etwa 200-400 keV durchstrahlt und die an der Probe in Transmission gebeugten Elektronen auf einem Fluoreszenzschirm dargestellt. Damit die Probe für den Elektronenstrahl transparent wird, muss sie an den zu betrachtenden Stellen auf ≈ 100 nm heruntergedünnt werden. Dies geschieht mit Hilfe von mechanischem Schleifen und anschließender Ionendünung. Je nach Abbildungsebene des Elektronenstrahles kann man entweder ein direktes Bild des Probenquerschnitts im Realraum oder ein Beugungsbild der Elektronen im reziproken Raum sehen. Dabei werden sowohl

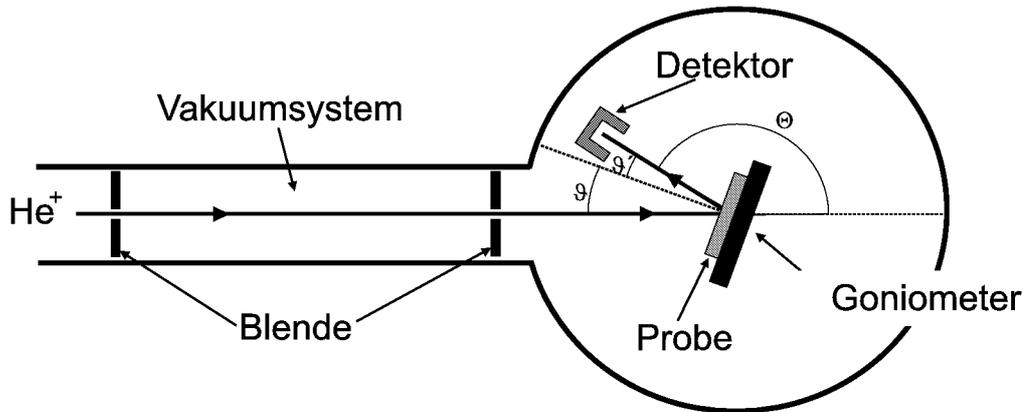


Abbildung B.2: Schematischer Aufbau einer RBS-Messvorrichtung und Darstellung der Streugeometrie mit dem Einfallswinkel ϑ , dem Winkel zwischen Detektor und Oberflächennormale ϑ' und dem Rückstreuwinkel Θ .

der direkt transmittierte als auch Bragg-gestreuete Elektronenstrahlen betrachtet. Damit kann man Aussagen über Kristallstruktur und -orientierung machen. Man kann Probenquerschnitte sowohl parallel zur Oberfläche (plan-view-TEM) als auch Senkrecht dazu (Querschnitts-TEM (XTEM)) betrachten. Bei geeigneter Probenpräparation und guter Mikroskopievorrichtung kann man nahezu atomare Auflösung erreichen (high-resolution-TEM). Für die von uns hergestellten Strukturen und Schichten wurden ausschließlich XTEM-Aufnahmen angefertigt.

B.2 Rutherford Rückstreuung

Die Rutherford-Rückstreuung (RBS: Rutherford Backscattering Spectroscopy) stellt eine effiziente Methode dar, Dünnschichtsysteme zu charakterisieren. Sie geht auf die bekannten Entdeckungen von Rutherford, Geiger und Marsden zurück und nutzt die Rückstreuung leichter, hochenergetischer Ionen, um die in einer Probe vorhandenen Elemente, deren Stöchiometrie und deren Tiefenverteilung zu bestimmen [104, 105]. Werden die Ionen in einer bestimmten Kristallrichtung in die Probe eingeschossen, so erhält man zusätzlich Aussagen über deren Kristallqualität.

Abbildung B.2 zeigt schematisch den Aufbau einer RBS Messvorrichtung. Im Wesentlichen besteht das System aus einem in alle Raumrichtungen drehbar gelagerten Probenhalter (Goniometer) und einem winkelverstellbaren Detektor in einem Vakuumsystem. Ein kollimierter Strahl monoenergetischer

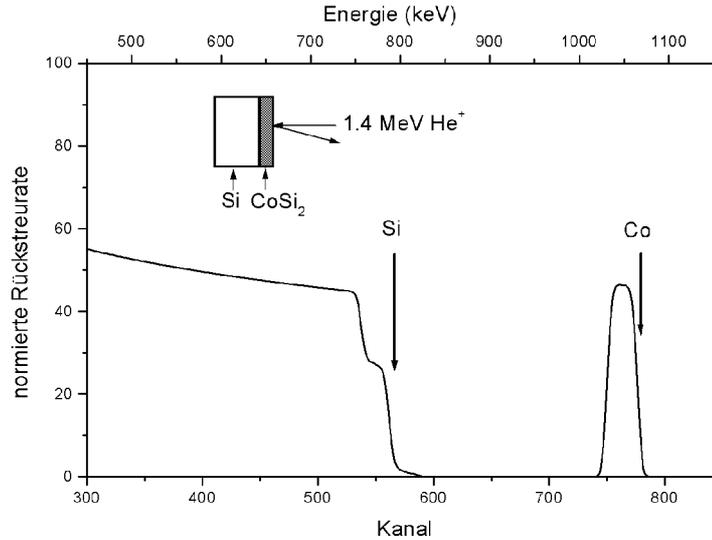


Abbildung B.3: Simulation des RBS-Spektrums einer 50 nm dicken CoSi_2 -Oberflächenschicht.

Ionen (meist He^+ mit Energien um 2 MeV) wird auf die Probe fokussiert. Der Detektor misst die an der Probe zurückgestreuten Ionen energieaufgelöst, so dass von einem angeschlossenen Zählsystem die Anzahl der in den Detektor zurückgestreuten Ionen über deren Energie aufgetragen werden kann. Alle im Rahmen dieser Arbeit aufgenommenen RBS-Spektren wurden mit 1,4 MeV He^+ Ionen gemessen. Die Energie der Projektilionen ist so gewählt, dass man die Rückstreuung als klassische elastische Zweikörperstöße mit den Targetatomkernen betrachten kann. Das bedeutet, dass die Energie hoch genug sein muss (>50 keV), um Abschirmungseffekte der Elektronenhülle bei der Wechselwirkung der Ionen mit den Atomen vernachlässigen zu können, andererseits muss die Energie unterhalb der Schwelle für Resonanzen und Kernreaktionen liegen (<3 MeV).

Theorie

Wird ein Projektilion der Masse m und der Geschwindigkeit v_1 elastisch an einem Targetatom der Masse M um den Winkel Θ gestreut, so kann man über Energie- und Impulserhaltung den kinematischen Faktor k bestimmen:

$$k = \left(\frac{m \cos \Theta - \sqrt{M^2 - m^2 \sin^2 \Theta}}{m + M} \right)^2. \quad (\text{B.1})$$

Dieser gibt den Anteil der Energie des Projektilions von seiner Ursprungsenergie an, die es nach der Streuung hat. Bei vorgebenem Streuwinkel, welcher durch die Detektorposition gegeben ist, hängt die Energie des rückgestreuten Ions nur von der Masse des Targetatoms ab und ermöglicht so die Massenidentifikation im Spektrum. Abb. B.3 zeigt eine Simulation einer 50 nm dicken CoSi_2 -Oberflächenschicht. Die Energien für an Silizium und an Kobalt gestreute Teilchen sind mit Pfeilen gekennzeichnet. Gleichung B.1 gilt für die Streuung an der Oberfläche der Probe. Wird ein Ion nicht an der Oberfläche, sondern in der Tiefe x gestreut, so erfährt es auf dem Weg durch die Probe über inelastische Stöße mit den Targetelektronen einen zusätzlichen Energieverlust ΔE , welcher sich in Oberflächennäherung darstellt als:

$$\Delta E = \left[\frac{k}{\cos \vartheta} \left(\frac{dE}{dx} \right)_{in} + \frac{1}{\cos \vartheta'} \left(\frac{dE}{dx} \right)_{out} \right] x. \quad (\text{B.2})$$

Aus dem Energieverlust kann die Tiefe x bestimmt werden, in der das Streueignis stattgefunden hat. Damit liefert die Methode ein Tiefenprofil des Targets, welches sich dann als Breite des Peaks im Spektrum darstellt.

Die Rückstreurrate H der Projektilionen in einen Raumwinkel Ω ist proportional zur Flächendichte N der Targetatome:

$$H = \sigma \Omega Q N. \quad (\text{B.3})$$

Q ist dabei die Gesamtzahl der einfallenden Ionen und σ der Streuquerschnitt. Aus dieser Gleichung lässt sich die Stöchiometrie der Probe bestimmen.

Die Auswertung der Spektren geschieht mit Hilfe des Simulationsprogrammes RUMP [106] und liefert so quantitative Aussagen über die Zusammensetzung des Targets.

Gleichung B.3 gilt genau genommen nur für gegenüber dem Ionenstrahl statistisch angeordnete Targetatome, wie es für amorphe oder polykristalline Materialien der Fall ist. Um dies auch für einkristalline Materialien zu gewährleisten führt man eine sogenannte Random-Messung durch. Dabei wird die Probe um wenige Grad aus der Hauptachsenrichtung verkippt und während der Messung um die Probennormale gedreht.

Channeling

Trifft der Ionenstrahl parallel zu einer Achse hoher Symmetrie einer einkristallinen Probe auf, so werden die Ionen durch Kleinwinkelstöße an den Atomreihen des Targets wie in einem Kanal geführt und dringen auf diese Weise viel tiefer in den Kristall ein. Das führt zu einer erheblichen Reduzierung der Rückstreurrate. Diesen Effekt macht man sich bei der sogenannten

Channeling-Messung zu Nutze, indem man diese Gitterkanäle gezielt sucht und so über den Quotienten von Random- und Channeling-Messung, der als Minimum-Yield χ_{min} bezeichnet wird, ein Maß für die Kristallqualität der Probe bekommt:

$$\chi_{min} = \text{Min} \left(\frac{H_{\text{Channeling}}}{H_{\text{Random}}} \right). \quad (\text{B.4})$$

Bei z.B. einkristallinem Silizium guter Qualität beträgt χ_{min} in (100)-Richtung annähernd 3%.

Weitere Aussagen über die Kristallqualität bekommt man über das planare Channeling. Hier werden die Ionen zwischen Kristallebenen geführt. Die Werte für das planare Channeling liegen im Allgemeinen höher als für das axiale Channeling. Das planare Channeling eignet sich besonders zur Messung von Fadenversetzungsdichten.

Strahlgeometrien

Gewöhnlich werden die RBS- und Channeling Messungen unter senkrechtem Einfall des Strahls bei einem Detektorwinkel von 170° durchgeführt, um eine möglichst hohe Massenauflösung zu bekommen. Bei den von uns gemessenen dünnen CoSi_2 -Schichten sind jedoch auch Messungen mit größerer Tiefenauflösung hilfreich. Aus den Gleichungen B.1 und B.2 sieht man, dass dies auf Kosten der Massenauflösung über die Verkleinerung von Θ möglich ist. Folgende Streugeometrien wurden verwendet:

- Standard Setup: Senkrechter Einfall des Ionenstrahles, Detektorwinkel = 170° ; Random-, axiales Channeling und planares Channeling mit hoher Massenauflösung und geringer Tiefenauflösung.
- Streifender Einfall (80° zur Probennormale) des Ionenstrahles, Detektorwinkel = 170° ; Random-Messungen mit hoher Tiefenauflösung und geringer Massenauflösung.
- Streifender Ausfall: Senkrechter Einfall des Ionenstrahles, Detektorwinkel 110° ; Random- und Channeling-Messungen mit mittlerer Massen- und Tiefenauflösung.

B.3 Elektrische Messungen

Schichtwiderstandsmessungen

Zur Messung des Schichtwiderstandes der Silizidschichten wurde die *van der Pauw*-Methode angewandt [107]. Dazu werden an einem Spitzenmessplatz

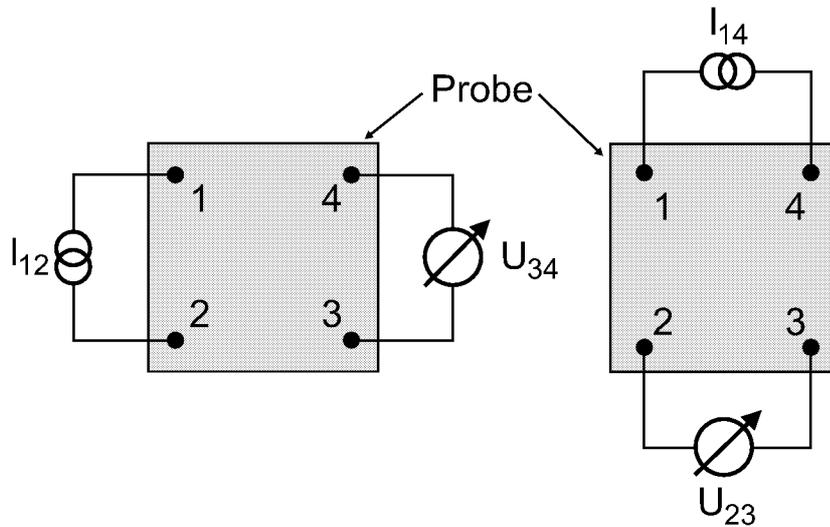


Abbildung B.4: Prinzip der Widerstandsmessung nach van der Pauw.

vier Kontakte an den Ecken einer quadratischen Probe angebracht und jeweils ein konstanter Strom an zwei benachbarte Nadeln angelegt, während an den beiden gegenüberliegenden Nadeln der Spannungsabfall gemessen wird (s. Abb. B.4). Der Schichtwiderstand R_{\square} ergibt sich dann aus den van der Pauw Widerständen

$$R_{1234} = \frac{U_{34}}{I_{12}} \quad \text{und} \quad R_{2341} = \frac{U_{23}}{I_{14}} \quad (\text{B.5})$$

zu

$$R_{\square} [\Omega/\square] = \frac{\rho}{d} = \frac{\pi}{\ln 2} \frac{R_{1234} + R_{2341}}{2}, \quad (\text{B.6})$$

wobei d die Schichtdicke der gemessenen Schicht und ρ der spezifische Widerstand ist. Ist der spezifische Widerstand eines Schichtmaterials bekannt, so lassen sich mit dieser Methode, insbesondere auch in Verbindung mit RBS, Aussagen über die Schichtdicke bzw. die Schichtqualität machen.

Diese Methode wurde verwendet um die mit Hilfe der Molekularstrahl-epitaxie bzw. der Fesphasenepitaxie hergestellten CoSi_2 -Schichten zu messen. Damit ließ sich schnell eine mögliche Degradation der Schichten nach Temperaturbehandlung bzw. der Erfolg der Silizidierung überprüfen.

I-V-Messungen

An einem 4-Spitzen-DC-Messplatz wurde die elektrische Charakterisierung der Transistoren bzw. der Schottkydioden vorgenommen. Hierzu stand ein

Halbleitermessgerät HP4145B der Firma Hewlett Packard zur Verfügung.

Anhang C

Abkürzungen

AFM	atomic force m icroscopy
APM	ammonia p eroxide m ixture
BHF	b uffered h ydrofluoric acid
CMOS	complementary m etal- o xide- s emiconductor
CVD	chemical v apor d eposition
DHF	d iluted h ydrofluoric acid
FZ	f loating z one
HPM	hydrochloric acid p eroxide m ixture
IBS	i on b eam s ynthesis
LOCOS	l ocal o xidation of s ilicon
LOCOSI	l ocal o xidation of s ilicides
LPCVD	low p ressure c hemical v apor d eposition
MBA	m olecular b eam a llotaxie
MBE	m olecular b eam e pitaxie
MOS	m etal- o xide- s emiconductor
MOSFET	m etal- o xide- s emiconductor f ield- e ffect t ransistor
MSM	m etal- s emiconductor- m etal
OME	o xide m ediated e pitaxy
PECVD	p lasma e nhanced c hemical v apor d eposition
RBS	R utherford b ackscattering spectroscopy
REM	R asterelektronen m ikroskopie
RIE	reactive ion e tching
RTP	rapid t hermal p rocessor

SALICIDE	self aligned silicide
SB-MOSFET	S chottky b arrier m etal- o xide- s emiconductor f ield- e ffect t ransistor
SOI	s ilicon- o n- i nsulator
SPE	s olid p hase e pitaxy
SPM	s ulforic acid p eroxide m ixture
TEM	t ransmission e lektron m icroscopy
TIME	t itanium i nterlayer m ediated e pitaxy
UHV	u ltra h igh v acuum
US	u ltra s onic
XTEM	c rosssectional t ransmission e lektron m icroscopy

Literaturverzeichnis

- [1] P. Zeppenfeld and M. Hohage, *Nanostrukturierte Oberflächen*, Physikalische Blätter **56** Nr. 11 (2000), 33.
- [2] *ITRS International Technology Roadmap for Semiconductors*, <http://public.itrs.net/>.
- [3] R. Kassing, R. Käsmeyer and I. W. Rangelow, *Lithographie der nächsten Generation*, Physikalische Blätter **56** Nr. 2 (2000), 31.
- [4] R. Martel, V. Derycke, C. Lavoie, J. Appenzeller, K. K. Chan and Ph. Avouris, *Ambipolar Electrical Transport in Semiconducting Single-Wall Carbon Nanotubes*, Phys. Rev. Lett. **87** (2001), 256805/1.
- [5] V. Derycke, R. Martel, J. Appenzeller and Ph. Avouris, *Carbon Nanotube Inter- and Intramolecular Logic Gates*, Nano Letters **1** (2001), 453.
- [6] S. Mantl, M. Dolle, St. Mesters, P. F. P. Fichtner and H. L. Bay, *Patterning method for silicides based on local oxidation*, Appl. Phys. Lett. **67** (1995), 3459.
- [7] F. Klinkhammer, *Nanostrukturierung von epitaktischen CoSi_2/Si -Heterostrukturen mittels lokaler Oxidation*, Dissertation, RWTH Aachen, Berichte des Forschungszentrums Jülich Jül-3579, 1998.
- [8] Q.-T. Zhao, F. Klinkhammer, M. Dolle and S. Mantl, *Nanometer patterning of epitaxial $\text{CoSi}_2/\text{Si}(100)$ for ultrashort channel Schottky barrier metal-oxide-semiconductor field effect transistors*, Appl. Phys. Lett. **74** (1999), 454.
- [9] R. T. Tung, K. Maex, P. W. Pellegrini and L. H. Allen, *Silicide Thin Films - Fabrication, Properties, and Applications*, Mater. Res. Soc. Symp. Proc. **402** (1996).

- [10] R. W. Fathauer, S. Mantl, L. J. Schowalter and K. N. Tu (Hrsg.), *Silicides, Germanides, and Their Interfaces*, Mater. Res. Soc. Symp. Proc. **320** (1994).
- [11] K. Maex, *Silicides for integrated circuits: $TiSi_2$ and $CoSi_2$* , Materials Science and Engineering **R11** (1993), 53.
- [12] M. Löken, *Herstellung und Charakterisierung von ultraschnellen Photo-detektoren*, Dissertation, Universität zu Köln, Berichte des Forschungszentrums Jülich Jül-3687, 1999.
- [13] H. Lange, *Properties and Perspectives of Semiconducting Transition Metal Silicides*, Mater. Res. Soc. Symp. Proc. **402** (1996), 307.
- [14] K. Maex and M. Van Rossum, *Properties of Metal Silicides*, INSPEC, London, 1995.
- [15] S. P. Muraka, *Silicides for VLSI Applications*, Academic Press Inc., Orlando, 1983.
- [16] M.-A. Nicolet and S. S. Lau, *Electronics Microstructure Science*, Academic Press Inc., New York, 1983, Ed. N. G. Einspruch and G. B. Larrabee.
- [17] K. Maex, *Simply irresistible silicides*, Physics World (Nov. 1998), 35.
- [18] J. Chen, J.-P. Colinge, D. Flandre, R. Gillon, J. P. Raskin and D. Vanhoenacker, *Comparison of $TiSi_2$, $CoSi_2$, and $NiSi$ for Thin-Film Silicon-Insulator Applications*, J. Electrochem. Soc. **144** (1997), 2437.
- [19] R. Chau, J. Kavalieros, B. Roberds, R. Schenker, D. Lionberger, D. Barlage, B. Doyle, R. Arghavani, A. Murthy and G. Dewey, *30nm Physical Gate Length CMOS Transistors with 1.0 ps n-MOS and 1.7 ps p-MOS Gate Delays*, IEEE Technical Digest (2000).
- [20] J. A. Kittl and Q.-Z. Hong, *Ti and Co silicide phase formation and transformations on deep-sub-micron gates for ULSI applications*, AIP Conference Proceedings **418** (1998), 439.
- [21] R. T. Tung, *Schottky-Barrier Formation at Single-Crystal Metal-Semiconductor Interfaces*, Phys. Rev. Lett. **52** (1984), 461.
- [22] R. T. Tung and S. Ohmi, *Epitaxial silicide interfaces in microelectronics*, Thin Solid Films **369** (2000), 233.

- [23] T. B. Massalski, *Binary Alloy Phase Diagrams*, American Society for Metals, Ohio, 1986.
- [24] S. M. Sze, *Physics of Semiconductor Devices*, John Wiley & Sons, New York, Chichester, Brisbane, Toronto, Singapore, 1981, 2. Auflage.
- [25] R. T. Tung, J. M. Gibson, J. C. Bean, J. M. Poat and D. C. Jacobsen, *Growth of single-crystal CoSi_2 on $\text{Si}(111)$* , Appl. Phys. Lett. **40** (1982), 684.
- [26] S. M. Yalisove, R. T. Tung and D. Loretto, *Epitaxial orientation and morphology of thin CoSi_2 films grown on $\text{Si}(100)$: Effects of growth parameters*, J. Vac. Sci. Technol. A **7** (1989), 1472.
- [27] J. R. Jimnez, L. M. Hsiung, K. Rajan, L. J. Schowalter, S. Hashimoto, R. M. Thompson and S. S. Iyer, *Control of misoriented grains and pinholes in CoSi_2 grown on $\text{Si}(001)$* , Appl. Phys. Lett. **57** (1990), 2811.
- [28] E. Chainet, M. de Crescenzi, J. Derrien, T. T. A. Nguyen and R. C. Cinti, *Local structure determination of the $\text{Co-Si}(111)$ interface by surface electron energy-loss fine-structure technique*, Surf. Sci. **186** (1986), 801.
- [29] A. Alberti, *Formation and thermal stability of polycrystalline CoSi_2 layers*, Dissertation, Universita degli studi di Catania, Italien, 2000.
- [30] K. Maex and A. Lauwers, *Silicides: Materials Science and Applications for Microelectronics in: Silicides Ed. by Leo Miglio and F. D'Heurle*, World Scientific, Singapore, 1995.
- [31] S. Mantl, *Ion beam synthesis of epitaxial silicides: fabrication, characterization and applications*, Material Science Reports **8** (1992), 1.
- [32] M. F. Wu, A. Vantomme, H. Pattyn, G. Langouche, K. Maex, J. Vanhellefont, J. Vanacken, H. Vloeberghs and Y. Bruynseraede, *Formation of buried and surface CoSi_2 layers by ion implantation*, Nucl. Instr. and Meth. **B 45** (1990), 658.
- [33] C. d'Anterrosches, H. N. Yakupoglu, T. L. Lin, R. W. Fathauer and P. J. Grunthaner, *Transmission electron microscopy study of the formation of epitaxial $\text{CoSi}_2/\text{Si}(111)$ by a room-temperature codeposition technique*, Appl. Phys. Lett. **52** (1988), 434.

- [34] R. T. Tung, J. L. Batstone and S. M. Yalisove, *Ultrathin single crystal CoSi₂ layers on Si(111) and Si(100)*, Mater. Res. Soc. Symp. Proc. (1988), 265.
- [35] S. Mantl, *Molecular beam allotaxy: a new approach to epitaxial heterostructures*, J. Phys. D. **31** (1998), 1.
- [36] R. T. Tung, *Oxide mediated epitaxy of CoSi₂ silicon*, Appl. Phys. Lett. **68** (1996), 3461.
- [37] M. Lawrence, A. Dass, D. B. Fraser and C.-S. Wei, *Growth of epitaxial CoSi₂ on (100)Si*, Appl. Phys. Lett. **58** (1991), 1308.
- [38] K. Sakamoto, T. Maeda and M. Hasegawa, *Growth of epitaxial CoSi₂ for contacts of ultra-thin SOI MOSFETs*, Thin Solid Films **369** (2000), 240.
- [39] C. Detavernier, R. L. van Meirhaeghe, F. Cardon, K. Maex, H. Bender and Shiyang Zhu, *CoSi₂ formation in the Ti/Co/SiO₂/Si system*, J. Appl. Phys. **74** (1999), 2930.
- [40] C. Detavernier, R. L. van Meirhaeghe, F. Cardon, R. A. Donaton and K. Maex, *CoSi₂ formation in the presence of interfacial silicon oxide*, Appl. Phys. Lett. **74** (1999), 2930.
- [41] G. B. Kim, J. S. Kwak, H. K. Baik, S. M. Lee, S. H. Oh and C. G. Park, *Reaction of Co and capping layers and its effect on CoSi₂ formation in Si/SiO_x/Co system*, Appl. Phys. Lett. **77** (2000), 1443.
- [42] C. Detavernier, *Fundamental study of nucleation and epitaxial growth of CoSi₂*, Dissertation, Universiteit Gent, Belgien, 2000.
- [43] M. Falke, *Elektronenmikroskopische Untersuchung der Bildung von CoSi₂-Schichten auf Si(001)*, Dissertation, Technische Universität Chemnitz, 1999.
- [44] R. T. Tung and F. Schrey, *Molecular beam epitaxy growth of CoSi₂ at room temperatures*, Appl. Phys. Lett. **54** (1989), 852.
- [45] R. Stalder, N. Onda, H. Sirrighaus, H. von Känel and C. W. T. Bulle-Lieuwma, *Surface and interface structure of epitaxial CoSi₂ films on Si(111)*, J. Vac. Sci. Technol. B **9** (1991), 2307.

- [46] R. T. Tung, F. Schrey and S. M. Yalisove, *Homoepitaxial growth of CoSi_2 and NiSi_2 on (100) and (110) surfaces at room temperatures*, Appl. Phys. Lett. **55** (1989), 2005.
- [47] C. W. T. Bulle-Lieuwma, *Epitaxial growth of CoSi_2/Si structures*, Appl. Surf. Sci **68** (1993), 1.
- [48] L. Kappius, *Herstellung und Charakterisierung von CoSi_2/Si -Heterostrukturen und $\text{Ge}/\text{CoSi}_2/\text{Si}$ -Heterostrukturen*, Dissertation, RWTH Aachen, Berichte des Forschungszentrums Jülich Jül-3811, 2000.
- [49] R. T. Tung and S. Ohmi, *Improved thermal stability of ultrathin CoSi_2 layers by oxygen annealing*, Mater. Res. Soc. Symp. Proc. **514** (1998), 157.
- [50] M. Bruel, B. Aspar and A. J. Auberton-Herve, *Smart-Cut: a new silicon on insulator material technology based on hydrogen implantation and wafer bonding*, Japanese Journal of Applied Physics, Part 1 **36** (1997), 1636.
- [51] G. B. Kim, J. S. Kwak, H. K. Baik and S. M. Lee, *Effect of Ti-capping thickness on the formation of an oxide-interlayer-mediated-epitaxial CoSi_2 film by ex situ annealing*, J. Appl. Phys. **85** (1999), 1503.
- [52] S. L. Hsia, T. Y. Tan, P. Smith and G. E. McGuire, *Resistance and structural stabilities of epitaxial CoSi_2 films on (001) Si substrates*, J. Appl. Phys. **72** (1992), 1864.
- [53] L. Ruan and D. M. Chen, *Pinhole formation in solid phase epitaxial film of CoSi_2 on $\text{Si}(111)$* , Appl. Phys. Lett. **72** (1998), 3464.
- [54] P. Avoris Hrsg., *Atomic and Nanometer-Scale Modification of Materials: Fundamentals and Applications*, Kluwer, Dordrecht, 1993.
- [55] M. Köhler, *Nanotechnologie*, Wiley-VCH, Weinheim, 2001.
- [56] F. J. Himpsel, A. Kirakosian, J. N. Crain, J. L. Lin and D. Y. Petrovykh, *Self-assembly of one-dimensional nanostructures at silicon surfaces*, Solid State Communications **117** (2001), 149.
- [57] S. Wolf, *Silicon Processing for the VLSI Era; Vol. 2: Process Integration*, Lattice Press, California, 1990.

- [58] M. Bartur and M.-A. Nicolet, *Thermal Oxidation of Transition Metal Silicides on Si: Summary*, J. Electrochem. Soc. **131** (1984), 371.
- [59] R. D. Frampton, E. A. Irene and F. M. d'Heurle, *A study of the oxidation of selected metal silicides*, J. Appl. Phys. **62** (1987), 2972.
- [60] H. Jiang, C. S. Petersson and M. A. Nicolet, *Thermal oxidation of transition metal silicides*, Thin Solid Films **140** (1986), 115.
- [61] W. J. Strydom, J. C. Lombaard and R. Pretorius, *Thermal oxidation of the silicides $CoSi_2$, $CrSi_2$, $NiSi_2$, $PtSi$, $TiSi_2$ and $ZrSi_2$* , Thin Solid Films **131** (1985), 215.
- [62] M. Bartur and M.-A. Nicolet, *Marker experiments for diffusion in the silicide during oxidation of $PdSi$, Pd_2Si , $CoSi_2$, and $NiSi_2$ films on Si*, J. Appl. Phys. **54** (1983), 5404.
- [63] F. M. d'Heurle, *Thermal formation of SiO_2 films over $NiSi$, $NiSi_2$ and $CoSi_2$ via silicide decomposition*, Thin Solid Films **105** (1983), 285.
- [64] M. Bartur, *Thermal Oxidation of Transition Metal Silicides: The role of mass transport*, Thin Solid Films **107** (1983), 55.
- [65] S. Wolf and R. N. Tauber, *Silicon Processing for the VLSI Era; Vol. 1: Process Technology*, Lattice Press, California, 2000.
- [66] M. Bartur and M.-A. Nicolet, *Thermal oxidation of cobalt disilicide*, Appl. Phys. A **A29** (1982), 69.
- [67] G. Roters, W. Lerch and Z. Nenyai, *RTP of Thin Oxinitrides*, 7th Conference on Advanced Thermal Processing of Semiconductors - RTP '99 (1999), 106.
- [68] S. M. Hu, *Stress-related problems in silicon technology*, J. Appl. Phys. **70** (1991), R53.
- [69] S. C. Jain, H. E. Maes, K. Pinardi and I. De Wolf, *Stresses and strains in lattice-mismatched stripes, quantum wires, quantum dots, and substrates in Si technology*, J. Appl. Phys. **79** (1996), 8145.
- [70] S. Isomae, *Stress in silicon at Si_3N_4/SiO_2 film edges and viscoelastic behaviour of SiO_2 films*, J. Appl. Phys. **57** (1985), 216.
- [71] C. Y. Chang and S. M. Sze, *ULSI Technology*, McGraw-Hill, Singapore, 1996.

- [72] S. Isomae, S. Yamamoto, S. Aoki and A. Yajima, *Oxidation-Induced Stress in a LOCOS Structure*, IEEE Electron Device Letters **EDL-7 No. 6** (1986), 368.
- [73] A. Antons, *Simulation eines neuen Strukturierungsverfahrens für Silizide basierend auf lokaler Oxidation*, 1998, Diplomarbeit, RWTH Aachen.
- [74] T. Barge, S. Poize, J. Bernardini and P. Gas, *Cobalt lattice diffusion in bulk cobalt disilicide*, Appl. Surf. Sci **53** (1991), 180.
- [75] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, Cambridge, 1998.
- [76] R. K. Cavin, D. J. C. Herr and V. V. Zhirnov, *Semiconductor research needs in the nanoscale physical sciences: a Semiconductor Research Corporation working paper*, Journal of Nanoparticle Research **2** (2000), 213.
- [77] S. A. Rishton, K. Ismail, J. O. Chu and K. Chan, *An MOS transistor with Schottky source/drain contacts and a self-aligned low-resistance T-gate*, Microelectronic Engineering **35** (1997), 361.
- [78] S. A. Rishton, K. Ismail, J. O. Chu, K. Chan and K. Y. Lee, *New complimentary metal-oxide semiconductor technology with self-aligned low-resistance T-gate*, J. Vac. Sci. Technol. B **15** (1997), 2795.
- [79] M. P. Lepselter and S. M. Sze, *SB-IGFET: An Insulated-Gate Field-Effect Transistor Using Schottky Barrier Contacts for Source and Drain*, Proc. IEEE **56** (1968), 1088.
- [80] C.-K. Huang, W. E. Zhang and C. H. Yang, *Two-Dimensional Numerical Simulation of Schottky Barrier MOSFET with Channel Length to 10 nm*, IEEE Transactions on Electron Devices **45** (1998), 842.
- [81] J. E. Lilienfeld, US Patent 1.745.175 (1930).
- [82] O. Heil, GB Patent 439.457 (1935).
- [83] H. Lüth, *Surfaces and interfaces of solid materials*, Springer, Berlin, 1995.
- [84] H. A. Bethe, *Theory of the boundary Layer of Crystal Rectifiers*, MIT Radiat. Lab. Rep. **43** (1942).

- [85] J. Guo and M. Lundstrom, *A Computational Study of Thin-Body, Double-Gate, Schottky Barrier MOSFETs*, to be published.
- [86] R. Tung, *The changing views on the Schottky barrier in: Silicides Ed. by Leo Miglio and F. D'Heurle*, World Scientific, Singapore, 1995.
- [87] L. E. Cavalet, H. Luebben, M. A. Reed, C. Wang, J. P. Snyder and J. R. Tucker, *Subthreshold and scaling of PtSi Schottky barrier MOSFETs*, *Superlattices and Microstructures* **28** (2000), 501.
- [88] M. K. Jeong, P. M. Solomon, S. E. Laux, H.-S. P. Wong and D. Chidambarro, *Comparison of Raised and Schottky Source/Drain MOSFETs Using a Novel Tunneling Contact Model*, *Proc. IEDM 1998* (1998), 733.
- [89] C. Wang, J. P. Snyder and J. R. Tucker, *Sub-40 nm PtSi Schottky source/drain metal-oxide-semiconductor field-effect transistors*, *Appl. Phys. Lett.* **74** (1999), 1174.
- [90] J. P. Snyder, C. R. Helms and Y. Nishi, *Experimental investigation of a PtSi source and drain field emission transistor*, *Appl. Phys. Lett.* **67** (1995), 1420.
- [91] J. Kedzierski, P. Xuan, E. H. Anderson, J. Bokor, T.-J. King and C. Hu, *Complementary silicide source/drain thin-body MOSFETs for the 20 nm gate length regime*, *Proc. IEDM 2000* (2000).
- [92] M. Nishisaka and T. Asano, *Reduction of the Floating Body Effect in SOI MOSFETs by Using Schottky Source/Drain Contacts*, *Jpn. J. Appl. Phys.* **37** (1998), 1295.
- [93] W. Saitoh, S. Yamagami, A. Itoh and M. Asada, *35 nm Metal Gate p-type Metal Oxide Semiconductor Field-Effect Transistor with PtSi Schottky Source/Drain on Separation by Implanted Oxygen Substrate*, *Jpn. J. Appl. Phys.* **38** (1999), 629.
- [94] K. Uchida, K. Matsuzawa, J. Koga, S.-I. Takagi and A. Toriumi, *Enhancement of hot-electron generation rate in Schottky source metal-oxide-semiconductor field-effect transistors*, *Appl. Phys. Lett.* **76** (2000), 3992.
- [95] F.-J. Huang and K. K. O, *Metal-oxide semiconductor field-effect transistors using Schottky barrier drains*, *Electronic Letters* **33** (1997), 134.

-
- [96] J. Moers, *Lithography in Neue Materialien für die Informationstechnik*, Forschungszentrum Jülich GmbH, 2001.
- [97] K. Schade, *Halbleitertechnologie*, VEB Verlag Technik, Berlin, 1983.
- [98] G. Schumicki and P. Seegebrecht, *Prozeßtechnologie*, Springer-Verlag, Berlin Heidelberg, 1991.
- [99] E. B. Graper, *Electron Beam Evaporation in Handbook of Thin Film Process Technology*, Institute of Physics, Bristol, 1995.
- [100] J. F. Ziegler (Hrsg.), *Handbook of Ion Implantation Technology*, Elsevier Science Publishers B.V., Amsterdam, 1992.
- [101] T. Hattori, *Ultraclean Surface Processing of Silicon Wafers*, Springer-Verlag, Berlin Heidelberg, 1998.
- [102] A. Claverie and M. J. Casanove, *Transmission electron microscopy and related techniques for silicon based materials characterization*, *Micro-electronic Engineering* **40** (1998), 239.
- [103] I. M. Watt, *Principles and practice of Electron Microscopy*, Cambridge University Press, New York, 1997, 2nd ed.
- [104] W. K. Chu, J.W. Mayer and M.-A. Nicolet, *Backscattering Spectrometry*, Academic Press, New York, 1978.
- [105] L. C. Feldman and J. W. Mayer, *Fundamentals of Surface and Thin Film Analysis*, Elsevier Science Publishing Co., Inc., New York, 1986.
- [106] L.R. Doolittle, *Algorithms for the rapid simulation of Rutherford backscattering spectra*, *Nucl. Instr. Meth. B* **9** (1985), 344.
- [107] L. J. van der Pauw, *A method of measuring specific resistivity and Hall effect of discs of arbitrary shape*, *Philips Research Reports* **13** (1958), 1.

Abbildungsverzeichnis

1.1	Salicide-Prozess.	15
1.2	Kobalt-Silizium-Phasendiagramm	19
1.3	Kristallstruktur von Silizium (Diamantstruktur) und CoSi_2 (CaF_2 -Struktur)	20
2.1	Schematische Darstellung der Molekularstrahlallotaxie.	26
2.2	XTEM-Aufnahmen einer 20 nm dicken CoSi_2 -Schicht vor und nach dem Tempern.	29
2.3	RBS/Channeling-Spektren einer 21 nm dicken CoSi_2 -Schicht.	30
2.4	RBS-Spektrum und Simulation einer 21 nm dicken CoSi_2 -Schicht auf einem 54 nm dicken SOI-Substrat.	31
2.5	XTEM-Aufnahmen einer 21 nm dicken CoSi_2 -Schicht auf einer etwa 54 nm dicken SOI-Schicht vor und nach dem Tempern.	33
2.6	RBS/Channeling-Spektren einer einer 21 nm dicken CoSi_2 - Schicht auf einer 54 nm SOI-Schicht und einer 25 nm dicken CoSi_2 -Schicht auf einer 160 nm SOI-Schicht.	34
2.7	Schematische Darstellung der Zweistufentemperung im RTP.	37
2.8	RBS/Channeling-Spektren einer 30 nm dicken CoSi_2 -Schicht.	38
2.9	Einfluss der RTP2 Temperatur auf Minimum-Yield und Schicht- widerstand von 30 nm dicken CoSi_2 -Schichten.	38
2.10	XTEM-Aufnahmen der Ti/Co/ SiO_2 /Si(100)-Struktur nach dem Tempern in Formiergas.	39
2.11	REM- und XTEM-Aufnahme von Pinholes in der CoSi_2 -Schicht.	40
3.1	Schematische Darstellung des Strukturierungsprinzips	45
3.2	Schematische Darstellung der Oxidation von CoSi_2 /Si-Schichten	48
3.3	Schematische Darstellung der Volumenzunahme bei der Oxi- dation von CoSi_2 und Silizium	49
3.4	Schematische Darstellung der Spannungserzeugung am Rand einer Maskenstruktur, welche unter Zugspannung steht	51

4.1	Schematische Darstellung der Auftrennung der Silizidschichten mittels LOCOSI.	59
4.2	XTEM-Aufnahmen der Strukturierung einer 21 nm dicken CoSi_2 -Schicht.	60
4.3	REM-Aufnahme der Strukturierung einer 21 nm dicken Schicht.	61
4.4	XTEM-Aufnahme der lokalen Oxidation einer 29 nm dicken CoSi_2 -Schicht. Die Nitridschicht wurde hier mit der LPCVD aufgebracht.	62
4.5	XTEM-Aufnahmen der Strukturierung einer 24 nm dicken CoSi_2 -Schicht auf einer 160 nm dicken SOI-Schicht.	63
4.6	REM-Aufnahme der Strukturierung einer 24 nm dicken CoSi_2 -Schicht auf einer 160 nm dicken SOI-Schicht.	64
4.7	REM-Bilder einer 24 nm dicken CoSi_2 -Schicht auf einer 70 nm dicken SOI-Schicht. Die Dicken der Nitridschichten betragen 200 nm bzw. 100 nm.	64
4.8	XTEM-Aufnahmen einer 24 nm dicken CoSi_2 -Schicht auf 70 nm SOI und einer 24 nm dicken CoSi_2 -Schicht auf 160 nm SOI.	65
4.9	REM-Aufnahme der Strukturierung einer 21 nm dicken CoSi_2 -Schicht entlang der Kante einer um 45° zur $\langle 110 \rangle$ -Richtung verdrehten Nitridlinie.	67
4.10	REM-Aufnahme der Strukturierung einer 21 nm dicken CoSi_2 -Schicht an einer runden Maskenkante.	67
4.11	XTEM- und REM-Aufnahmen einer ursprünglich 70 nm breiten Auftrennung nach einer Nassoxidation bei 600°C	71
4.12	Schematische Darstellung des Zusammenwachsens der Auftrennung durch eine Niedrigtemperatur-Nassoxidation.	72
4.13	Schematische Darstellung des Prozesses zur Herstellung von CoSi_2 -Nanodrähten.	75
4.14	REM-Bild eines Silizid-Nanodrahtes.	76
4.15	XTEM-Bild eines Silizid-Nanodrahtes.	76
4.16	REM-Bilder der Strukturierung einer 32 nm dicken Silizidschicht nach Entfernen der Strukturierungsmaske	78
4.17	REM-Bilder der Strukturierung einer 21 nm dicken Silizidschicht nach Entfernen der Strukturierungsmaske	79
4.18	REM-Bilder der Strukturierung einer 32 nm dicken Silizidschicht nach Entfernen der Strukturierungsmaske.	80
4.19	REM-Bild eines Silizidrahtes, hergestellt ohne Grabenätzung.	81
4.20	XTEM-Bild eines Silizidrahtes auf SOI, hergestellt ohne Grabenätzung.	82
4.21	REM-Bilder einer CoSi_2/Si -Stegstruktur.	83

4.22	Schematische Darstellung eines Verfahrens zur Herstellung von Nanodrähten mit Kontaktflächen.	84
4.23	REM-Bild eines Siliziddrahtes, hergestellt mit einfacher lokaler Oxidation.	86
4.24	REM-Bild eines 50 nm breiten Siliziddrahtes mit Kontaktflächen.	86
4.25	I-V-Kurven eines einzeln kontaktierten und zweier parallel kontaktierter, 5 μm langer CoSi_2 -Drähte mit einer Breite L_W von 50 nm.	87
5.1	Schematische Darstellung des Strukturierungsprinzipes polykristalliner CoSi_2 -Schichten.	90
5.2	REM- und XTEM-Bild der Strukturierung einer polykristallinen CoSi_2 -Schicht.	91
5.3	REM-Bild einer nicht separierten polykristallinen CoSi_2 -Schicht	92
5.4	Schematische Darstellung des Strukturierungsprinzipes während der Festphasenepitaxie.	93
5.5	REM-Bilder der Strukturierung vor und nach dem Entfernen der Deckschicht.	93
5.6	XTEM-Aufnahme der Struktur nach Zweistufentempnern. . . .	94
6.1	Schematische Darstellung der Struktur eines konventionellen MOSFET und eines Schottky-Barrieren MOSFET.	98
6.2	Schematische Darstellung des MOS-Kondensators: Aufbau und Bänderschema	99
6.3	Bänderschema eines idealen Schottky-Kontaktes.	102
6.4	Mögliche Ladungsträgertransportprozesse in einer Schottky-Diode.	103
6.5	Schematische Darstellung des Arbeitsprinzipes des SB-MOSFET anhand der Bänderdiagramme.	105
6.6	Simulierter Bandverlauf zwischen Source und Drain eines SB-MOSFETs in Betrieb mit verschiedenen Barrierenhöhen. . . .	107
6.7	Schematische Darstellung der wichtigen Kennlinienfelder von MOSFET-Bauelementen.	108
7.1	Veranschaulichung des Konzeptes des SB-MOSFET anhand eines XTEM-Bildes einer Nanostruktur.	112
7.2	Schematische Darstellung des Maskenlayouts zur Herstellung der SB-MOSFETs.	113
7.3	Schematische Darstellung einiger Herstellungsstufen der SB-MOSFETs.	115

7.4	XTEM-Bild einer Tesstruktur aus dem Transistorchip.	118
7.5	REM-Bild eines SB-MOSFET mit einer Gateweite von $16 \mu m$	120
8.1	Sperrcharakteristik der Source- und Drain-Dioden.	124
8.2	I-V-Kennlinienfelder des SB-MOSFET auf p-SOI.	125
8.3	Transferkennlinienfeld des SB-MOSFET auf p-SOI im Inversions- Modus.	126
8.4	I-V-Kennlinienfelder des SB-MOSFET auf n-SOI.	126
8.5	Transferkennlinienfeld des SB-MOSFET auf n-SOI.	127
A.1	Unterschied zwischen Plasmaätzen (anisotrop) und Nassätzen (isotrop).	140
A.2	Schematische Darstellung eines RIE-Parallelplattenreaktors.	141
A.3	Lift-off Verfahren.	143
A.4	Schematischer Aufbau eines Quarzrohrfens.	144
A.5	Schematischer Aufbau eines Schnelltemperofens (RTP).	145
B.1	Wechselwirkungen eines Elektronenstrahls mit einem Festkörper und deren Verwendung in der modernen Analysetechnik.	154
B.2	Schematischer Aufbau einer RBS-Messvorrichtung und Dar- stellung der Streugeometrie.	155
B.3	Simulation des RBS-Spektrums einer 50 nm dicken $CoSi_2$ - Oberflächenschicht.	156
B.4	Prinzip der Widerstandsmessung nach van der Pauw.	159

Tabellenverzeichnis

1.1	Schmelzpunkt T_S , spezifischer Widerstand ρ und Schottky-Barrierenhöhe Φ_B auf n-Si polykristalliner, metallischer Silizide.	14
1.2	Anforderungen an Silizide für die jeweiligen Technologiegenerationen.	17
1.3	Materialeigenschaften von CoSi_2 und Silizium.	18
3.1	Mechanische Eigenschaften von SiO_2 , Si_3N_4 und Si	52
4.1	Grenzflächenenergien $\gamma\{hkl\}$ verschiedener Kristallorientierung der CoSi_2/Si -Grenzfläche.	66
4.2	Vergleich der Diffusionslänge L_{Co} von Co in CoSi_2 nach 2 h Nassoxidation bei 600°C und 1 min Trockenoxidation bei 950°C .	73
6.1	Gemessene Schottky-Barrierenhöhen Φ_{B_n} einiger wichtiger Silizide auf n-Silizium	102
7.1	Implantationsparameter für die Siliziumdotierung der SB-MOSFETs auf SOI-Substraten.	117
7.2	Parameter der untersuchten SB-MOSFETs	120
8.1	Elektrische Kenngrößen des SB-MOSFET auf p-SOI (XFET01) und n-SOI (XFET04).	128
A.1	Klassifizierung von Reinräumen nach Fed. Std. 209E.	136
A.2	Entwicklung von Prozessmerkmalen der Integrationstechnologie.	136
A.3	Nassätzprozesse.	140
A.4	RIE-Ätzprozesse.	142
A.5	Parameter für die PECVD Deposition von Si_3N_4	147
A.6	Nasschemische Reinigungsprozesse.	150

Veröffentlichungen

Fabrication of Epitaxial CoSi₂-Nanowires

P. Kluth, Q. T. Zhao, S. Winnerl, S. Lenk, and S. Mantl
Appl. Phys. Lett. 79 (2001) 824-826

Nanometer Patterning of Thin CoSi₂-Films by Application of Local Stress

P. Kluth, C. Detavernier, Q. T. Zhao, J. Xu, L. Kappius, H. Bay, St. Lenk,
and S. Mantl
Microelectronic Engineering 55 (2001) 177-182

Growth of Patterned Thin Epitaxial CoSi₂-Films by a Titanium Oxide Mediated Epitaxy Process

P. Kluth, C. Detavernier, Q. T. Zhao, J. Xu, H.-P. Bochem, St. Lenk, and
S. Mantl
Thin Solid Films 380 (2000) 201-203

Properties of Ion Implanted Epitaxial CoSi₂/Si(100) after Rapid Thermal Oxidation

Q. T. Zhao, P. Kluth, J. Xu, L. Kappius, U. Zastrow, Z. L. Wang, and
S. Mantl
Nuclear Instruments and Methods in Physics Research B 164-165 (2000)
1004-1009

Self-Assembly Patterning of Epitaxial CoSi₂-Wires

P. Kluth, Q. T. Zhao, S. Winnerl, and S. Mantl
Microelectronic Engineering 60 (2002) 239-245

Nanometer Patterning of Epitaxial CoSi₂ on Silicon-On-Insulator Substrates

Q. T. Zhao, P. Kluth, S. Winnerl, S. Lenk, and S. Mantl
Microelectronic Engineering 60 (2002) 183-190

Self-Assembled Epitaxial CoSi₂/Si(100) Nanostructures

P. Kluth, Q. T. Zhao, S. Winnerl, S. Lenk, and S. Mantl
ICSICT 2001 Proc. (2001) 483

Self-Assembly CoSi₂-Nanostructures for Fabrication of Schottky Barrier MOS-FETs on SOI

P. Kluth, Q. T. Zhao, S. Winnerl, and S. Mantl
Mat. Res. Soc. Symp. Proc. Vol. 686 (2002) A.7.2.1

Fabrication of Schottky Barrier MOSFETs on SOI by a Self-Assembly CoSi₂-Patterning Method

Q. T. Zhao, P. Kluth, S. Winnerl, and S. Mantl
ULIS 2002 Proc. (2002) 143-146

Double-Gate MOSFET with vertical layout

J. Moers, St. Trellenkamp, M. Goryll, S. Hogg, P. Kluth, Q. T. Zhao, L. Ves-can, M. Marso, S. Mantl, P. Kordos, and H. Lüth
ULIS 2002 Proc. (2002) 99-102

Epitaxial CoSi₂-Nanostructures: An approach to Si Nanoelectronics

P. Kluth, Q. T. Zhao, S. Winnerl, S. Lenk and S. Mantl
accepted for publication in Microelectronic Engineering

Self-assembly patterning of epitaxial CoSi₂ nano-structures

Q. T. Zhao, P. Kluth, S. Winnerl, S. Lenk and S. Mantl
accepted for publication in Microelectronic Engineering

Patentanmeldungen

P. Kluth, Q. T. Zhao, S. Mantl

Verfahren zur Herstellung von Nanometerdrähten aus dünnen Schichten
PT.1878 (Filed on 02.03.2001)

Q. T. Zhao, P. Kluth, S. Mantl

Verfahren zur Submikrometer-Strukturierung von Siliziden sowie dadurch her-gestellte Bauteile
PT.1879 (Filed on 02.03.2001)

P. Kluth, Q. T. Zhao, S. Mantl

Verfahren zur Herstellung einer Schicht auf einem Substrat
PT.1946 (Filed on 26.11.2001)

Danksagung

Ich möchte all denen danken, die durch ihr Engagement, ihre Unterstützung, Ratschläge und Impulse einen wesentlichen Beitrag zum Gelingen dieser Arbeit geleistet haben. Besonders bedanken möchte ich mich bei:

Herrn Prof. Dr. S. Mantl für die wissenschaftliche Betreuung dieser Arbeit, für die vielen interessanten Diskussionen und Anregungen und für den großen Freiraum bei der Umsetzung neuer Ideen,

Herrn Prof. Dr. H. Lüth für die Möglichkeit, die Arbeit am Institut für Schichten und Grenzflächen durchführen zu können und für die freundliche Bereitschaft das Korreferat zu übernehmen,

Herrn Dr. Q.-T. Zhao für die Einführung in die Geheimnisse des Reinraums und des LOCOSI-Prozesses und für die vielen kreativen Anregungen, die ganz wesentlich zum Erfolg dieser Arbeit beigetragen haben,

Herrn Dr. Stephan Winnerl für viele viele CoSi₂-Schichten, zahlreiche Diskussionen, das Korrekturlesen dieser Arbeit und nette Geschichten aus dem Freistaat Bayern,

Herrn Dr. Christophe Detavernier (Universität Gent, Belgien) für die Deposition der Ti/Co/SiO_x-Schichtsysteme,

Frau Steffi Lenk für die vielen TEM-Untersuchungen und die vielen schönen Bilder,

Herrn Dipl. Ing. H.-P. Bochem für zahlreiche SEM-Bilder,

Herrn W. Michelsen, Herrn Dr. Helge Bay und Herrn M. Gebauer für viele Implantationen,

Herrn H. Wingens und Herrn Dipl. Ing. A. Steffen für die zahlreichen PECVD-Depositionen,

Frau M. Nonn für die Herstellung der Lithographiemasken,

Herrn Dr. Ludger Kappius für die ersten MBA-Schichten,

Herrn J. Müller und Herrn Dipl. Ing. F.-J. Schröteler für die Einführung und die Hilfe im Reinraum,

Herrn K. H. Deussen für die LPCVD-Depositionen,

Herrn Dipl. Ing. F. Ringelmann für die Pflege der RIE-Anlage,

Herrn J. Zillikens für die Metallisierungen,

Herrn Dr. Bernd Holländer für die Einführung in das RBS-System,

Herrn H. Schwalbach und der Tandetron-Mannschaft für die Wartung der RBS-Anlage,

Herrn Dipl. Phys. Eduard Rije, meinem Bürogenossen, für die stete Hilfsbereitschaft und das Korrekturlesen der Arbeit,

Herrn Dipl. Phys. Bernd Schuller, dem L^AT_EX Wizard, für die immer erreichbare Hotline,

Herrn Dr. J. Moers, Herrn Dr. M. Goryll, Herrn Dipl. Phys. S. Trellenkamp und den anderen Mitarbeitern des "Extended Silicon MOSFET"-Projektes für die gute Zusammenarbeit und viele fruchtbare Diskussionen.

Weiterhin möchte ich mich bei allen anderen Mitarbeitern der Gruppe Ionentechnik für die angenehme und freundliche Arbeitsatmosphäre bedanken.

Ganz besonders möchte ich mich auch bei *meiner Familie* bedanken, die mich immer unterstützt haben, mir das Studium ermöglicht haben und damit den Grundstein zu dieser Arbeit gelegt haben.

Last but not least möchte mich bei *Susie* bedanken für die Geduld und Inspiration, die große Unterstützung, das Korrekturlesen meiner Veröffentlichungen und das mittägliche Laufen.

Forschungszentrum Jülich
in der Helmholtz-Gemeinschaft



Jül-3994
Juli 2002
ISSN 0944-2952