



Institut für Schichten und Grenzflächen

***Untersuchung von pseudomorphen
InGaAs/InAlAs/InP High Electron
Mobility Transistoren im Hinblick
auf kryogene Anwendungen***

Andres Tönnemann

***Untersuchung von pseudomorphen
InGaAs/InAlAs/InP High Electron
Mobility Transistoren im Hinblick
auf kryogene Anwendungen***

Andres Tönnemann

Berichte des Forschungszentrums Jülich ; 4043
ISSN 0944-2952
Institut für Schichten und Grenzflächen Jül-4043
D82 (Diss., Aachen, RWTH, 2003)

Zu beziehen durch: Forschungszentrum Jülich GmbH · Zentralbibliothek
D-52425 Jülich · Bundesrepublik Deutschland
☎ 02461/61-5220 · Telefax: 02461/61-6103 · e-mail: zb-publikation@fz-juelich.de

Untersuchung von pseudomorphen InGaAs/InAlAs/InP High Electron Mobility Transistoren im Hinblick auf kryogene Anwendungen

In einer Vielzahl von neuen Anwendungsbereichen der Datenkommunikation besteht der Bedarf nach höheren Übertragungskapazitäten. Als Transistortyp mit den größten bisher erreichten Grenzfrequenzen bietet sich der auf dem InGaAs/InAlAs/InP-Schichtsystem basierende High Electron Mobility Transistor (HEMT) als verstärkendes Bauelement für den Einsatz in Kommunikationssystemen an. Im Betrieb bei kryogenen Temperaturen, wie etwa in Mixern oder Oszillatoren in Satelliten oder auch Basisstationen mit entsprechender Kühltechnik, ist beim HEMT auf Grund der verminderten Streuung der Ladungsträger an Phononen noch eine Verbesserung der Rausch- und Hochfrequenzeigenschaften zu erwarten. Als größte technologische Herausforderungen für das Erreichen höchster Grenzfrequenzen in allen Temperaturbereichen sind die Verringerung der Zuleitungswiderstände sowie die Realisierung sehr kurzer Gatelängen Gegenstand dieser Arbeit. Zudem stellen Reproduzierbarkeit und Robustheit der hier untersuchten Gatetechnologien wesentliche Kriterien bei der Anwendung dar. InAlAs/InGaAs-HEMTs zeigen im Vergleich zu anderen Transistorkonzepten in stärkerem Maße unerwünschte, teils materialbedingte Kurzkanaleffekte wie einen frühen Durchbruch, hohe Gateströme, Stoßionisation, Kink-Effekt und Verschiebung der Einsatzspannung. Messungen an den im Rahmen dieser Arbeit hergestellten Transistoren bei Stickstofftemperatur vermitteln zusätzliche Einsichten in die Zusammenhänge dieser noch nicht vollständig verstandenen Effekte. Transitfrequenz bzw. maximale Schwingfrequenz von Kurzkanaltransistoren steigen von 180 GHz bzw. 300 GHz bei Raumtemperatur um etwa 20 % bzw. 30 % bei der Temperatur des flüssigen Stickstoffs bei konstant hohen Durchbruchspannungen von über 8 V.

Investigation on pseudomorphic InGaAs/InAlAs/InP High Electron Mobility Transistors with regard to cryogenic applications

A wide variety of new data communication applications demand ever-increasing transmission capacities. The InGaAs/InAlAs/InP layer stack based High Electron Mobility Transistor (HEMT) is currently regarded as the most promising active device in communication systems as it has the highest cut-off frequencies of all transistor types. Due to reduced phonon scattering of the charge carriers, the HEMT is expected to exhibit even better noise and high frequency characteristics for operations at cryogenic temperatures, for instance in mixers or oscillators located in satellites or ground based systems with appropriate cooling equipment. This work focuses on the reduction of access resistances and the fabrication of very short gate lengths as the biggest technological challenges realizing highest cut-off frequencies at any temperature. In addition, the reproducibility and robustness of the implemented gate technologies are fundamental criteria for applications. In comparison to other transistor designs, the InAlAs/InGaAs HEMTs are stronger affected by undesirable, partly material dependent, short channel effects like early breakdown, high gate currents, impact ionization, the kink effect, and a shift in the threshold voltage. Measurements at liquid nitrogen temperature on transistors produced in this work provide further insight into the poorly understood interrelationship between these effects. At liquid nitrogen temperature, the cut-off frequency of 180 GHz and the maximum oscillation frequency of 300 GHz of short channel transistors at room temperature increase by 20 % and 30 %, respectively, while the breakdown voltage remains at high values above 8 V.

Inhaltsverzeichnis

1	Einleitung	1
2	Grundlagen des High Electron Mobility Transistors	5
2.1	Aufbau und Funktionsweise	5
2.2	Epitaxie	9
2.3	Gleichstromverhalten	10
2.3.1	Modell konstanter Beweglichkeit	11
2.3.2	Beweglichkeit in Halbleitern	15
2.3.3	Geschwindigkeitssättigung	16
2.3.4	Ladungssteuerung	18
2.3.5	Zuleitungswiderstände	21
2.3.6	Weitere Effekte	22
2.4	Hochfrequenzverhalten	22
2.4.1	S-Parameter	23
2.4.2	Hochfrequenz-Kenngrößen	24
2.4.3	Kleinsignal-Ersatzschaltbild	26
3	Prozesstechnologie	29
3.1	Mesa-Ätzung	29
3.2	Metallisierung und Lift-off	30
3.3	Gate-Herstellung	32
3.3.1	Einfache Gates	32
3.3.2	T-Gates	33
	PMMA-Dreilagensystem	33
	Separate Gatefuß-Definition mit UV6	35
4	Charakterisierung	41
4.1	Zweidimensionales Elektronengas	41

4.2	Ohmsche Kontakte	43
4.2.1	Charakterisierungsmethode	43
4.2.2	Herstellung und Untersuchung	44
4.3	Gatewiderstand	51
4.4	Gleichstromverhalten	52
4.4.1	Stoßionisation und klassischer Kink-Effekt	64
4.4.2	Unterswellenverhalten	70
4.4.3	Anormaler Kink-Effekt und Hysterese	72
4.5	Breakdown	76
4.6	Hochfrequenzverhalten	79
4.6.1	Meßaufbau	79
4.6.2	Ersatzschaltbildparameter-Bestimmung	79
4.6.3	Grenzfrequenzen	81
	HEMTs mit einfachen Gates	81
	T-Gate-HEMTs	83
5	Zusammenfassung	89
A	MBE-Schichten	95
B	Prozessfolge	97
	Abbildungsverzeichnis	103
	Tabellenverzeichnis	107
	Literaturverzeichnis	108
	Danksagung	119

Kapitel 1

Einleitung

Der anhaltende Erfolg der Mikroelektronik beruht auf der konsequenten Weiterentwicklung von Bauelementen, die auf einer Vielzahl unterschiedlicher Konzepte basieren. Insbesondere die dadurch zur Verfügung stehenden neuen elektronischen und optischen Eigenschaften ermöglichen die Erschließung neuer Forschungs- und Anwendungsgebiete.

Im sich in diesen Jahren entfaltenden Informations- und Kommunikationszeitalter steigt der Bedarf nach der Verarbeitung immer größerer Datenmengen und der Kommunikation mit immer höheren Datenraten. So beeindruckt im Bereich der Silizium-Transistoren das nun über Jahrzehnte gültige Mooresche Gesetz der achtzehnmönatigen Verdopplung der Integrationsdichte, während sich unterschiedliche Materialsysteme aus Verbindungshalbleitern¹ in verschiedenen Bereichen, die etwa Verstärkung bei höchsten Frequenzen, hervorragende Rauscheigenschaften, optische Aktivität oder hohe Leistungsaufnahme nutzen, profilieren.

Der Vorstoß in den Millimeterwellenbereich (mit Frequenzen über 50 GHz) führt zur Ausweitung der Übertragungskapazitäten, die etwa von Anwendungen der Satellitenkommunikation dringend benötigt werden. Dazu gehören Ortungssysteme (GPS), Sprach- und Video-Telefonie, Internet-Datenübertragung und andere zunehmend individualisierte Angebote. Als weitere herausragende Anwendungsgebiete von derart hochfrequenzfähigen Schaltkreisen sind die Mobilfunktechnik, drahtlose lokale Netzwerke, Assistenzsysteme wie das Anti-Kollisions-Radar in Automobilen sowie Luft- und Raumfahrt zu nennen [1, 2, 3].

Als verstärkendes Bauelement wird in solchen Systemen u. a. der High Electron Mobility Transistor (HEMT) eingesetzt, der das Potential besitzt, gerade bei stei-

¹zumeist Verbindungen aus Elementen der dritten und fünften Hauptgruppe des Periodensystems

genden Frequenzen konkurrierende Konzepte wie den MESFET² oder den HBT³ zu verdrängen [4].

Der HEMT ist ein Heterostukturtransistor, bei dem sich die Elektronen in einer dünnen Schicht eines epitaktisch gewachsenen Halbleiterstapels konzentrieren. An Übergängen zwischen Halbleitern unterschiedlicher Bandlücke bilden sich durch Leitungsbanddiskontinuitäten Potentialtöpfe, in denen sich bei geschickter Anordnung Elektronen sammeln, die von entfernt liegenden Dotieratomen zur Verfügung gestellt werden. An einem AlGaAs/GaAs-Heteroübergang wurde 1978 erstmals die Ausbildung eines solchen „zweidimensionalen Elektronengases“ nachgewiesen [5], bevor zwei Jahre später der erste HEMT realisiert werden konnte [6]. Durch die räumliche Trennung von den Dotieratomen können die Elektronen in Halbleiterschichten mit geringer Defektdichte stark erhöhte elektrische Beweglichkeiten bei großen Ladungsträgerkonzentrationen erreichen. Diese Eigenschaften konnten in den folgenden Jahren durch Fortschritte bei der Herstellung anderer Materialsysteme verbessert werden, die höhere Leitungsbanddiskontinuitäten und bessere Transporteigenschaften in den Elektronenkanälen aufweisen.

Zu den herausragenden Vertretern gehört das auf Indiumphosphid-Substraten gewachsene InAlAs/InGaAs-System. In gewissen Grenzen kann hier der Indiumanteil im InGaAs-Kanal über den Wert der auf InP gitterangepassten Zusammensetzung erhöht werden, man spricht dann von *pseudomorphen* HEMTs. Mit derartigen Transistoren erreichten Nguyen et al. 1992 eine Grenzfrequenz f_T von 340 GHz bei einer Gatelänge von 50 nm [7]. Die Werte dieses Meilensteins wurden von keinem anderen Transistorkonzept erzielt; auch von HEMTs im genannten Schichtsystem konnten bis heute nur leichte Steigerungen erreicht werden [8]. Die Vorzüge des InAlAs/InGaAs-Schichtsystems können mittlerweile durch das Einfügen von Pufferschichten, die den Wechsel der Gitterkonstanten zwischen Substrat und HEMT-Heterostruktur erlauben, auch auf kostengünstigeren GaAs-Substraten genutzt werden („metamorphe HEMTs“). Die Möglichkeit zur Einstellung der Gitterkonstanten wird bei entsprechender Ausgereiftheit der Verfahren sogar als neuer Freiheitsgrad beim Schichtentwurf begriffen werden können [9].

Die Beweglichkeit der Elektronen in HEMTs wird bei Raumtemperatur hauptsächlich durch die Wechselwirkung mit Phononen, d. h. durch Gitterschwingungen limitiert. Bei kryogenen Temperaturen (unterhalb von 90 K) verbessern sich prinzipiell die Transporteigenschaften von HEMTs⁴, was sie für den Einsatz in gekühlten rauscharmen Verstärkerschaltungen und für die Integration mit (Hochtemperatur-)

²Metal Semiconductor Field Effect Transistor

³Heterostructure Bipolar Transistor

⁴in [10] wurden erstmals verbesserte Hochfrequenzeigenschaften von HEMTs bei tiefen Temperaturen berichtet

Supraleitern etwa in Mischern, Oszillatoren und Resonatoren prädestiniert. Solche Anwendungen finden sich bei der Satellitenkommunikation oder auch in Basisstationen mit entsprechender Kühltechnik [11].

InAlAs/InGaAs-HEMTs zeigen allerdings insbesondere bei kurzen Gatelängen, die zum Erreichen höchster Grenzfrequenzen unerlässlich sind, einige unerwünschte Effekte, die ihr Anwendungspotential reduzieren. Zu diesen teils materialbedingten Effekten, deren Ursachen bisher nicht vollständig verstanden sind, zählen z. B. früher Durchbruch⁵, relativ hohe Gateströme, Auftreten von Stoßionisation, Verschiebung der Einsatzspannung sowie hohe und variierende Ausgangsleitwerte (Kink-Effekt).

Ziel der Arbeit ist es, HEMTs im InAlAs/InGaAs-Materialsystem auf im Institut gewachsenen Schichten herzustellen und die Temperaturabhängigkeit ihres elektrischen Verhaltens zu untersuchen, in das neben den intrinsischen Eigenschaften des zweidimensionalen Elektronengases auch die parasitären Elemente eingehen. Einen wichtigen Raum nehmen dabei die oben beschriebenen degradierenden Effekte ein, deren Temperaturabhängigkeit untersucht wird und so weitere Einsicht die zugrunde liegenden Mechanismen geben kann. Der Transistor muss außerdem für den Einsatz bei tiefen Temperaturen widerstandsfähig gegen mechanische und thermische Spannungen sein, was insbesondere die Entwicklung einer trotz kürzester Gatelängen robusten Gatetechnologie erfordert.

⁵für den in [7] vorgestellten HEMT etwa wird als maximale Betriebsspannung $V_{DS} = 1.2\text{ V}$ angegeben

Kapitel 2

Grundlagen des High Electron Mobility Transistors

Nach einer kurzen Einführung zu Aufbau und Funktion des High Electron Mobility Transistors (HEMT) sowie zur Herstellung der Halbleiterschichten liegt der Schwerpunkt des Kapitels in der Beschreibung der elektrischen Eigenschaften des Transistors. Zum Verständnis dieser Eigenschaften und ihrer Veränderung mit der Temperatur werden Gleichstrom- und Hochfrequenzverhalten anhand von Modellen auf grundlegende Parameter zurückgeführt. Tiefer gehende Einführungen in Halbleiter- und Bauelementphysik finden sich in der Fachliteratur (z. B. [12, 13, 14, 15, 16, 17, 18], speziell zu HEMTs [19, 20])

2.1 Aufbau und Funktionsweise

Der High Electron Mobility Transistor zählt zur Gruppe der Feldeffekt-Transistoren (FETs). Wie beim Metal-Oxide-Semiconductor- oder beim Metal-Semiconductor-FET (MOSFET, MESFET) wird der Widerstand des Bauelements zwischen seinem Source- und seinem Drain-Anschluss über eine am Gate-Anschluss anliegende Spannung gesteuert. Über deren Feldeffekt wird die Anzahl der zur Stromleitung zur Verfügung stehenden Ladungsträgersorte (hier Elektronen) moduliert.

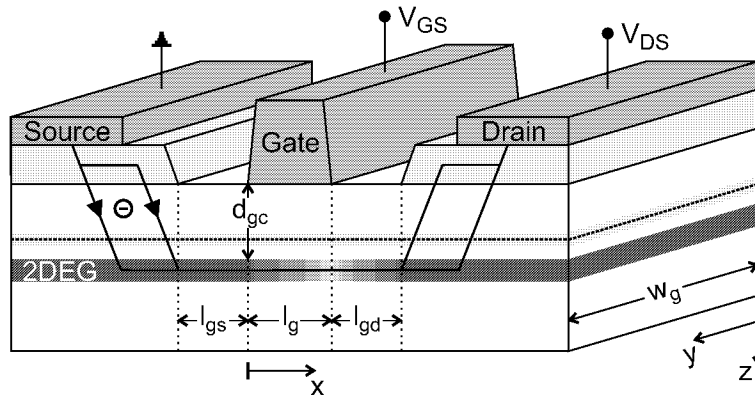


Abbildung 2.1: Prinzipieller Aufbau eines High Electron Mobility Transistors. Der Drainstrom fließt über das zweidimensionale Elektronengas (2DEG) vom Drain- zum Sourceanschluss. Unter dem Gate der Länge l_g wird die Anzahl der Ladungsträger durch die anliegende Gate-Source-Spannung V_{GS} moduliert

Für den HEMT hat sich keine einheitliche Bezeichnung durchgesetzt, man findet in der Literatur noch als gebräuchliche Namen MODFET (Modulation Doped FET), HFET (Heterostructure FET), SDHT (Selectively Doped Heterojunction Transistor) und TEGFET (Two-dimensional Electron Gas FET), die sich auf verschiedene Aspekte des Transistors beziehen. Abbildung 2.1 skizziert den Querschnitt eines HEMT zusammen mit einigen Definitionen von Abmessungen, auf die im weiteren zurückgegriffen wird. Der Pfad der den Drainstrom I_D tragenden Elektronen von der Source-Kontaktmetallisierung bis zum Drainanschluss ist schematisch eingezeichnet. Als aktiven Bereich bezeichnet man das für die Verstärkung entscheidende Gebiet der Länge l_g unter dem Gate.

Die Besonderheit des HEMT liegt – etwa im Vergleich zum MESFET – in der räumlichen Trennung der Ladungsträger von den Dotieratomen, die freie Ladungsträger in Halbleitern erst in ausreichender Anzahl zur Verfügung stellen. Ohne den Einfluss der Streuung an ionisierten Donatoren können die Elektronen in Halbleitern mit hoher Kristallqualität wesentlich höhere Geschwindigkeiten annehmen. Man erreicht diese Separation durch geschickte Anordnung und selektive Dotierung der Halbleiterschichten.

Abbildung 2.2 zeigt einen solchen Schichtaufbau im Detail sowie den Verlauf der Elektronenkonzentration und des Leitungsbandpotentials (berechnet mit dem Simulationspaket WinGreen [21, 22] für das InAlAs/InGaAs-System) im aktiven Bereich für $V_{GS} = 0\text{ V}$ (Gleichgewicht). Der Nullpunkt der Energieskala wurde auf das Fermi-niveau gelegt. Eine dünne, hoch n-dotierte Schicht innerhalb des Halbleitermaterials mit großer Bandlücke („Gap“) stellt Elektronen zur Verfügung, die sich aus energetischen Gründen im unter dem undotierten Spacer-Bereich liegen-

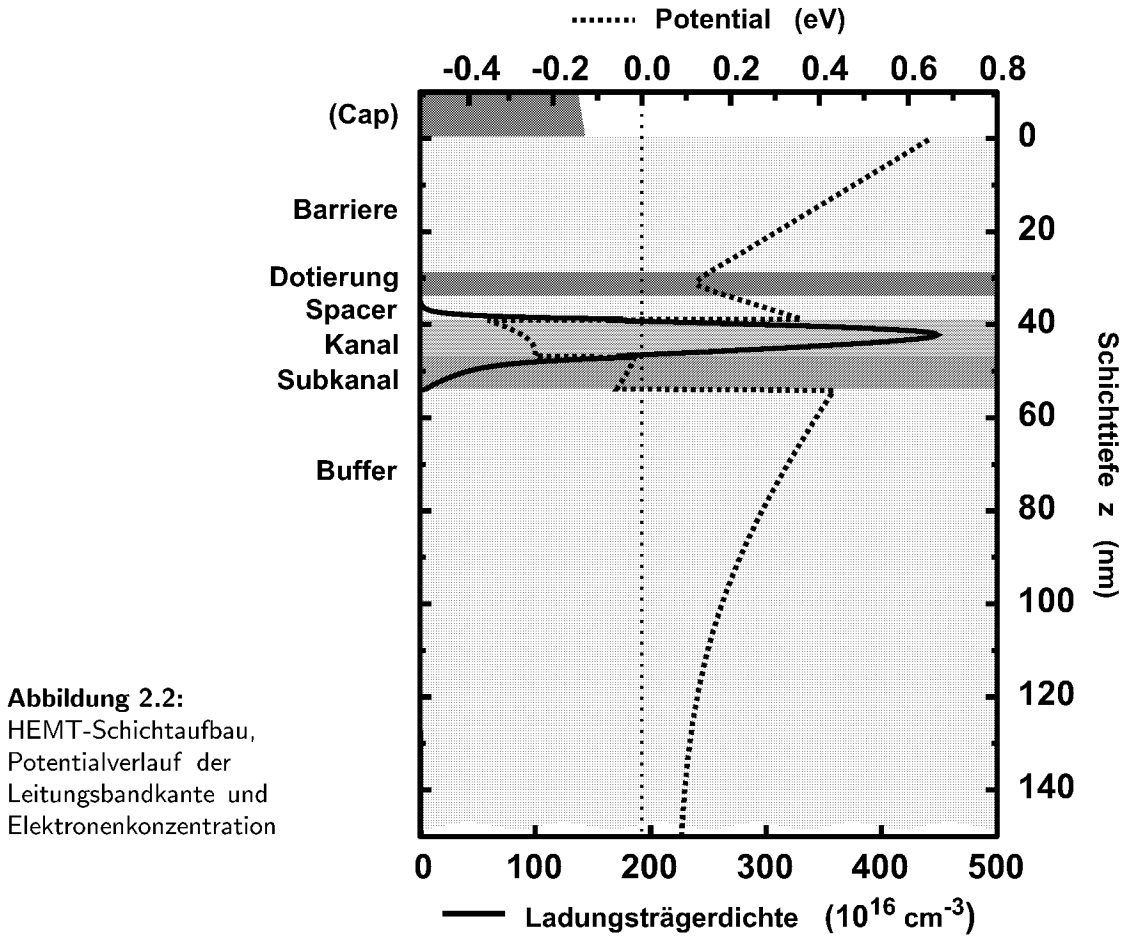


Abbildung 2.2:
HEMT-Schichtaufbau,
Potentialverlauf der
Leitungsbandkante und
Elektronenkonzentration

den Material mit kleiner Bandlücke sammeln. Durch die Leitungsbanddiskontinuitäten an der Grenzfläche der verschiedenen Halbleiter formt sich in z -Richtung ein eindimensionaler Quantentopf aus. Abbildung 2.3 auf Seite 8 zeigt die Berechtigung des Begriffes Quantentopf: In dem (zweigeteilten) Kanalbereich bilden sich einzelne Energieniveaus. Dargestellt ist die lokale Besetzungsdichte ρ der Elektronen bezogen auf die eindimensionale Einheitszelle (die Rechnung wurde ebenfalls mit dem WinGreen-Paket durchgeführt). Die Besetzungsdichte ist verknüpft mit dem z -Anteil der Elektronen-Wellenfunktion, deren Knotenzahl in den höheren Energieniveaus abzählbar ist. Der größte Anteil der Elektronen entfällt auf die beiden unteren Energieniveaus, die unterhalb der Fermienergie E_F liegen. Je größer die Banddiskontinuität zu den angrenzenden Materialien, desto schärfer ist die Begrenzung („Confinement“) der Elektronen im Kanal.

Die Schottky-Potentialbarriere an der Grenzfläche zum Gate-Metall trennt die Elektronen vom Metall. Die Lage des Fermi-Niveaus an der Grenzfläche in Bezug zur Leitungsbandkante ist im Wesentlichen auf den Neutralitätspunkt zwischen donatorar-

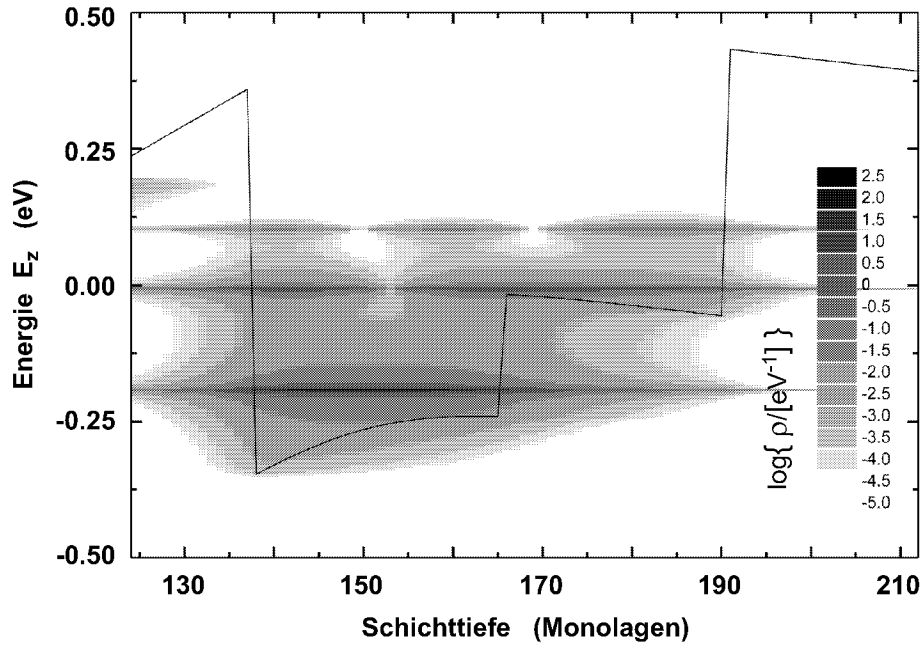


Abbildung 2.3: Berechnete Leitungsbandkante und lokale Besetzungsdichte ρ im Quantentopf des HEMT-Kanals

tigen und akzeptorartigen Gap-Zuständen festgelegt („Fermi-Level-Pinning“) [14]. Diese als „virtual induced gap states“ bezeichneten Zustände entstehen aus den Volumenzuständen durch das abrupte Ende der Kristallsymmetrie und sind auch bei Halbleiter-Halbleiter-Grenzflächen für die Größe der Leitungsbanddiskontinuitäten entscheidend.

Legt man eine negative Gatespannung an, verschiebt man das Leitungsband unterhalb der Barriere auf der Energieskala hinauf in die Nähe des Fermi-niveaus – Elektronen werden aus dem Kanal verdrängt. Gleichzeitig ist der **Schottky-Kontakt** in Sperrrichtung gepolt, daher fließt im Idealfall, ohne Serienwiderstände nur ein geringer Gatestrom nach der Theorie der thermionischen Emission / Diffusion [15]:

$$I = A \cdot A^* \cdot T^2 \cdot e^{-\frac{q\Phi_B}{k_B T}} \left(e^{\frac{qV_{GS}}{k_B T}} - 1 \right) \quad (2.1)$$

(A Kontaktfläche, $A^* \approx 18 \frac{\text{A}}{\text{cm}^2 \text{K}^2}$ Richardson-Konstante für InAlAs [23], T Temperatur, q Elementarladung, Φ_B Schottky-Barrierenhöhe, k_B Boltzmannkonstante)

Für die Kontakte zum zweidimensionalen Elektronengas bei Source und Drain ist dagegen ein niedriger Widerstand mit ohmschem Verhalten erwünscht. Ein weitgehend **ohmscher Kontakt** wird durch eine niedrige Schottky-Barrierenhöhe und so hohe Dotierung des Halbleitermaterials erreicht, dass die Verarmungszone sehr schmal

wird und Elektronen die Potentialbarriere durchtunneln können. Man wächst daher abschließend eine Cap-Schicht mit kleinerem Bandgap auf, die nur im Bereich des Gates entfernt wird. Die Kontaktmetalle werden meist einlegiert, um unter anderem zusätzliche Dotierstoffe in den Halbleiter eindiffundieren zu lassen.

Für den Tunnelwiderstand gilt die Abhängigkeit

$$R \propto \exp \left\{ \frac{2\Phi_B}{\hbar} \sqrt{\frac{\varepsilon_0 \varepsilon_r m^*}{N_D}} \right\} \quad (2.2)$$

mit ε_r , ε_0 Dielektrizitätszahl und $\hbar$ -konstante, $\hbar$ reduzierte Planck-Konstante, m^* effektive Masse, N_D Dotierkonzentration (für InAlAs: $\varepsilon_r = 12.46$, $m^* = 0.075 \cdot m_0$). Der Tunnelwiderstand ist damit im Gegensatz zu Gleichung (2.1) nicht temperaturabhängig.

2.2 Epitaxie

Das untersuchte HEMT-Materialsystem InAlAs/InGaAs gehört zur Familie der auf Indiumphosphid-Schichtsysteme. In der Zusammensetzung $(\text{In}_{0.52}\text{Al}_{0.48})\text{As}$ bzw. $(\text{In}_{0.53}\text{Ga}_{0.47})\text{As}$ besitzen die ternären Verbindungen den gleichen Gitterparameter von 0.587 nm wie InP (siehe Abbildung 2.4). Die Schichten werden mittels **Molekularstrahl-Epitaxie** (molecular beam epitaxy, MBE) hergestellt. Bei diesem Verfahren werden hoch reine Feststoffe als Quellenmaterialien verdampft und kondensieren im Ultrahochvakuum der Wachstumskammer ($\sim 10^{-11}$ mbar) unter bestimmten Prozessbedingungen zu einkristallinen Schichten auf dem Wafer. Bei Wachstumsraten von etwa 1 Monolage/Sekunde können Stöchiometrie und Dotierprofile nahezu mit Monolagengenauigkeit eingestellt werden. Als Dotierstoff wird Silizium verwendet, das fast ausschließlich an Gruppe-III-Gitterplätzen eingebaut wird und als Donator fungiert.

Die Proben dieser Arbeit wurden in einer MBE-Modular Gen II der Firma Varian hergestellt. Auf das InP-Substrat wird zur Minimierung der Zahl der Versetzungen in den Kanalschichten eine wenige 100 nm dicke InAlAs- BUFFERSCHICHT eingefügt. Der darüber liegende InGaAs-Kanal enthält zur Vergrößerung der Leitungsbanddiskontinuität eine *pseudomorphe* Region mit erhöhtem Indium-Anteil. Im unverspannten Material führt dieser zu einer Erhöhung der Gitterkonstanten (bis 0.606 nm für InAs), daher kann die verspannte Schicht nicht in beliebiger Dicke relaxationsfrei aufgewachsen werden. Der Hauptteil der Versorgungsdotierung im InAlAs wird als δ -Dotierung realisiert. Dazu wird während der Dotierung die Zufuhr aus den III-V-Quellen unterbrochen. Zuletzt wird zur Verbesserung der ohmschen Kontakte und als temporäre Schutzschicht gegen die Oxidation der InAlAs-Oberfläche vor der

v_d beträgt, so ist

$$I_D = qn_s \cdot v_d \quad (2.3)$$

der Drainstrom bezogen auf die Gateweite w_g ($[I_D] = 1 \text{ mA/mm}$).

2.3.1 Modell konstanter Beweglichkeit

Vernachlässigt man zunächst Zuleitungswiderstände, fällt die gesamte Source-Drain-Spannung V_{DS} über dem Kanal ab, so dass für den Potentialverlauf $V(x=0) = 0$ am sourceseitigen und $V(x=l_g) = V_{DS}$ am drainseitigen Ende des Kanals gilt. Über die Abhängigkeit der Ladungsträgerdichte und der Geschwindigkeit vom lokalen Potential $V(x)$ oder der Feldstärke $dV(x)/dx$ lassen sich verschiedene Annahmen treffen, etwa im *Modell der konstanten Beweglichkeit*

$$\mu dV(x)/dx \equiv \mu_0 \quad (2.4)$$

für die Geschwindigkeit $v_d = \mu_0 \cdot dV(x)/dx$, und im *Kondensatormodell* oder „charge control model“

$$n_s = \frac{c_0}{q}(V_{GS} - V_{th} - V(x)) \quad (2.5)$$

für die Elektronendichte [16, 19, 15] oberhalb einer *Schwellen-* oder *Einsatzspannung* V_{th} . Für c_0 wird in einem einfachen Ansatz der Kapazitätsbelag eines Plattenkondensators angenommen,

$$c_0 = \varepsilon_0 \varepsilon_r / d_{G-2DEG} \quad (2.6)$$

Dabei wird u. a. vernachlässigt, dass die Beweglichkeit selbst abhängig von der Elektronenkonzentration ist und d_{G-2DEG} , der Abstand des Schwerpunkts des Elektronengases vom Gate, mit der Lage des Fermi-Niveaus leicht variiert.

Mit der Abkürzung $V_G := V_{GS} - V_{th}$ wird Gleichung (2.3) damit zur Differentialgleichung

$$\frac{dV(x)}{dx} \cdot \mu_0 c_0 \cdot (V_G - V(x)) = I_D \quad (2.7)$$

die für die Anfangsbedingung $V(0) = 0$ die Lösung

$$V(x) = V_G - \sqrt{V_G^2 - \frac{2x}{c_0 \mu_0} I_D} \quad (2.8)$$

liefert.

l_g	μ_0	d_{G-2DEG}	ε_r	c_0
500 nm	$10000 \frac{\text{cm}^2}{\text{Vs}}$	35 nm	12	$0.003 \frac{\text{F}}{\text{m}^2}$

Tabelle 2.1:

Parameterwerte für die dargestellten Beispiele

In Abbildung 2.5 ist der errechnete Potentialverlauf für realistische Beispielparаметer (siehe Tabelle 2.1 auf Seite 12) bei Vorgabe eines Drainstroms von $100 \frac{\text{mA}}{\text{mm}}$ dargestellt. Einsetzen von Gleichung (2.8) in (2.5) und (2.4) liefern Konzentration und Geschwindigkeit der Ladungsträger im Kanal (Abbildungen 2.6 und 2.7)

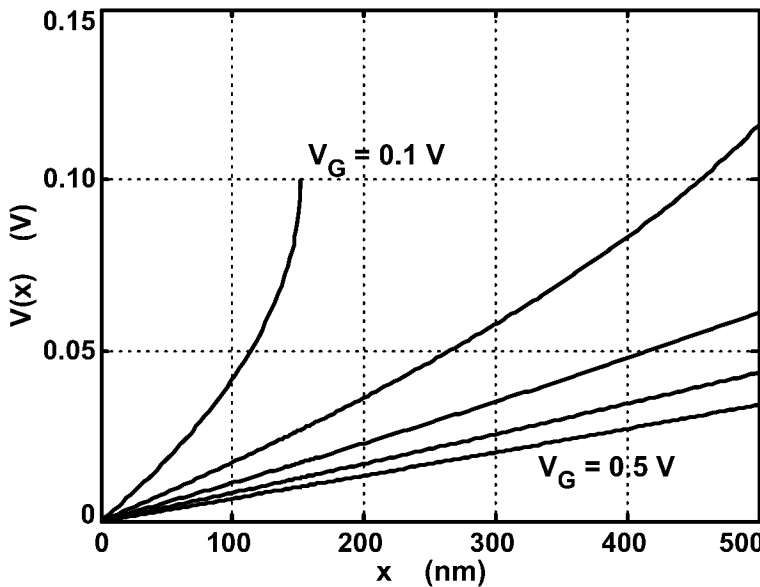
$$n_s(x) = \frac{c_0}{q} \sqrt{V_G^2 - \frac{2x}{c_0 \mu_0} I_D} \quad (2.9)$$

sowie $v_d(x) = I_D / q n_s(x)$. Man erkennt, dass im Beispiel der vorgegebene Drainstrom bei der kleinsten Gatespannung nicht erreicht werden kann, da die Elektronendichte bereits vor dem Ende des Kanals auf 0 abfällt.

Der maximale Drainstrom bei fester Gatespannung, der *Sättigungsstrom* I_D^{sat} , wird gerade dann erreicht, wenn n_s am Kanalende $x = l_g$ gegen 0 geht. Die dazu notwendige Drainspannung bezeichnet man als *Sättigungsspannung*. Löst man Gleichung (2.8) an der Stelle $x = l_g$ nach I_D auf, erhält man die Kennlinie

$$I_D = \frac{c_0 \mu_0}{2l_g} V_{DS} (2V_G - V_{DS}) \quad (2.10)$$

für $0 \leq V_{DS} \leq V_{DS}^{sat} = V_G$. Abbildung 2.8 auf Seite 14 zeigt das Ausgangskennlinienfeld für die Beispielparаметer, unterteilt in den so genannten *linearen Bereich*,

**Abbildung 2.5:**

Potentialverlauf im Kanal für verschiedene Gatespannungen, Schrittweite $\Delta V_G = 0,1 \text{ V}$

Abbildung 2.6:
Flächenladungsträgerdichte im
Kanal bei einem angenommenen
Drainstrom von 100 mA/mm für
verschiedene Gatespannungen.

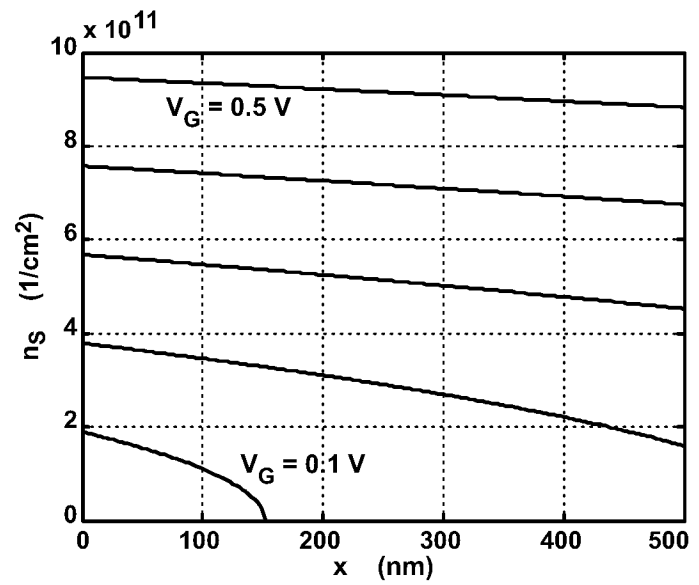
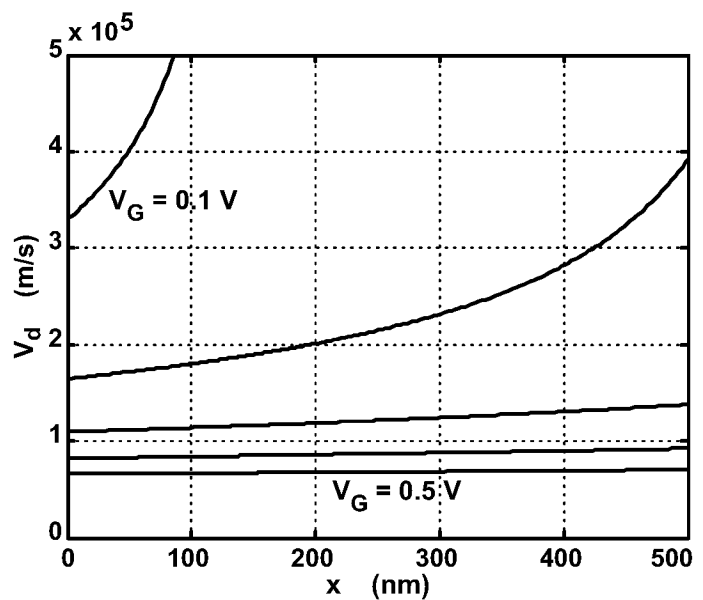


Abbildung 2.7:
Ortsabhängige Ladungsträgerge-
schwindigkeit im Kanal



für den Gleichung (2.10) gilt, und den Sättigungsbereich. Eine bekannte Folgerung dieses *Shockley-Modells* ist die quadratische Abhängigkeit des Sättigungsstroms von der Gatespannung¹

$$I_D^{sat} = \frac{c_0 \mu_0}{2l_g} V_G^2 \quad (2.11)$$

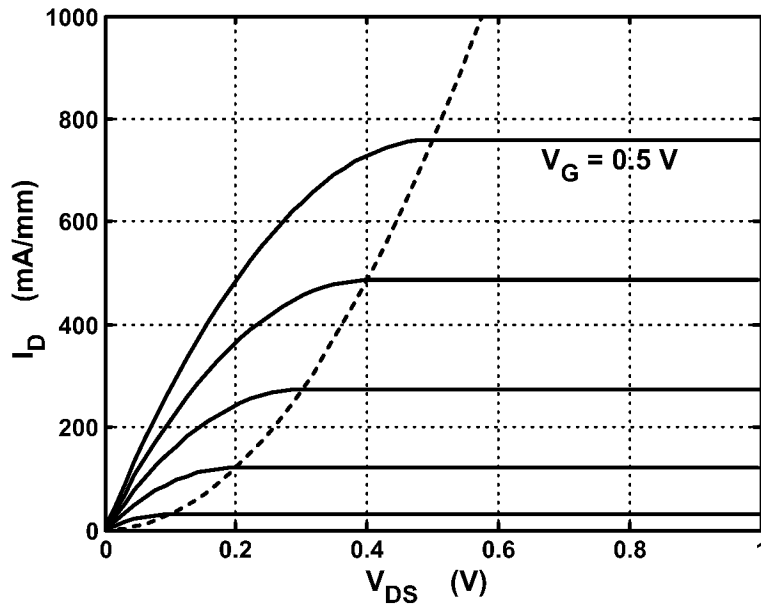


Abbildung 2.8:

Ausgangskennlinienfeld des Transistors mit den im Beispiel gewählten Parametern. Die Gatespannung steigt in Schritten von 0.1 V auf 0.5 V. Die gestrichelte Linie zeigt die Grenze zwischen linearem Bereich und Sättigungsbereich

Die *Steilheit* des Transistors ist definiert als

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (2.12)$$

Sie steigt also unter den getroffenen Annahmen (2.4) und (2.5) im Sättigungsbereich unbegrenzt linear mit der Gatespannung an:

$$g_m^{sat} = \frac{\partial I_D^{sat}}{\partial V_{GS}} = \frac{c_0 \mu_0}{l_g} (V_{GS} - V_{th}) \quad (2.13)$$

Aus technologischer Sicht kann die Steilheit demnach durch eine Verringerung der Gatelänge erhöht werden. Als *Ausgangsleitwert* bezeichnet man

$$g_d = \frac{\partial I_D}{\partial V_{DS}} \quad (2.14)$$

¹auch als „square law“ bezeichnet

Er nimmt bei verschwindender Drainspannung den Wert

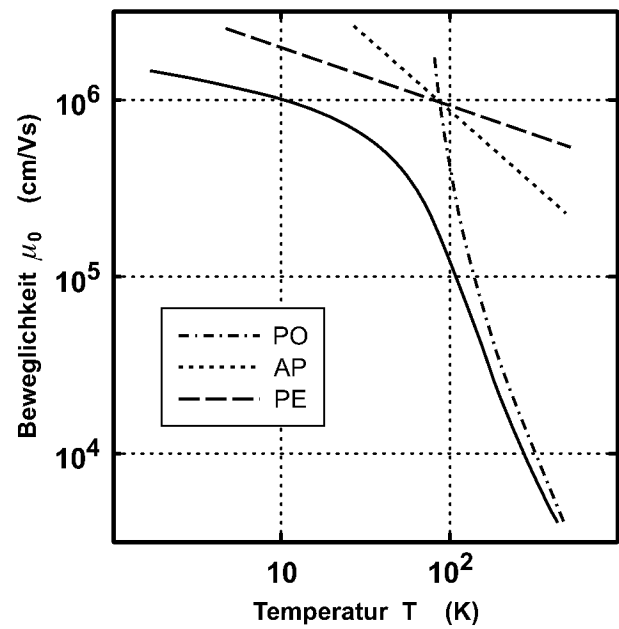
$$g_d^0(V_G) = \frac{\mu_0}{l_g} q n_s(V_G) \quad (2.15)$$

an und fällt bis zum Erreichen der Sättigung auf 0.

2.3.2 Beweglichkeit in Halbleitern

Abbildung 2.9:

Temperaturabhängigkeit der Beweglichkeit ohne den Einfluss ionisierter Störstellen (qualitativ, nach [26]). Berücksichtigt sind nur die begrenzenden Effekte der Streuung an Phononen (PO, AP bzw. PE, siehe Text)



Die Ladungsträgerbeweglichkeit für kleine Feldstärken oder „Nullfeldbeweglichkeit“ μ_0 ist proportional zur Zeit zwischen zwei Streueignissen τ_{sc} [13]

$$\mu_0 \propto \frac{\tau_{sc}}{m^*} \quad (2.16)$$

wobei m^* die effektive Masse ist, die dem gitterperiodischen Potential Rechnung trägt (Elektronen in $\text{In}_x\text{Ga}_{1-x}\text{As}$: $m_\Gamma^* = (0.063 - 0.040 \cdot x) m_0$ [27, 28]). Während die Temperaturabhängigkeit der effektiven Masse sehr gering ist, spielen Streuprozesse mit Phononen eine wesentliche Rolle. Für nicht-inversionssymmetrische Kristalle dominiert die Streuung von Elektronen im Γ -Tal an optischen Phononen über das Polarisationsfeld („PO“) bei Temperaturen über 100K. Darunter wirkt sich die Streuung mit akustischen Phononen aus (über Kristalldeformation, „AP“, und Polarisationsfeld/Piezoelektrizität, „PE“). Der Verlauf ist in Abbildung 2.9 wiedergegeben. Wachstumsbedingte Streuzentren sind dagegen etwa Legierungsinhomogenitäten, Grenzflächenrauhigkeiten und vor allem ionisierte Störstellen [29, 30, 31, 32, 33],

zu denen natürlich auch Dotieratome zählen. Die räumliche Trennung im HEMT reduziert deren Coulombstreuung stark, daher entspricht die experimentell gefundene Abhängigkeit beim zweidimensionalen Elektronengas in etwa in Abbildung 2.9 wiedergegebenen. Vereinzelte Störstellen im Kanal können auf Grund der hohen Elektronendichte auf sehr kurzer Distanz abgeschirmt werden.

2.3.3 Geschwindigkeitssättigung

Um den Drainstrom nahe der Sättigung aufrecht zu erhalten, muss die Elektronengeschwindigkeit auf der Drainseite des Kanals, wenn n_s sehr klein wird, beliebig groß werden können; dies ist jedoch keine realistische Annahme. Tatsächlich sättigt die Geschwindigkeit bei hohen Feldstärken, da die energiereichen Elektronen in höhere Leitungsbänder streuen können und eine vielfach höhere effektive Masse annehmen². v_{sat} erreicht in Indiumgalliumarsenid bei einer Γ -L-Bandseparation von 0.5 eV [34] etwa einen Wert von $2.5 \cdot 10^7 \frac{\text{cm}}{\text{s}}$ [7]. Abbildung 2.7 auf Seite 13 zeigt, dass im Shockley-Modell solche Geschwindigkeiten rasch überschritten würden.

Im einfachsten Fall geht man davon aus, dass die Ladungsträrgeschwindigkeit $v_d(\mathcal{E})$ bis zu einer kritischen elektrischen Feldstärke $\mathcal{E}_c$ auf den Wert v_{sat} steigt und dann konstant bleibt:

$$v_d(\mathcal{E}) = \begin{cases} \mu_0 \cdot \mathcal{E} & \text{für } \mathcal{E} \leq \mathcal{E}_c = \frac{v_{sat}}{\mu_0} \\ v_{sat} & \text{für } \mathcal{E} > \mathcal{E}_c \end{cases} \quad (2.17)$$

Stromsättigung wird in diesem Fall bereits erreicht, wenn $n_s(x = l_g)$ so weit absinkt, dass Ladungsträger die Geschwindigkeit v_{sat} annehmen, um den Drainstrom zu tragen. Bei oberhalb von V_{DS}^{sat} liegenden Drainspannungen entsteht bei konstantem Stromfluss ein Gebiet konstanter Ladungsträrgeschwindigkeit an der Drainseite des Kanals. Durch Einsetzen von (2.5) und (2.8) mit $x = l_g$ und $v = v_{sat}$ erhält man den maximalen Drainstrom bei Geschwindigkeitssättigung

$$I_D^{sat} = \frac{c_0 v_{sat}}{\mu_0} \left(\sqrt{(l_g v_{sat})^2 + (\mu_0 V_G)^2} - l_g v_{sat} \right) \quad (2.18)$$

sowie die Steilheit

$$g_m^{sat} = \frac{c_0 v_{sat} \mu_0 V_G}{\sqrt{(l_g v_{sat})^2 + (\mu_0 V_G)^2}} \quad (2.19)$$

²In_{0.53}Ga_{0.47}As: $m_{\Gamma}^* = 0.041 m_0$, $m_{L,long}^*$ ($m_{L,trans}^*$) = 1.980 (0.162) m_0 [34]

Beide Gleichungen ergeben im Limes $v_{sat} \rightarrow \infty$ ihre Gegenstücke (2.11) und (2.13) aus dem vorherigen Abschnitt.

Die Steilheit hat nun eine obere Grenze

$$\lim_{V_G \rightarrow \infty} g_m^{sat} = c_0 v_{sat} \quad (2.20)$$

Abbildung 2.10:
Elektronengeschwindigkeit in
InGaAs. $\times$ —: Experiment [35],
...: Ansatz aus Gleichung
(2.17),
- - -: Ansatz aus Gleichung
(2.21),
grau: stückweiser Ansatz mit
(2.21)

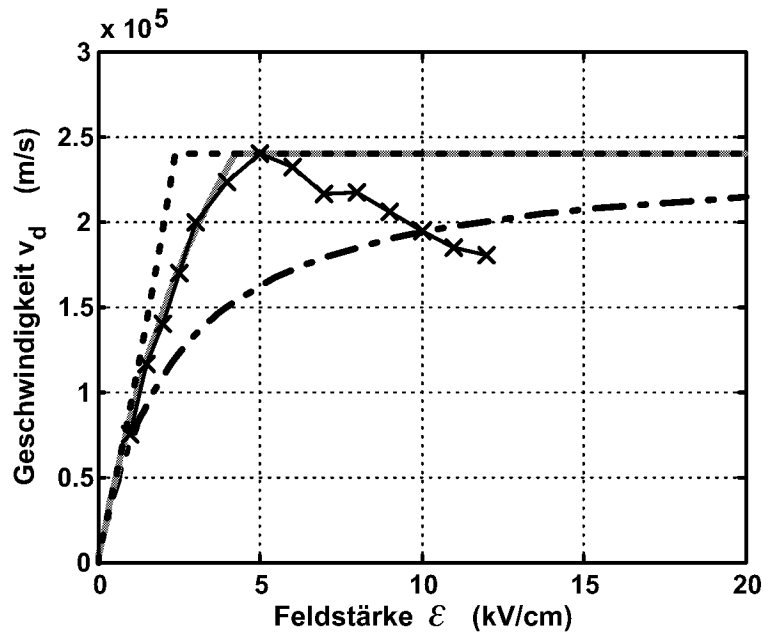


Abbildung 2.10 zeigt verschiedene Annäherungen an die experimentell gefundene Elektronengeschwindigkeit. Neben dem Verlauf aus Gleichung (2.17) ist die bekannte einfache siliziumartige Abhängigkeit dargestellt

$$v_d(\mathcal{E}) = \frac{\mathcal{E}}{\left(\frac{1}{\mu_0} + \frac{\mathcal{E}}{v_{sat}^*}\right)} \quad (2.21)$$

die sich jedoch nur sehr langsam v_{sat} annähert, sowie eine zusammengesetzte Funktion, die bis zu einer kritischen Feldstärke Gleichung (2.21) mit höherem v_{sat}^* entspricht und dann konstant auf v_{sat} bleibt [36]. Selbstverständlich sind weitere stückweise definierte Funktionen denkbar, jedoch hat jede Unstetigkeit in deren Ableitung ebensolche „Knicke“ in der I–V–Kennlinie zur Folge.

2.3.4 Ladungssteuerung

Bisher wurde stets von einem linearen Zusammenhang zwischen n_s und V_G ausgegangen. Insbesondere könnte dann n_s durch die Gatespannung beliebig hoch getrieben werden, so dass es keine obere Grenze für den Drainstrom gäbe. Höhere Gatespannungen ziehen jedoch die Leitungsbandkante im Gebiet der Dotierungen in den Bereich des Fermi-niveaus herab, was eine Ansammlung von weit weniger beweglichen Elektronen zwischen Gate und Heteroübergang zur Folge hat. Eine weitere Zunahme der Kanalkonzentration wird durch diesen „parasitären MESFET“ und neutralisierte Donatoren allmählich abgeschirmt [36]. Andererseits wird der Kanalbereich auf Grund von Hintergrunddotierungen niemals völlig entleert sein. Man kann daher beim HEMT drei Nichtlinearitäten unterscheiden [37] (vgl. Abbildung 2.11):

- Unterschwellenverhalten („ST“, sub threshold)
- graduelle Abschnürung („GP“, gradual pinch-off)
- graduelle Sättigung („GS“, gradual saturation)

Es existiert eine große Anzahl an $n_s(V_G)$ -Modellen, die versuchen, unterschiedlichen Nichtlinearitäten gerecht zu werden [36, 37, 38, 39, 40, 41, 42, 43]; im einfachsten Fall handelt es sich um einen bei einer maximalen Konzentration n_{s0} abgeschnittenen linearen Zusammenhang [38]. In [37] wird für HEMTs mit einem Heteroübergang (dreieckiger Potentialtopf) $n_s(V_{GS})$ zusammengesetzt aus

$$n_s = n_0 \cdot e^{\frac{V_{GS} - V_T}{\eta \cdot k_B T / q}} \quad (2.22)$$

für den Unterschwellenbereich $V_{GS} \lesssim V_T$ und

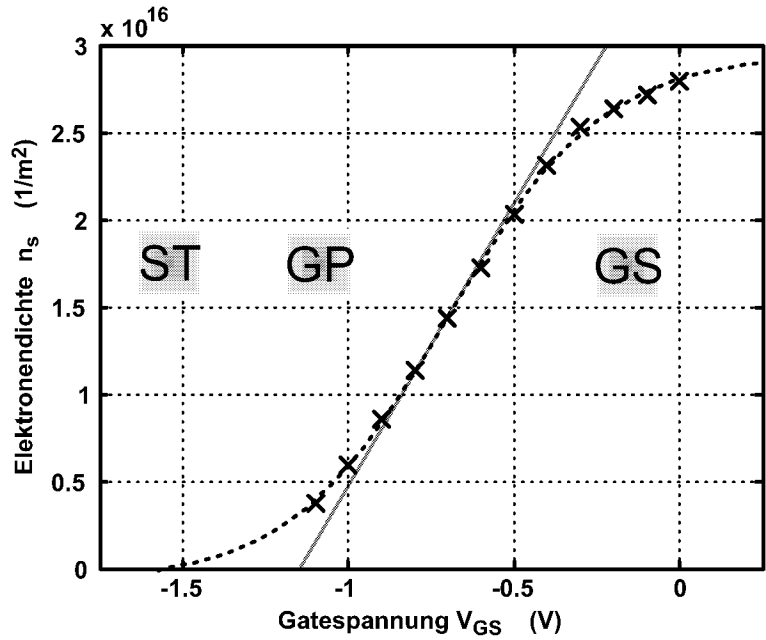
$$n_s(V_{GS}) = n_c \left[\alpha + (1 - \alpha) \tanh\left(\frac{V_{GS} - V_{GM}}{V_1}\right) \right] \quad (2.23)$$

für die graduelle Abschnürung und Sättigung. Durch Anschlussbedingungen bleiben fünf unabhängige Parameter, die durch Materialdaten, Bauelementdimensionen und verschiedene Annahmen berechnet werden.

Eine völlig gleichwertige Hyperbeltangens-Funktion wie in (2.23) mit etwas anschaulicheren Parametern stellt

$$n_s(V_{GS}) = \frac{1}{2} \left[n_{s0} \cdot \left(1 + \tanh\left(\frac{c(V_{GS} - V_{th})}{q \cdot n_{s0}} - 1\right) \right) - \frac{cV_o}{q} \right] \quad (2.24)$$

Abbildung 2.11:
Abhängigkeit der 2DEG-Konzentration von der Gatespannung. Markiert sind die im Text beschriebenen Bereiche der Nichtlinearität. grau: lineare Näherung; $\times$ —: berechneter Verlauf; $\cdots$: Anpassung einer analytischen Funktion



dar. Die Tangente im Wendepunkt der Funktion hat die Steigung $\frac{c}{2}$ und schneidet die V_{GS} -Achse bei $V_o + V_{th}$; man kann sie als die zu Gleichung 2.5 äquivalente, lineare Näherung ansehen. Eine solche Funktion kann man recht gut an die $n_s(V_{GS})$ -Werte anpassen, die mit dem WinGreen-Simulationspaket errechnet werden, wie Abbildung 2.11 zeigt. Man erhält die vier Parameter $n_{s0} = (3.03 \pm 0.12) \cdot 10^{12} \frac{\text{cm}^2}{\text{Vs}}$, $c = (10.3 \pm 0.2) \cdot 10^{-3} \frac{\text{F}}{\text{m}^2}$, $V_{th} = (-1.15 \pm 0.01)\text{V}$, $V_o = (0.025 \pm 0.020)\text{V}$.

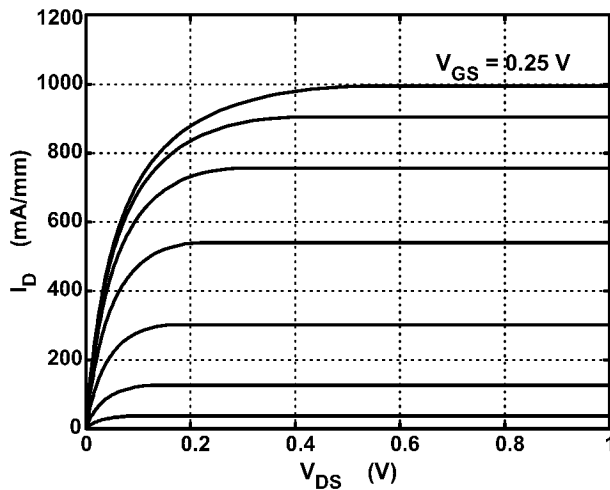
Mit (2.3), (2.24) und (2.21) lässt sich ein analytischer Ausdruck für die I-V-Charakteristik herleiten:

$$I_{DS} = \frac{1}{2} \frac{\mu_0 v_{sat}}{l_g v_{sat} + \mu_0 V_{DS}} \left[\frac{q^2 n_s^2}{c_0} \cdot \ln \left(\frac{1 + e^{2(\frac{c_0 V_G}{q n_s} - 1)}}{1 + e^{2(\frac{c_0 (V_G - V_{DS})}{q n_s} - 1)}} \right) - c_0 V_o V_{DS} \right] \quad (2.25)$$

Abbildung 2.12 zeigt ein solches Kennlinienfeld mit den angepassten Parametern bei angenommener Beweglichkeit $\mu_0 = 10^4 \frac{\text{cm}^2}{\text{Vs}}$, Sättigungsgeschwindigkeit $v_{sat} = 2.5 \cdot 10^7 \frac{\text{cm}}{\text{s}}$, und Gatelänge $l_g = 0.25 \mu\text{m}$. Selbst unterhalb der Einsatzspannung ist nun Stromfluss zwischen Source und Drain möglich. Unter hohen Gatespannungen nähert sich der Sättigungsstrom dem Grenzwert

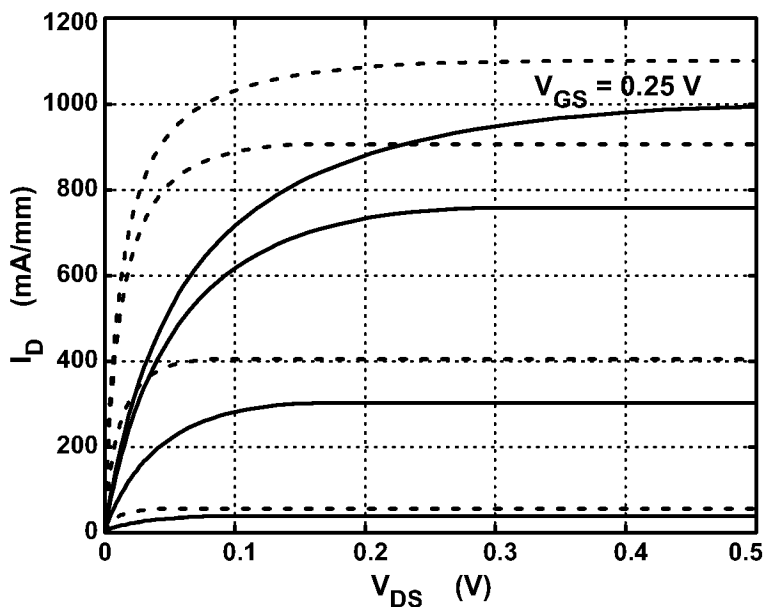
$$I_D^{max} = q n_{s0} v_{sat} \quad (2.26)$$

was mit den gewählten Zahlenwerten $I_D^{max} \approx 1.2 \frac{\text{A}}{\text{mm}}$ ergibt. Gleichung (2.15) auf Seite 15 gilt weiterhin.

**Abbildung 2.12:**

Ausgangskennlinienfeld mit Geschwindigkeitssättigung und Ladungsträgerbegrenzung nach Gleichung (2.25), die Gatespannung variiert in 0.25V-Schritten von -1.25 V bis 0.25 V

Auch wenn die vorausgesetzte Feldstärkeabhängigkeit der Elektronengeschwindigkeit den tatsächlichen Verlauf nicht gut annähert, lässt sich die wesentliche Auswirkung einer Temperaturabsenkung demonstrieren. Der am weitesten beeinflusste Parameter ist die Nullfeldbeweglichkeit μ_0 (siehe die Diskussion auf Seite 15). Abbildung 2.13 zeigt den Effekt einer fünffach höheren Mobilität auf die Gleichstromcharakteristik: Der Ausgangsleitwert im linearen Bereich steigt, das Kennlinienfeld wird für mittlere Gatespannungswerte gedehnt, jedoch steigt der maximale Drainstrom nicht ohne eine Erhöhung der Sättigungsgeschwindigkeit.

**Abbildung 2.13:**

Vergleich von Ausgangskennlinienfeldern mit verschiedener Nullfeldbeweglichkeit.

Durchgezogen: $\mu_0 = 10^4 \frac{\text{cm}^2}{\text{Vs}}$,
gestrichelt: $\mu'_0 = 5 \mu_0$

2.3.5 Zuleitungswiderstände

Bisher wurden die Widerstände der Zuleitungen zum Kanalgebiet vernachlässigt und nur *intrinsische* Spannungen betrachtet. Fließt ein Drainstrom, fällt ein Teil der *extrinsischen* Spannung am *Sourcewiderstand* R_S und am *Drainwiderstand* R_D ab, und am sourceseitigen Ende des Kanals gilt nun $V(0) = R_S \cdot I_D$ statt $V(0) = 0$. Zwischen den intrinsischen und extrinsischen Spannungen gelten daher die Beziehungen

$$V_{DS}^{in} = V_{DS}^{ex} - (R_S + R_D) I_D \quad (2.27)$$

$$V_{GS}^{in} = V_{GS}^{ex} - R_S I_D \quad (2.28)$$

Die gemessene, extrinsische Steilheit im Sättigungsbereich beträgt

$$g_m^{ex} = \frac{g_m^{in}}{1 + R_S \cdot g_m^{in}} \quad (2.29)$$

und für den Ausgangsleitwert bei $V_{DS} = 0$ gilt

$$g_d^{0,ex} = \frac{1}{(g_d^{0,in})^{-1} + R_S + R_D} \quad (2.30)$$

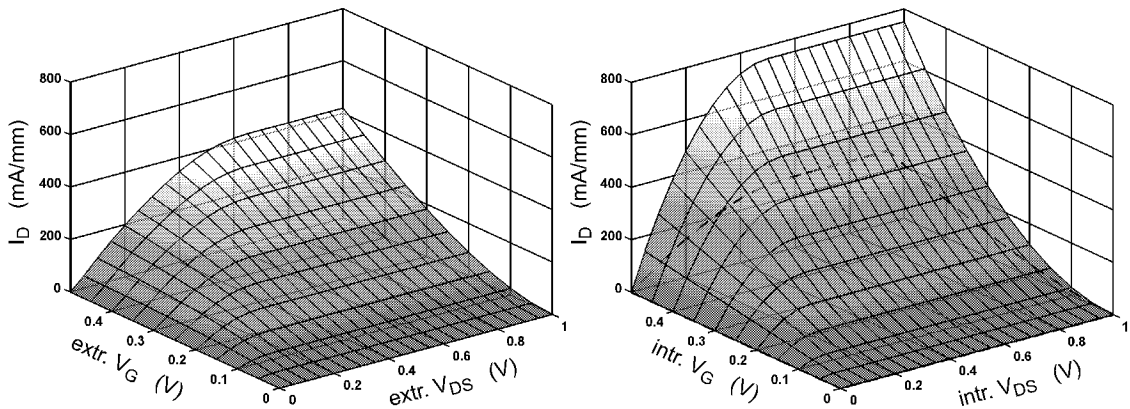


Abbildung 2.14: Vergleich zwischen extrinsischem (links) und intrinsischem Kennlinienfeld

Abbildung 2.14 verdeutlicht die Auswirkung von angenommenen parasitären Widerständen $R_S = R_D = 0.3 \Omega \text{mm}$ auf das Kennlinienfeld aus Abbildung 2.8 auf Seite 14. Die gestrichelte Linie im rechten, intrinsischen Kennlinienfeld liegt in der gekrümmten $I_D(V_G, V_{DS})$ -Fläche und umschließt diejenigen Drainstromwerte, die beim Anlegen der extrinsischen Spannungen gemessen werden. Der umschlossene Bereich wird also durch die Widerstände zum extrinsischen Ausgangskennlinienfeld verzerrt.

2.3.6 Weitere Effekte

Der Potentialverlauf unter dem Gate wurde zuvor stets als eindimensional und begrenzt auf den Bereich der Gatelänge betrachtet. Insbesondere bei abnehmenden Kanal-Aspektverhältnissen $l_g/d_{gc} \lesssim 5$ (siehe Abbildung 2.1 auf Seite 6) wächst der Einfluss der z -Komponente des elektrischen Feldes. Die Einsatzspannung wird abhängig von der Drain-Source-Spannung und Elektronen können aus dem Kanalbereich hinausprojiziert werden („Deconfinement“), was neben zum Kanal parallelen Strompfaden zur Erhöhung des Ausgangsleitwertes im Sättigungsbereich führt [44].

Zu den so genannten **Kurzkanaleffekten** zählt ebenfalls das Auftreten von Stoßionisation bei hohen Feldstärken im Kanal [34, 45, 46]. Begünstigt durch die kleine Bandlücke des Kanalmaterials³ erzeugen energiereiche Elektronen Elektron-Loch-Paare. Der Transfer von Löchern zum Gate zeigt sich in einer Erhöhung des Gatestroms.

Auch der Kink-Effekt, einem Anstieg des Ausgangsleitwertes bei einer Drain-Source-Spannung im Sättigungsbereich, wird in neuerer Literatur [46, 47, 48, 49] in zunehmendem Maße mit der Stoßionisation verknüpft (auch wenn Untersuchungen in [50] zu belegen scheinen, dass beide nicht korreliert sind). Nach der Modellvorstellung werden einige der generierten Löcher in Trappzuständen in der Buffer- und/oder der Barrierenschicht oder Grenzflächen eingefangen und sorgen so für eine Verschiebung der Einsatzspannung. Eine zusätzliche Möglichkeit ist die Ansammlung der Löcher im Bereich des sourceseitigen Gate-Recess der Breite l_{gs} . Dort kompensieren sie den Effekt der Elektronen in den Oberflächenzuständen, der die Ladungsträgerkonzentration im zweidimensionalen Elektronengas reduziert. Dieser Vorgang kann als Verminderung des Sourcewiderstandes interpretiert werden. Ein möglicher Ausweg wäre dann eine Minimierung von l_{gs} , was jedoch bei symmetrischem Recess zu schlechten Durchbrucheigenschaften führen würde.

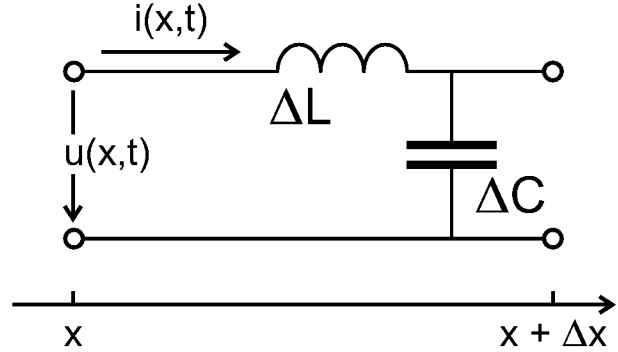
2.4 Hochfrequenzverhalten

Das Hochfrequenzverhalten von Bauelementen wird durch die Messung von so genannten S-Parametern bestimmt. Ihr Ursprung wird im folgenden kurz erläutert [51, 52].

³ $E_g(\Gamma) = (0.324 + 0.7x + 0.4x^2)$ eV für $\text{In}_{1-x}\text{Ga}_x\text{As}$ [28], d.h. 0.52 eV bzw. 0.75 eV für $x = 0.25$ bzw. $x = 0.47$ in unverspanntem Material (kompressive Verspannung wirkt der Verkleinerung der Bandlücke entgegen)

2.4.1 S-Parameter

Abbildung 2.15:
Ersatzschaltbild für ein verlustloses,
differentiell kurzes Leitungsstück



Die Lösungen der Telegraphengleichung für eine verlustlose Leitung mit dem Kapazitätsbelag C' und dem Induktivitätsbelag L' (siehe Abbildung 2.15)

$$u(x, t) = u_+(t - \frac{x}{c}) + u_-(t + \frac{x}{c}) \quad (2.31)$$

$$i(x, t) = i_+(t - \frac{x}{c}) + i_-(t + \frac{x}{c}) \quad (2.32)$$

(mit $u_{\pm}(t \mp \frac{x}{c}) = \pm Z_0 \cdot i_{\pm}(t \mp \frac{x}{c})$, Impedanz $Z_0 = \sqrt{L'/C'}$ und Phasengeschwindigkeit $c = (L'C')^{-\frac{1}{2}}$) beschreiben hin- und rücklaufende Spannungs- bzw. Stromwellen. Berechnet man mit (2.31) und (2.32) die Leistung $P(x, t) = u(x, t) \cdot i(x, t)$ erhält man einen analogen Ausdruck für überlagerte Leistungswellen

$$P(x, t) = P_+(x, t) - P_-(x, t) = \frac{(u_+(x, t))^2}{Z_0} - \frac{(u_-(x, t))^2}{Z_0} \quad (2.33)$$

Diese Analogie legt die Definition von *normierten Wellen* nahe

$$\tilde{a}(x, t) = \sqrt{P_+(x, t)} = \sqrt{Z_0} i_+(x, t) = \frac{1}{\sqrt{Z_0}} u_+(x, t) \quad (2.34)$$

$$\tilde{b}(x, t) = \sqrt{P_-(x, t)} = \dots \quad (2.35)$$

deren Fouriertransformierte im Frequenzbereich

$$a(x, \omega) = \mathcal{F}(\tilde{a}(x, t)), \quad b(x, \omega) = \mathcal{F}(\tilde{b}(x, t)) \quad (2.36)$$

komplexe Leistungswellen genannt werden. Das Verhalten eines n -Tores kann man durch je n einlaufende und auslaufende Wellen a_n bzw. b_n frequenzabhängig beschreiben. Im Kleinsignalfall sind diese über eine $n \times n$ -Matrix S linear miteinander

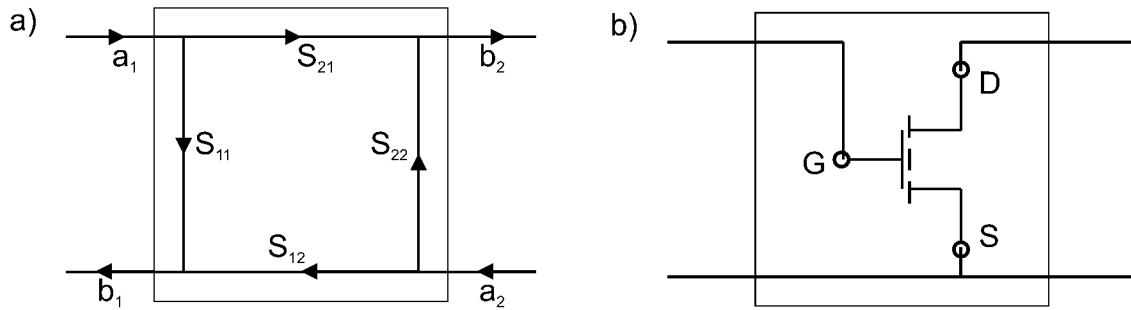


Abbildung 2.16: a) Transistor in Source-Schaltung, b) S-Parameter

verknüpft, deren komplexwertige Koeffizienten man als die *S-Parameter*⁴ bezeichnet.

Für einen Transistor als Zweitor gilt demnach

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \cdot \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (2.37)$$

$$\text{d. h. } S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad \text{usw.}$$

Abbildung 2.16 zeigt einen Transistor in Source-Schaltung und die Festlegung der ein- und auslaufenden Wellen und S-Parameter. Aus messtechnischen Gründen geht man bei hohen Frequenzen von der Messung von Strom- oder Spannungswellen zur Erfassung von S-Parametern über.

2.4.2 Hochfrequenz-Kenngrößen

Aus den frequenzabhängigen S-Parametern lassen sich verschiedene, beschaltungsabhängige Transistorverstärkungen berechnen [52, 53, 54]:

- die Kurzschluss-Stromverstärkung h_{21} ⁵ (short circuit current gain)

$$h_{21} = \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \quad (2.38)$$

⁴scattering parameters

⁵ h_{21} ist einer der so genannten Hybridparameter

h_{21} ist die Stromverstärkung des am Ausgang kurzgeschlossenen Transistors

$$|h_{21}| = \frac{\partial I_D}{\partial I_G} \quad (2.39)$$

- die unilaterale Leistungsverstärkung GU (unilateral gain)

$$GU = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(K \cdot \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (2.40)$$

GU gibt die Leistungsverstärkung bei Kompensation der kapazitiven Rückkopplung zwischen Ein- und Ausgang an

- der maximal verfügbare Gewinn MAG (maximum available gain)

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| \left(K - \sqrt{K^2 - 1} \right) \quad (2.41)$$

MAG bezeichnet die maximal erreichbare Leistungsverstärkung (bei komplex konjugiert angepassten Reflexionsfaktoren von Quelle und Last)

Dabei ist

$$K = \frac{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} \quad (2.42)$$

der so genannte „K-Faktor“ oder Stabilitätsfaktor, der die Stabilität des Transistors gegenüber Schwingungen beschreibt:

$$K > 1 \quad (2.43)$$

$$\text{mit} \quad |s_{11}| < 1 \quad \text{bzw.} \quad |s_{22}| < 1 \quad (2.44)$$

$$\text{und} \quad |s_{12}s_{21}| < 1 - |s_{11}|^2 \quad \text{bzw.} \quad |s_{12}s_{21}| < 1 - |s_{22}|^2 \quad (2.45)$$

bedeutet absolute Stabilität unabhängig von der äußeren Beschaltung an Ein- bzw. Ausgang; sind die Bedingungen nicht erfüllt, ist die Stabilität beschaltungsabhängig. Der maximal verfügbare Gewinn ist nur für Frequenzen mit $K > 1$ definiert; den Wert $|S_{21}/S_{12}|$ bezeichnet man auch als maximal stabilen Gewinn MSG .

Als charakteristische Kenngrößen für die Eignung des Transistors in Hochfrequenzanwendungen erweisen sich die folgenden Grenzfrequenzen:

- die *Transitfrequenz* f_T , bei der die Kurzschluss-Stromverstärkung den Wert 1 annimmt
- die *maximale Schwingfrequenz* f_{max} , bei der die unilaterale Leistungsverstärkung auf 1 absinkt

2.4.3 Kleinsignal-Ersatzschaltbild

Aus dem (arbeitspunktabhängigen) Frequenzverlauf der S-Parameter lassen sich durch Vergleich mit dem Frequenzgang eines Ersatzschaltbild-Netzwerks weitergehende Schlüsse über das Bauelement ziehen. Ein Standard-Ersatzschaltbild, dessen einzelne Elemente mit den physikalischen Gegebenheiten im Feldeffekt-Transistor verknüpft sind, zeigt Abbildung 2.17.

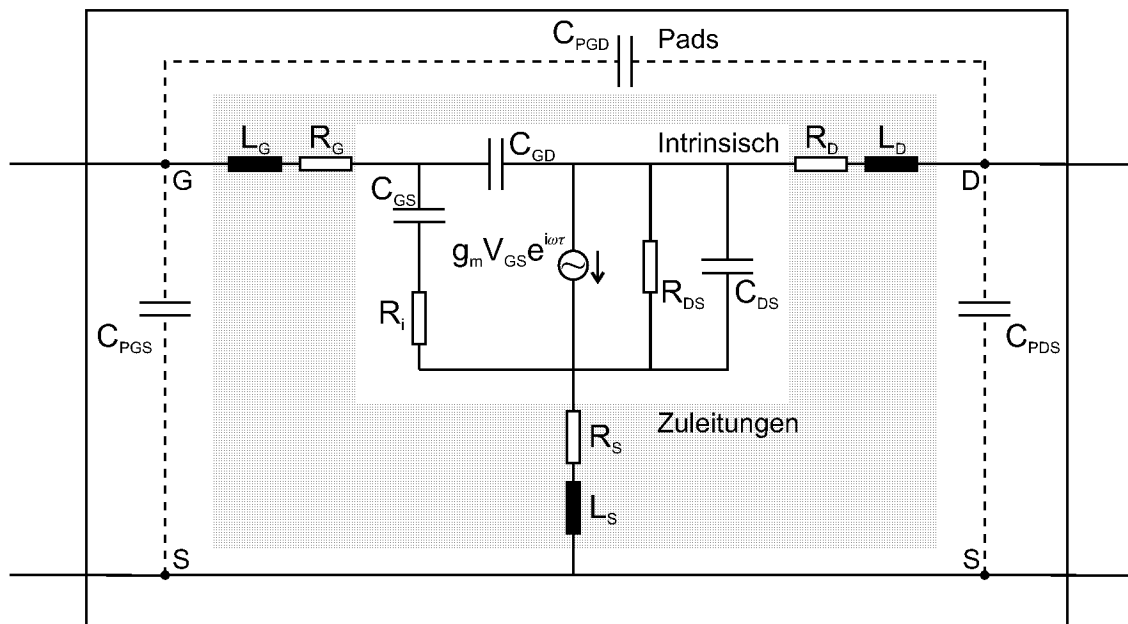
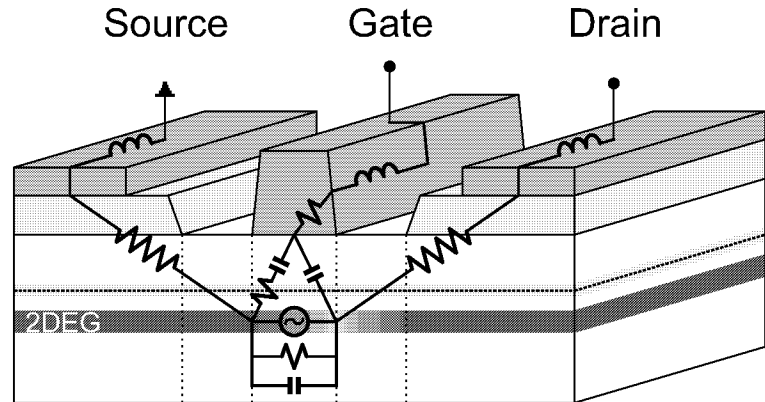


Abbildung 2.17: FET-Kleinsignal-Ersatzschaltbild

Neben den zwischen den Kontaktpads auftretenden Kapazitäten unterteilt man die dreizehn das Bauelement charakterisierenden Elemente in intrinsische und parasitäre, von den Zuleitungen herrührende Bestandteile. Die parasitären Induktivitäten L_S , L_D und L_G sowie der Gate-Widerstand R_G sind vornehmlich auf die Metallisierungen zurückzuführen, während bei den Widerständen R_S und R_D der Metall-Halbleiter-Kontakt und die weitere Kanal-Zuleitung zum aktiven Bereich die entscheidende Rolle spielen.

Abbildung 2.18:
HEMT–Aufbau und
Verknüpfung mit Ersatz-
schaltbildelementen



Die intrinsischen Kapazitäten C_{GS} und C_{GD} modellieren die Variation der Gesamtladung im aktiven Bereich bei Änderung der Gate–Source– bzw. Gate–Drain–Spannung, während C_{DS} geometrischen Kapazitätseffekten der intrinsischen Zuleitungen Rechnung trägt. Der aktive Bereich wird durch eine spannungsgesteuerte Stromquelle mit der intrinsischen Steilheit g_m und einer durch eine Verzögerungszeit τ hervorgerufenen Phasenverschiebung repräsentiert. R_{DS} steht für den reziproken Ausgangsleitwert. Wie g_m kann R_{DS} durch in Trapzuständen gefangene, „langsame“ Ladungsträger bis etwa 1 MHz einer Dispersion unterliegen, so dass man Hochfrequenz– und Gleichstromsteilheit und –ausgangsleitwert unterscheiden muss. Der Aufladewiderstand R_i , häufig auch mit R_{GS} bezeichnet, wird eher aus praktischen Erwägungen (bessere Anpassung an S_{11}) in das Ersatzschaltbild eingeführt und ist schwerlich einer physikalischen Bedeutung zuzuordnen. Häufig kann auch ohne ihn eine befriedigende Ersatzschaltbildanpassung erreicht werden. Die Zuordnung der einzelnen Elemente zum HEMT–Aufbau ist in Abbildung 2.18 noch einmal veranschaulicht.

Die parasitären Elemente sind im Gegensatz zu den intrinsischen als unabhängig von den angelegten Spannungen anzusehen (auch wenn die Arbeitspunktabhängigkeit von intrinsischen Elementen, z. B. C_{DS} , gering sein kann).

Mit Gleichung (2.39), $\frac{\partial I_G}{\partial V_G} = \omega(C_{GS} + C_{DS})$ und der Bedingung $|h_{21}(\omega_T)| = 1$ lässt sich die intrinsische Transitfrequenz herleiten zu

$$f_T^{in} = \frac{g_m}{2\pi(C_{GS} + C_{DS})} \quad (2.46)$$

die theoretisch bei verschwindenden Parasitäten gemessen würde. Es kann gezeigt werden [55], dass sie bei endlichen Source– und Drain–Widerständen auf den extrin-

sischen Wert

$$f_T^{ex} = \frac{g_m}{2\pi} \left[(C_{GS} + C_{GD}) \cdot \left(1 + \frac{R_S + R_D}{R_{DS}}\right) + C_{GD} \cdot g_m \cdot (R_S + R_D) \right]^{-1} \quad (2.47)$$

reduziert wird. Man erkennt am zweiten Summanden im Klammerausdruck, dass wiederum besonders bei hohen Steilheiten (und damit Grenzfrequenzen) der schädliche Einfluss der parasitären Widerstände groß ist.

Ein hoher Source- und auch Gate-Widerstand schlagen sich noch stärker in einer verminderten maximalen Schwingfrequenz nieder:

$$f_{max} = f_T^{in} \left/ \sqrt{4 \frac{R_S + R_G + R_{GS}}{R_{DS}} + 2 \frac{C_{GD}}{C_{GS}} \left(\frac{C_{GD}}{C_{GS}} + g_m (R_S + R_{GS}) \right)} \right. \quad (2.48)$$

Die durch die gemessenen S-Parameter errechneten Verstärkungen $|h_{21}|$ und GU kann man auch für hohe Frequenzen ungefähr mit einem $1/f$ -Verhalten, d. h. mit einem Abfall nahe $-20 \frac{dB}{\log(f/\text{Hz})}$, bis zum Wert von 0 dB extrapolieren, um f_T bzw. f_{max} zu erhalten.

Kapitel 3

Prozesstechnologie

Dieses Kapitel behandelt die technologischen Aspekte des Herstellungsprozesses der vorgestellten HEMTs, der hier u. a. mit Rasterelektronenmikroskop-Aufnahmen dokumentiert werden soll. Von großer Bedeutung ist dabei die Gate-Technologie. Eine detaillierte Auflistung der einzelnen Prozessschritte befindet sich im Anhang.

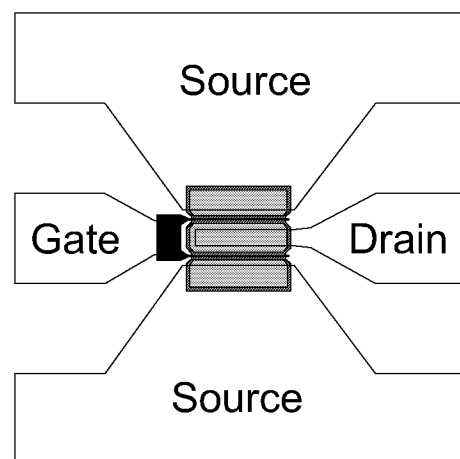
Abbildung 3.1 zeigt das verwendete Layout eines HEMT (entnommen aus dem Maskensatz in [56]) mit U-förmigem Gate und für Hochfrequenzmessungen geeigneten Kontaktflächen.

3.1 Mesa-Ätzung

Bei dieser Ätzung wird das Halbleitermaterial bis zum semiisolierenden InP-Substrat außerhalb eines als „Mesa“ bezeichneten Bereiches nasschemisch entfernt, um die

Abbildung 3.1:

Layout eines Transistors. Auf der Mesa (dunkelgrau) befinden sich die drei Kontaktmetallisierungen für Source und Drain, zwischen denen die beiden Finger des Gate liegen



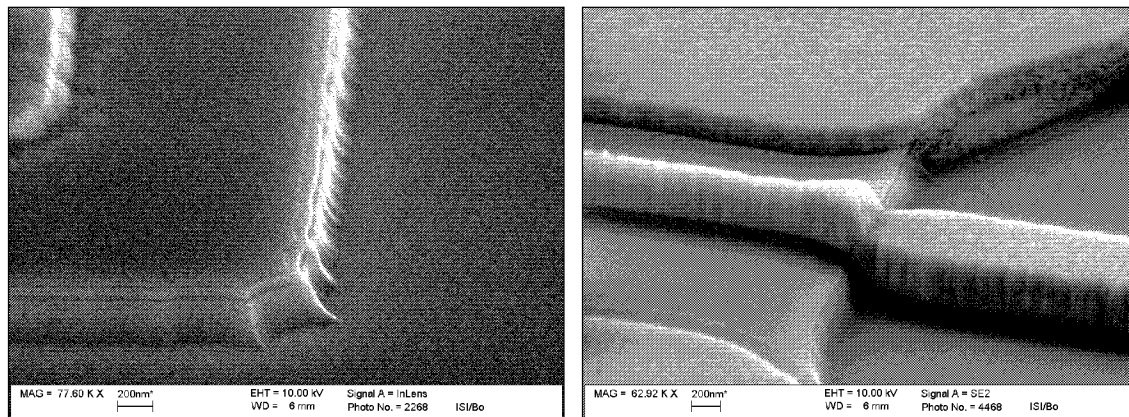


Abbildung 3.2: Aufnahme einer Mesa-Struktur. Erkennbare Kanalrückätzung (links) zur Vermeidung von seitlichen Leckströmen beim Gate-Übergang

Transistoranschlüsse elektrisch voneinander zu trennen. Ein mittels optischer Lithographie strukturierter und gehärteter Schutzlack bedeckt das Gebiet bei der Ätzung. Ein kritischer Punkt ist die später herzustellende Überführung der Gatefinger über die Mesa-Kanten (Abbildung 3.2 rechts), da dort Leckströme zwischen Gate-Metall und Kanalschicht fließen könnten. Um nicht Luftbrücken einsetzen zu müssen, wird der Kanal direkt im Anschluss an die Mesa-Ätzung selektiv zurückgeätzt [57]. In Abbildung 3.2 (links) ist der zurückgeätzte InGaAs-Kanal als dunkle Schicht zu erkennen. Es wird die gleiche Lösung aus Ammoniak-gepufferter Bernsteinsäure mit Wasserstoffperoxid verwendet wie beim späteren Gate-Recess; daher lässt sich anhand der unvermeidbar gleichzeitig geätzten Cap-Schicht aus dem gleichen Material die Tiefe des Kanal-Recess zu etwa 50 nm bestimmen.

3.2 Metallisierung und Lift-off

Die Metallschichten der ohmschen Kontakte, des Gates und der Pads werden mittels Elektronenstrahlverdampfung (ESV) auf der Probe abgeschieden [58]. Bei diesem Verfahren werden die in Keramiktiegeln aufbewahrten Quellenmaterialien durch Beschuss mit Elektronen (~ 10 keV) erhitzt, so dass sich im Vakuum von ca. 10^{-6} mbar die abgedampften Atome gerichtet auf die mehrere Dezimeter von den Tiegeln entfernte Probe zubewegen können. Diese nicht-konforme Deposition wird zur Strukturierung bei der Lift-off-Technik ausgenutzt: Eine Lackschicht wird auf der Probe photolithographisch strukturiert, die Metalle durch ESV abgeschieden und schließlich wird der Resist mit Lösungsmitteln vollständig entfernt, wodurch die auf dem Lack liegenden Metallflächen abgehoben werden. Überhängende Flanken sollen eine größtmögliche Trennung der Metallflächen auf Resist und Halbleiter gewährleisten.

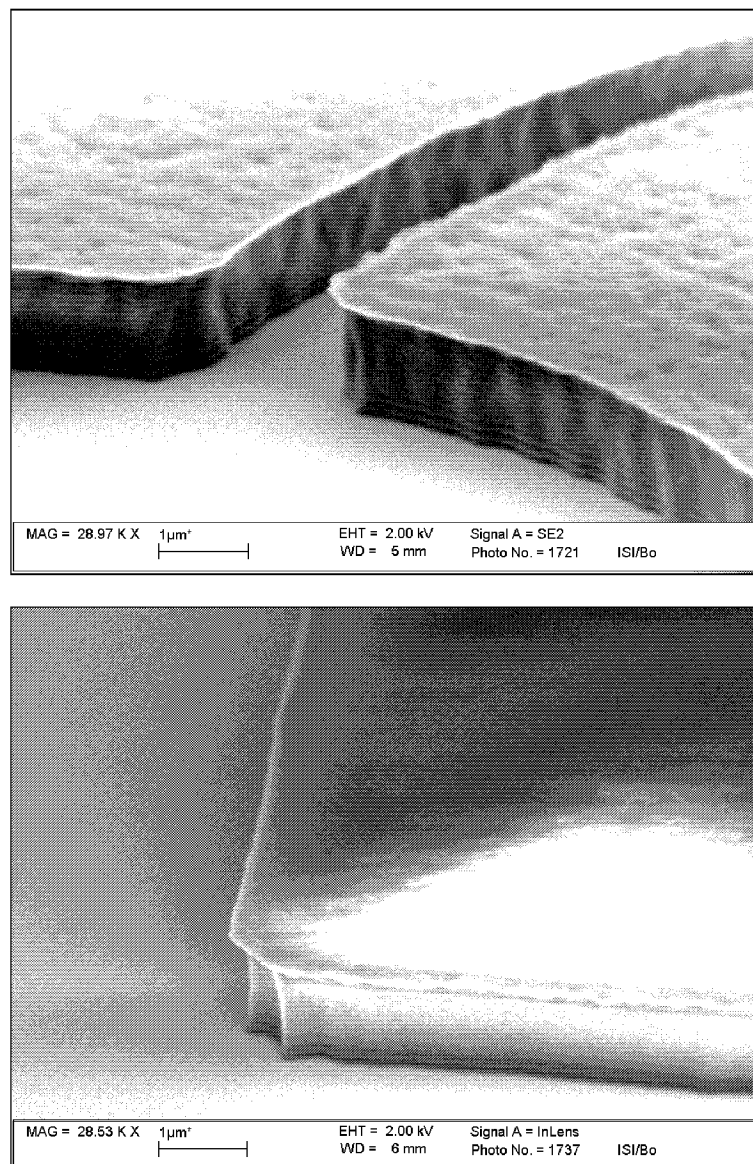


Abbildung 3.3: Negative Lackflanken zur Erleichterung des Lift-off nach Metallisierungen. Lackbehandlung mit Toluol (oben) und Chlorbenzol (unten)

Negative Lackflanken können bei der optischen Lithographie durch einen Umkehrprozess oder die Härtung der Lackoberfläche vor der Entwicklung erreicht werden. Der Lift-off gestaltet sich insbesondere bei kleineren abzulösenden Metallflächen als schwierig [59], wie sie beim RundHEMT oder bei konzentrischen Transmission-Line-Model-Strukturen vorkommen. Wegen der Empfindlichkeit des Materials verbietet sich zudem der Einsatz von Ultraschall beim Lift-off. Zur Erleichterung dieses Prozessschrittes wurden in Zusammenarbeit mit J. Skriniárova Behandlungen mit

Chlorbenzol und Toluol zur Lackhärtung untersucht. Der Überhang der behandelten Lackoberflächen ist in Abbildung 3.3 zu erkennen. Eine Bedeckung des belichteten Lacks mit Chlorbenzol für die Dauer von 10 min vor der Entwicklung stellte sich als optimal heraus.

3.3 Gate-Herstellung

Die größte technologische Herausforderung stellt bei Feldeffekttransistoren oft die Realisierung kleiner Gatelängen dar. Beim planaren Aufbau der Transistoren ist zudem die Höhe der Gate-Metallisierung auf wenige 100 nm begrenzt, was zwangsläufig einen Anstieg des Gatewiderstands bei der Reduktion von l_g bedeutet. Einen Ausweg bietet die T-Gate-Technologie (s. u.), zunächst wird jedoch die Herstellung einfacher Gates beschrieben.

3.3.1 Einfache Gates

Gatelängen im Bereich von einigen 100 nm sind reproduzierbar mit Hilfe der Elektronenstrahlolithographie zu erzeugen. Bei dieser Lithographiemethode wird ein Strahl beschleunigter Elektronen (~ 10 keV) im Hochvakuum in der Ebene des Resists durch magnetische Linsen auf wenige 10 nm fokussiert und durch Ablenkfelder entsprechend der vorgegebenen Struktur über die Probe gerastert. Während der Elektronenstrahlbelichtung werden im PMMA-Resist¹ langkettige Moleküle aufgebrochen, wodurch er in einem geeigneten Entwickler löslich wird. Beim Durchgang durch den Resist werden die Elektronen gestreut, was das Auflösungsvermögen gerade bei dickeren Lackschichten vermindert (Vorwärtsstreuung). Hinzu kommt die Rückstreuung von Elektronen vom Substrat mit einer Reichweite von etwa $5\text{ }\mu\text{m}$, welche an Strukturkanten und -ecken einen merklichen Einfluss hat. Diesem „Proximity-Effekt“ kann mit einer Korrektur der lokalen Strahldosis entgegengewirkt werden.

Die Dicke der Lackschicht muss über der Höhe des anschließend abzuschneidenden Metalls liegen. Die für den Lift-off nötigen negativen Lackflanken erreicht man durch Aufbringen eines Mehrlagenlacks, bei dem die obere Lackschicht eine geringere Empfindlichkeit als die darunter liegende besitzt. Bei den vorliegenden HEMTs werden die Lacke PMMA 600K, PMMA 200K und erneut PMMA 600K auf den Wafer aufgeschleudert, worauf jeweils zum Austreiben der Lösungsmittel ein Prebake auf Heizplatten folgt. Anschließend wird die Probe mit einem Proximity-korrigierten

¹Polymethylmethacrylat

Elektronenstrahl der Basisdosis $180 \frac{\mu\text{C}}{\text{cm}^2}$ beschrieben. Der in Abbildung 3.2 auf Seite 30 aufgenommene Gatefinger ist so produziert worden. Es lassen sich auf diese Art Gatelängen bis in den Bereich von ca. 250 nm herab dimensionieren.

3.3.2 T-Gates

Hohe Gatewiderstände verschlechtern die Hochfrequenzeigenschaften des HEMT. Sie lassen sich bei sehr kurzen Gatelängen vermeiden, indem man das Gate aus einem schmalen, l_g definierenden „Fuß“, der den Schottky-Kontakt bildet, und einem darüberliegenden breiteren „Kopf“ zusammensetzt. HEMTs mit den höchsten gemessenen Grenzfrequenzen [7, 8] basieren auf solchen T-Gates² mit Gatefußlängen von 50 nm. Zwei Verfahren zur Realisierung derartiger Gatestrukturen werden untersucht und im Folgenden vorgestellt und bewertet.

PMMA–Dreilagensystem

In Zusammenarbeit mit J. Skrinàrova, A. van der Hart und H. J. Bochem wurde die Fabrikation von T-Gates in einem speziellen Dreilagenslack-System untersucht. Als unterste Lackschicht wird PMMA 950K aufgebracht, darüber das Copolymer PMMA-MA sowie PMMA 200K. Bei dem PMMA 950K handelt es sich um den unempfindlichsten der drei Lacke, d. h. er wird nur bei vergleichsweise hohen Dosen bei der Belichtung in die für den Entwickler lösliche Form umgewandelt. Diese Tatsache nutzt man aus, um die verschiedenen Lacke selektiv zu belichten: ein schmaler zentraler Strahl mit hoher Dosis belichtet alle drei Lackschichten, während flankierende Seitenstrahlen mit geringerer Dosis nur die oberen beiden Lagen umwandeln können (Abbildung 3.4). Die belichteten Lackgebiete werden danach in einem Schritt in einem gemeinsamen Entwickler gelöst. Die etwas höhere Empfindlichkeit des Copolymers gegenüber dem 200K sorgt für die bei der Metallisierung erwünschten negativen Lackflanken. Die Gatelänge ist somit durch die schmale Öffnung der unteren Lackschicht definiert.

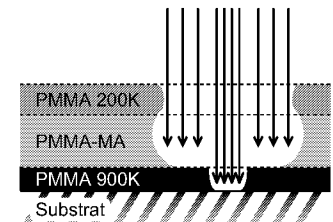


Abbildung 3.4: Skizze zur Elektronenstrahlolithographie im Dreilagenslack

Bei diesem Prozess müssen zum Erreichen der gewünschten Gate-Dimensionen verschiedene Parameter aufeinander abgestimmt werden: die einzelnen Strahlbreiten, die Strahldosen, die räumliche Separation zwischen Zentral- und Seitenstrahl und die Entwicklerzeit. Diese Parameter sind nicht unabhängig einstellbar: erhöht man

²in der Literatur auch als „mushroom gates“ bezeichnet

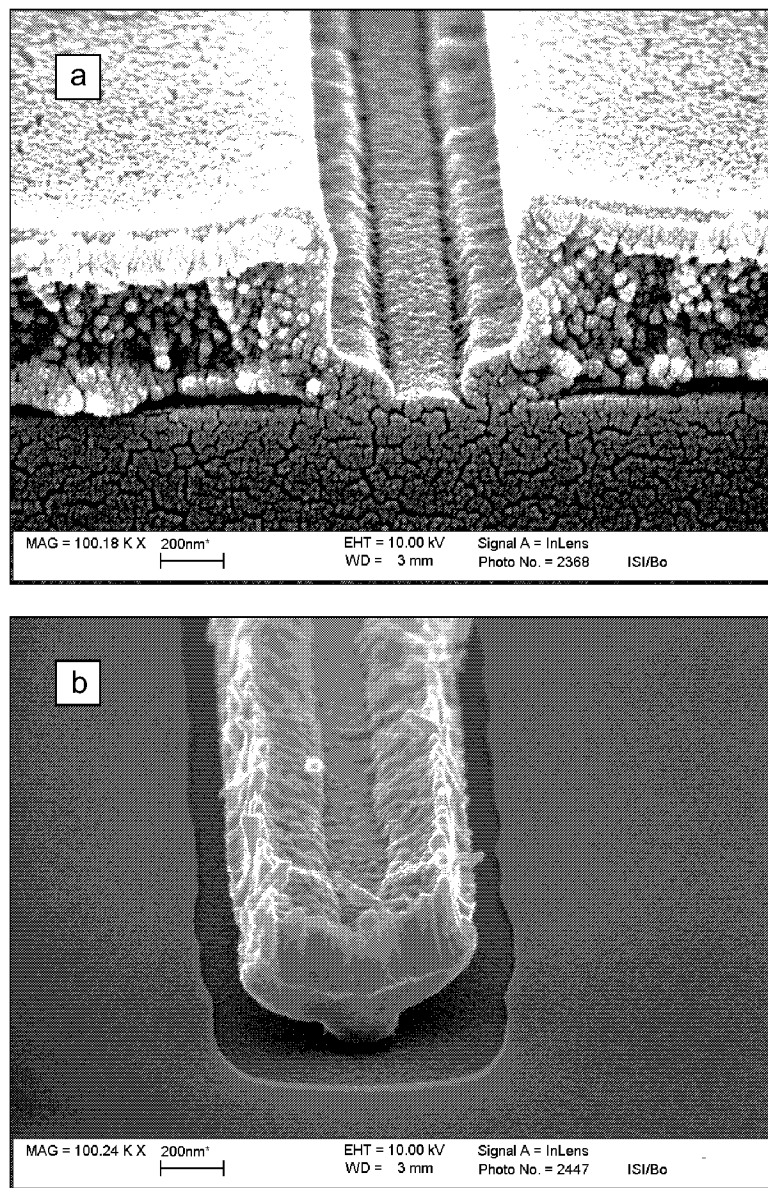


Abbildung 3.5: T-Gate-Herstellung mit PMMA-Lacksystem. a) Lackprofil nach Elektronenstrahlbelichtung und Entwicklung, b) T-Gate nach Metalldeposition und Lift-off

etwa bei gleichen Dosen die Breite der Seitenstrahlen, wird auf Grund von Streueffekten auch der belichtete Bereich des unteren Lacks verbreitert.

Abbildung 3.5 zeigt REM-Aufnahmen des Lackprofils und des Querschnitts eines im Dreilagelack-System hergestellten T-Gates mit einer Gatelänge von 200 nm. In der Umgebung des Metalls ist der Gate-Recess-Bereich zu erkennen. Die Struktur wurde mit einer Zentraldosis von $520 \frac{\mu\text{C}}{\text{cm}^2}$ und einer Seitendosis von $180 \frac{\mu\text{C}}{\text{cm}^2}$ geschrie-

ben. Diese Werte unterscheiden sich deutlich von den in [56] angegebenen Daten für das gleiche Lacksystem ($320 - 400 / 200 \frac{\mu\text{C}}{\text{cm}^2}$) bei gleicher Entwicklungszeit von 2 Minuten. Das bedeutet, dass die Parameter, die unter den gegebenen Anforderungen nur ein kleines Prozessfenster besitzen, ständig einer Überprüfung und Anpassung unterworfen werden müssen. Alterungseffekte, Schwankungen in den Prozessbedingungen oder kleine Änderungen der Zusammensetzung der Chemikalien können dann einen starken Einfluss haben. Die Wechselbeziehung der genannten technologischen Parameter erhöht den Aufwand für eine solche Überprüfung stark.

Daher rührt die Bestrebung, die Vorgänge bei der T-Gate-Herstellung um den Preis einer erhöhten Zahl von Prozessschritten zu entkoppeln, um eine bessere Kontrolle über die einzelnen Verfahrensschritte zu erhalten. So wird etwa in [60] ein Dreilagelack-System vorgestellt, für das selektive Entwickler existieren. Damit kann die Kontrolle der kritischen Entwicklung der unteren Lackschicht in einem dritten separaten Entwicklungsschritt erhöht werden.

Separate Gatefuß-Definition mit UV6

Diesem Gedanken weiter folgend kann man die Strukturierung von Gatefuß und Gatekopf vollständig trennen. Die untere Lacklage, deren Öffnung die Gatelänge festlegt, wird durch eine gegenüber Lithographie und Entwickler unempfindliche Schicht ersetzt, die ihrerseits in einem separaten Prozessschritt strukturiert wird. Dabei bietet sich mittels PECVD³ deponiertes Siliziumnitrid (Si_3N_4) an, das bei HEMTs als Passivierungsschichtmaterial verwendet wird. Die Lithographie für die Gateöffnung kann dann z. B. mit einer dünnen Schicht PMMA erfolgen [61]. Die Öffnung wird durch reaktives Ionenätzen (reactive ion etching, RIE) in das Siliziumnitrid übertragen.

In der RIE-Reaktorkammer werden Ionen aus einem Niederdruckplasma der zugeleiteten Prozessgase in einem elektrischen Feld beschleunigt und treffen mit Energien oberhalb von 100 eV senkrecht auf die Probenoberfläche, wo sie chemische und physikalische Ätzprozesse auslösen. Die Ätzung läuft daher anisotrop ab und eignet sich zur maßstabsgetreuen Strukturübertragung. Durch den Ionenbeschuss werden die Schichtoberflächen jedoch häufig geschädigt; hier muss insbesondere die Lackmaske resistent sein. Eine leichte Schädigung der Cap-Schicht nach dem Durchätzen des Nitrids kann in Kauf genommen werden, da sie beim späteren Gate recess entfernt wird. Als Ätzgas des RIE dient CHF_3 .

³*plasma enhanced chemical vapor deposition*; Gasphasenabscheideverfahren, das durch plasmaunterstützte Gasphasenreaktion bei niedrigeren Temperaturen durchgeführt werden kann als andere CVD-Verfahren

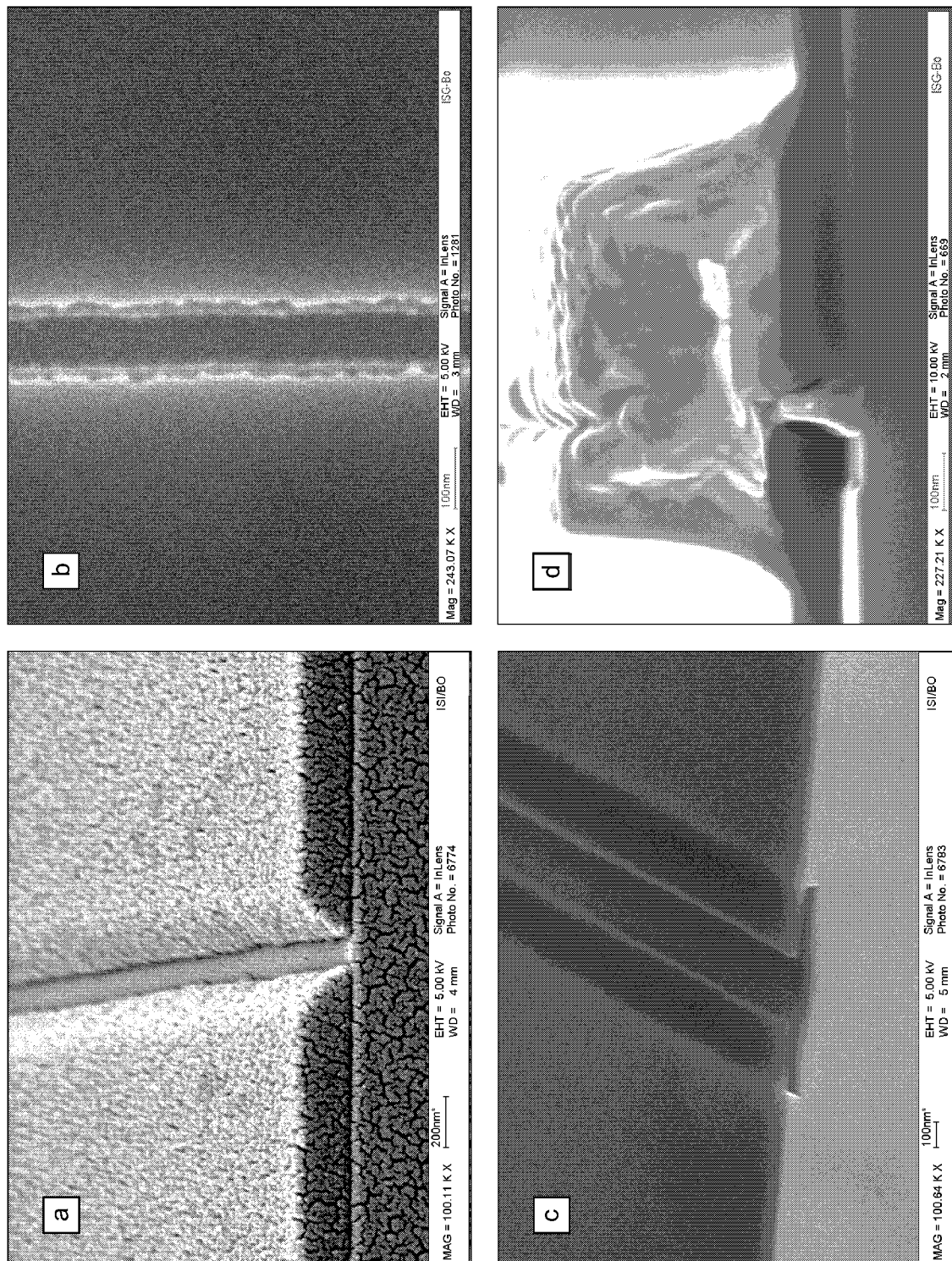


Abbildung 3.6: T-Gate-Herstellung mit UV6-Lack (siehe Text)

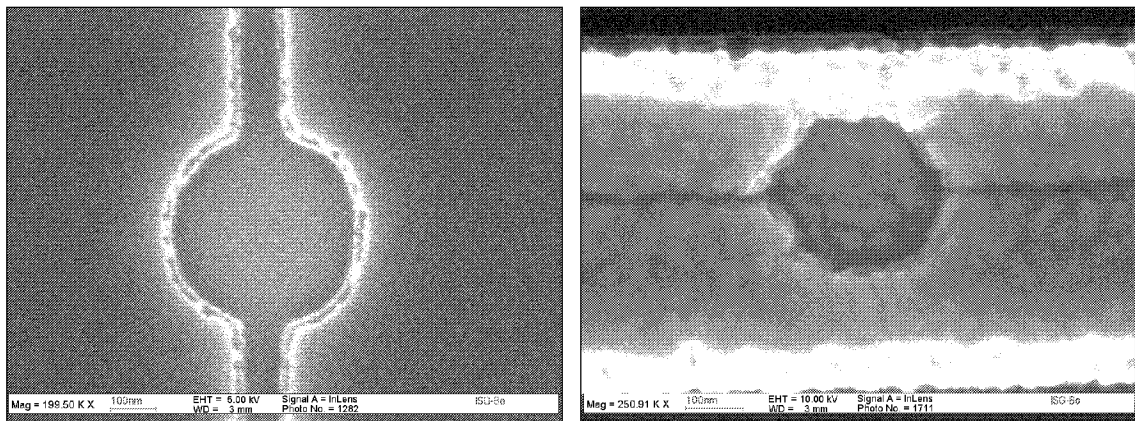


Abbildung 3.7: Stabilisationspunkte für T-Gates

In der vorliegenden Arbeit wurde für die Elektronenstrahlolithographie der Resist Shipley UV6 verwendet, der als Ätzmaske beim RIE im Vergleich zu PMMA eine sehr gute Widerstandsfähigkeit besitzt. Er kann nach der Nitridätzung durch Sauerstoffplasma entfernt werden.

Ist der Gatefuß auf diese Weise definiert worden, kann der Gatekopf durch ein Verfahren wie bei den einfachen Gates fabriziert werden (siehe Abschnitt 3.3.1). Die Gatekopflänge ist somit frei einstellbar. Zur Positionierung der beiden Elektronenstrahlolithographien werden dieselben Marker verwendet, welche bei der ohmschen Metallisierung aufgebracht wurden.

Die Prozessablauf zur Herstellung derartiger T-Gates wurde eingehend untersucht. In Abbildung 3.6 ist der Ablauf in vier REM-Aufnahmen abgebildet, die teilweise aus den Voruntersuchungen zusammengestellt wurden. Die erste Aufnahme zeigt den etwa 180 nm dicken UV6-Lack nach der Entwicklung der Gatelinie. Auf die Probe wurde eine wenige Nanometer dicke Goldschicht aufgesputtert, da sich der unbehandelte Lack nicht für elektronenmikroskopische Aufnahmen eignet. Aufnahme b) zeigt die in das Siliziumnitrid übertragene Linie. Die RIE-Ätzung des Nitrids wurde vor dem Durchätzen durch einen Sauerstoffschritt unterbrochen, um die schrägen Lackflanken zurückzuätzen und die Öffnung des Nitrids im oberen Bereich zu weiten (s. u.). Dadurch entsteht die sichtbare äußere, unregelmäßige Kante. REM-Aufnahmen von Si_3N_4 erweisen sich als schwierig, da sich das isolierende Material auflädt und dünne Linien nach kurzer Zeit unter der Elektronenkanone merklich aufweiten. Der Recess des InGaAs-Caps unter dem Nitrid ist in der nächsten Aufnahme zu erkennen. Die Kantenrauigkeit liegt unterhalb von 10 nm.

Die vierte Aufnahme zeigt schließlich ein komplettes T-Gate. Der trapezförmige Querschnitt des Gatekopfs gleicht der Form einfacher Gates und ist typisch für den oben beschriebenen PMMA-Prozess. Zu erkennen ist ebenfalls die Verjüngung des

Vorgabe (nm)	75	100	150	200
Messung (nm)	67	101	145	195

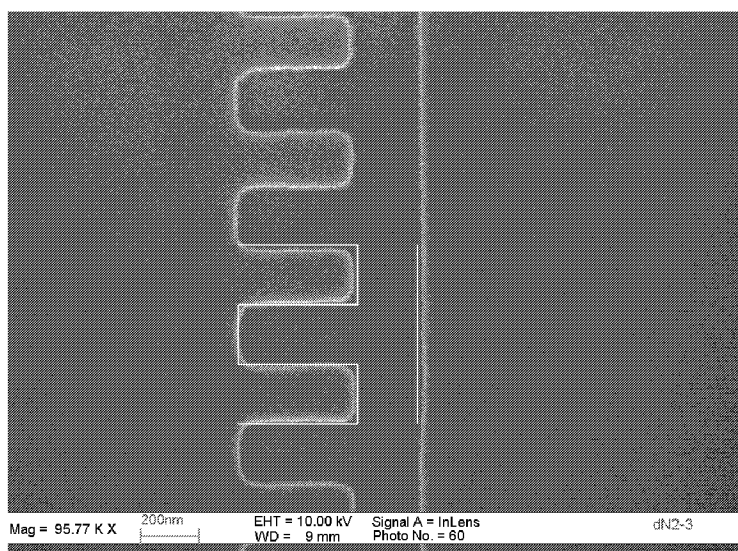
Tabelle 3.1:

Vorgegebene und ermittelte Gatelängen

Gatefußes im oberen Teil. Ihre Ursache liegt in der Überwölbung der Kanten des strukturierten Si_3N_4 bei der nicht konformen Metalldeposition. Die zuvor erwähnte Weitung der Öffnung des Si_3N_4 im oberen Teil soll diesem Effekt entgegenwirken, ist jedoch noch nicht optimiert worden.

Dem selben Zweck, der Stabilisierung des Gatefuß–Gatekopf–Übergangs, dienen im Abstand von $10\text{ }\mu\text{m}$ eingefügte Stabilisationspunkte. Es handelt sich um kreisförmige Erweiterungen des Gatefußes mit einem Durchmesser von ca. 350 nm . Abbildung 3.7 zeigt einen solchen Punkt in der Aufsicht vor und nach der Metallisierung. Derartige Verbindungspunkte sollen die Widerstandsfähigkeit des Gates gegenüber mechanischen oder thermischen Spannungen erhöhen und seine Stabilität auch nach einer möglichen Entfernung der Nitridschicht gewährleisten. Eine Beeinträchtigung des elektrischen Verhaltens ist von ihnen nicht zu erwarten.

Zur T–Gate–Herstellung wurde die Methode der zweigeteilten Strukturierung gewählt. Der erhöhte Aufwand bei der Prozessierung der HEMTs wird durch die erleichterte Feinabstimmung der Parameter der Elektronenstrahlolithographie aufgewogen. Die Lackeigenschaften müssen auch hier in Testreihen überwacht werden, die sich allerdings im Wesentlichen auf die Bestimmung einer korrekten Dosis beschränken. Es können kleinere Gatelängen als im Dreilagen–PMMA-Prozess erreicht werden. Die Maßhaltigkeit des UV6–Lackes ist exzellent, wie Abbildung 3.8 anhand

**Abbildung 3.8:**

Zur Maßhaltigkeit des UV6–Lackes. Die eingezeichneten Linien geben die vorgegebene kammartige Teststruktur ($600/200\text{ nm}$ Breite) zum Vergleich mit der tatsächlich produzierten wieder

einer Teststruktur und Tabelle 3.1 mit verschiedenen Gatefußlängen demonstrieren. Die Gatelängen wurden anhand von REM-Aufnahmen mit einer Genauigkeit von ± 5 nm bestimmt. Die vorgegebenen Strukturen in den Maskensätzen wurden vor der Lithographie automatisch allseitig um 25 nm verkleinert und mit einer Dosis von $152 \frac{\mu\text{C}}{\text{cm}^2}$ geschrieben. Es wurden Gatelängen von etwa 70 nm realisiert. Abbildung 3.9 zeigt das kleinste ausgemessene Gate aus Tabelle 3.1 mit einer Kopfbreite von 550 nm und -höhe von 430 nm.

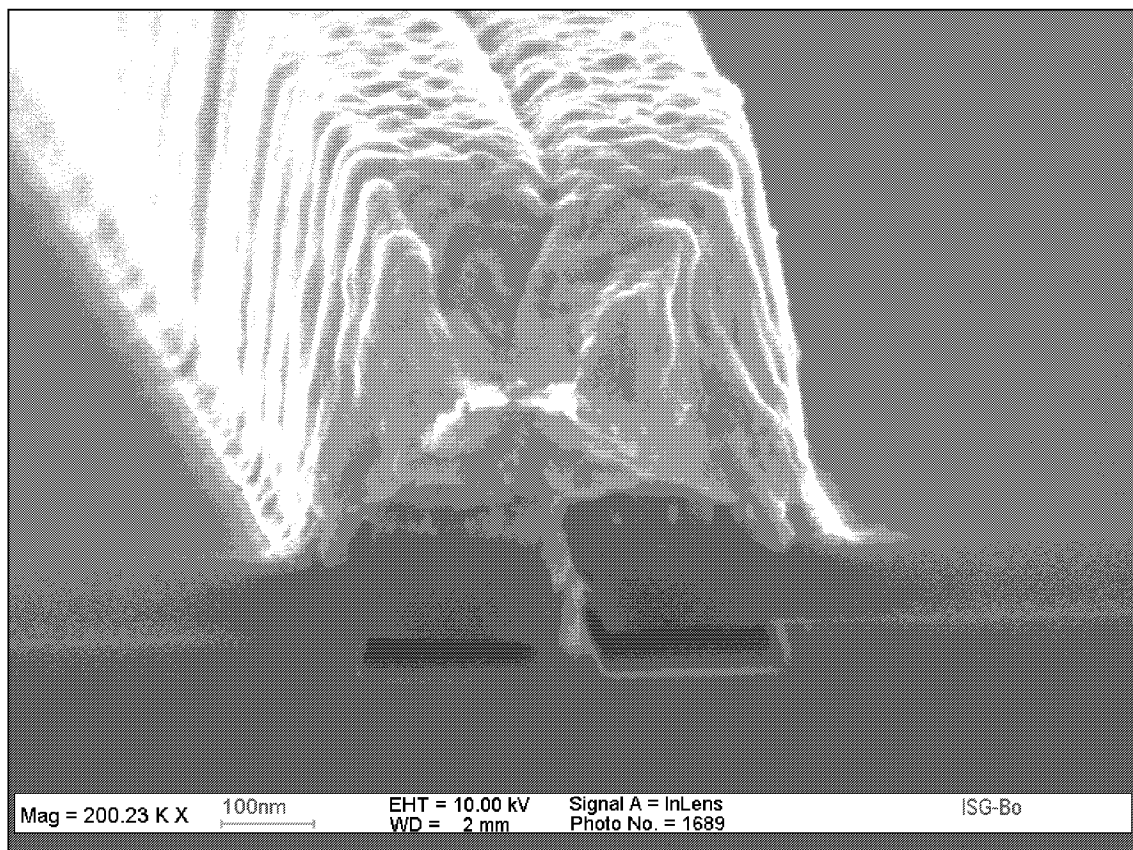


Abbildung 3.9: T-Gate mit Fußlänge $l_g = 70$ nm und Kopfbreite $l_k = 550$ nm

Kapitel 4

Charakterisierung

Die elektrischen Eigenschaften der hergestellten HEMTs und ihre Temperaturabhängigkeit werden in diesem Kapitel unter verschiedenen Gesichtspunkten analysiert. Wichtige Einzelaspekte, die das HEMT-Verhalten beeinflussen, werden vor der Diskussion der Gleichstrom- und Hochfrequenzeigenschaften behandelt. Die Zuordnung verwendeter Probennummern zu verschiedenen Epitaxien findet sich in Anhang A. Das Ausgangsschichtsystem besteht aus einer 10 nm dicken Capschicht, einer 30 nm hohen Barrierenschicht, einem Spacer von 5 nm Dicke und einem zweigeteilten Kanal aus 8 nm pseudomorphen und 7 nm gitterangepasstem InGaAs; es liefert somit für Gatelängen ab ca. 200 nm ein Gate-Kanal-Aspektverhältnis größer 5.

4.1 Zweidimensionales Elektronengas

Die Beweglichkeit und die Ladungsträgerkonzentration werden über den Hall-Effekt [13] bestimmt. Man erwartet für das Elektronengas im Quantentopf einen Beweglichkeitsverlauf ähnlich Abbildung 2.9 auf Seite 15 sowie im Gegensatz zum dotierten Halbleiter kein Absinken der Konzentration bei fallender Temperatur. Vor der Hall Messung werden gegebenenfalls nicht-verarmte, parallel leitende Cap-Schichten durch einen nasschemischen Ätzschritt entfernt.

Hall-Proben des Schichtsystems 13086 wurden in einem Helium-Kryostaten bis hinab zu einer Temperatur von 4 K gemessen. Die in Abbildung 4.1 dargestellten Messergebnisse zeigen die erwartete Abhängigkeit für die Beweglichkeit. Neben den Effekten, die beim theoretischen Verlauf berücksichtigt wurden, wird bei niedrigen Temperaturen auch die Coulombstreuung der entfernt liegenden ionisierten Donatoren die Beweglichkeit limitieren.

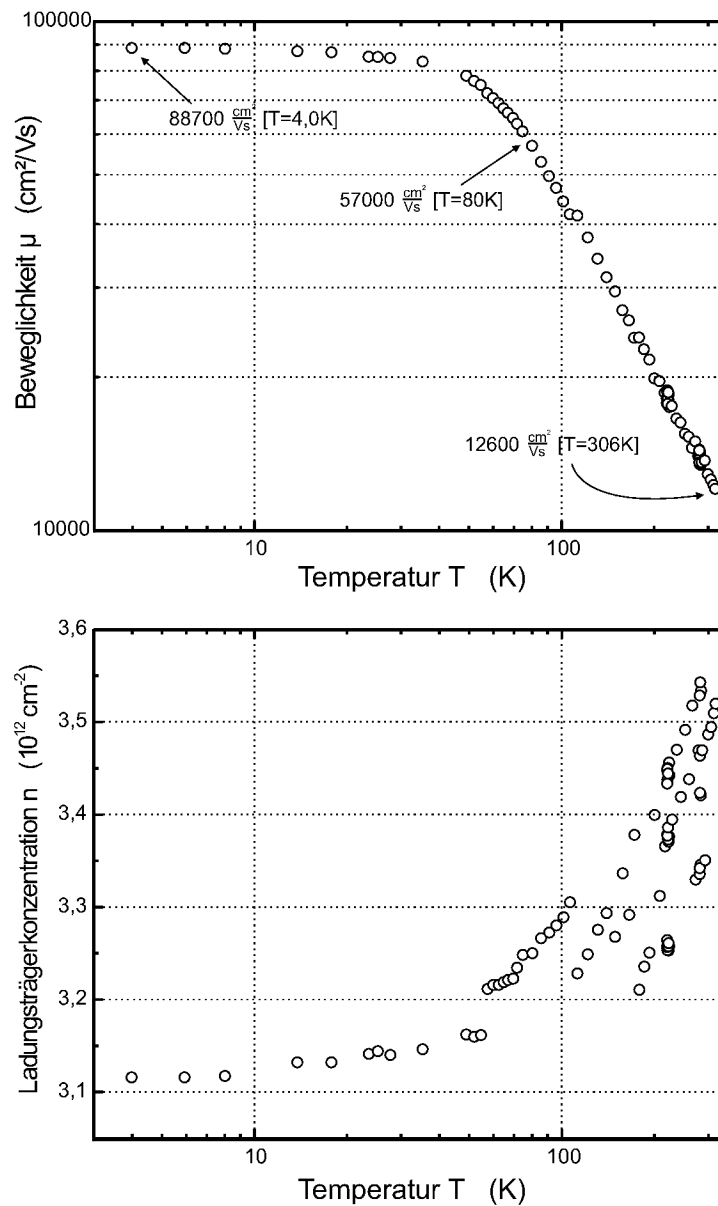


Abbildung 4.1: Ergebnisse von temperaturabhängigen Hall-Messungen an der Probe Nr. 13086: Elektronenbeweglichkeit (oben) und –konzentration (unten)

Die Ladungsträgerkonzentration bleibt ebenfalls wie erwartet nahezu konstant. Sie sinkt typischerweise bis zur Stickstofftemperatur um (5 – 10) %, unabhängig vom Vorhandensein einer verarmten Capschicht, was für einen kleinen Anteil an in der Dotierschicht residierenden oder in Störstellen eingefangenen Elektronen spricht. Allerdings ist auch die Genauigkeit der Messung nicht höher als 5 %, sie hängt u. a. von der Geometrie der Hall-Probe sowie der Güte und Anordnung der ohmschen

Kontakte ab. Außerdem wurde eine Tendenz zum Anstieg des Schichtwiderstands $R_s = (q \cdot \mu \cdot n)^{-1}$ von der Mitte des 2"-Wafers bis in den Randbereich um etwa 10 % beobachtet.

4.2 Ohmsche Kontakte

Parasitäre Zuleitungswiderstände wirken sich negativ auf Gleichstrom-, Hochfrequenz- und Rauschverhalten von Transistoren aus. Wie in Kapitel 2 gezeigt, wächst der degradierende Einfluss bei kleiner werdenden Gatelängen.

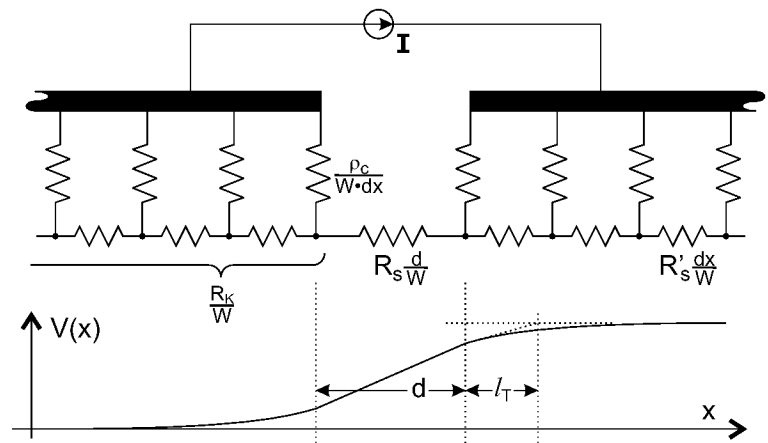
4.2.1 Charakterisierungsmethode

Entscheidend für die Zuleitungswiderstände an Source und Drain ist die Qualität des Kontakts zwischen Metallisierung und 2DEG. Sie kann mit Hilfe von Test-Metallisierungen der Breite W ermittelt werden, die in variierenden Abständen d aufgebracht werden. Nach dem „Transmission Line Model“ fließt der Strom über ein verteiltes Widerstandsnetzwerk vom Metall zum Kanal (siehe Abbildung 4.2), der Widerstand des Metalls wird dabei vernachlässigt. Als charakteristische Länge für den Spannungsabfall bis zur Metallkante definiert man die Transferlänge

$$l_T = \sqrt{\frac{\rho_c}{R'_s}} \quad (4.1)$$

wobei ρ_c den spezifischer Kontaktwiderstand ($[\rho_c] = 1 \Omega \text{cm}^2$) und R'_s den Schichtwiderstand unterhalb des Metalls ($[R'_s] = 1 \Omega \square$) bezeichnet. Die Transferlänge muss die für die Gültigkeit des Modells sehr klein gegen die Ausdehnung der Metallflächen in x -Richtung sein, d. h. der Widerstand zwischen den beiden Metallflächen würde

Abbildung 4.2:
Transmission Line Model
(nach [62])



sich erhöhen, wenn man jene Ausdehnung in die Größenordnung der Transferlänge verringern würde. Der Gesamtwiderstand des differentiellen Widerstandsnetzwerks kann zum Kontaktendwiderstand

$$R_K = \sqrt{\rho_c \cdot R'_S} \quad (4.2)$$

zusammengefasst werden, so dass die Messung zwischen den Kontaktflächen den Widerstand

$$R(d) = \frac{R_S}{W} d + \frac{2R_K}{W} \quad (4.3)$$

liefert, wobei R_S den Schichtwiderstand des 2DEG bezeichnet. Aus Messungen bei verschiedenen Abständen können durch lineare Regression der Ergebnisse $R(d)$ der Kontaktendwiderstand und der Schichtwiderstand bestimmt werden. Mit der Näherung $R'_S \approx R_S$ können die Transferlänge und der spezifische Kontaktwiderstand nur abgeschätzt werden, daher werden im weiteren R_S und R_K zur Charakterisierung herangezogen.

Der Stromfluss muss bei dem vorgestellten Verfahren durch eine Mesa-Ätzung auf das Gebiet zwischen den Kontaktflächen begrenzt werden. Um bei der Evaluierung einer größeren Probenzahl auf diesen Schritt verzichten zu können, wird bei Teststücken eine ringförmige Anordnung der Kontakte verwendet [63]. Eine äußere Metallfläche umschließt dabei eine kreisförmige innere im Abstand d , wobei man eine Gleichung (4.3) entsprechenden analytischen Ausdruck für $R(d)$ mit den Koeffizienten R_S und R_K erhält.

Verschiedene andere Kontaktanordnungen sind in der neueren Literatur vorgeschlagen worden, etwa um die Schwierigkeiten beim Lift-off an kreisförmigen Strukturen zu umgehen [59], was eine numerische Berechnung der $R(d)$ -Beziehung erforderlich macht, oder um Übergangswiderstände zwischen den einzelnen Schichten voneinander zu trennen [64], wobei jedoch eine aufwändigere Strukturierung der Cap-Schicht durch Elektronenstrahlolithographie eingesetzt wird. Da letztendlich der Kontaktendwiderstand die entscheidende, zu optimierende Größe darstellt, werden die einfachen linearen und kreisförmigen TLM-Strukturen bei den Messungen benutzt.

4.2.2 Herstellung und Untersuchung

Die Literatur über mikrostrukturelle Vorgänge und optimale Prozessparameter bei der ohmschen Kontaktierung bietet kein einheitliches Bild. Angaben über die Ätzung einer leitfähigen Cap-Schicht fehlen häufig, Fehlerwerte fast immer. Die breiteste Anwendung finden Ni/Au/Ge-basierte Metallisierungen, auch wenn von anderen Systemen wie etwa Pd/Ge/(Ag/Au) eine höhere Stabilität bei thermischer Belastung (z. B. 300 °C über mehrere Stunden) und vergleichbar gute Kontaktendwiderstände

berichtet werden ($0.1\ \Omega\text{mm}$ bzw. $0.4\ \Omega\text{mm}$ bei einer Einlegiertemperatur um $440\ ^\circ\text{C}$ in [65] bzw. [66]).

Auf das thermische Einlegieren kann nur bei sehr hoch dotierten Halbleiterschichten mit kleiner Bandlücke verzichtet werden, beispielsweise bei InGaAs mit $n > 10^{19}\ \text{cm}^{-3}$ ([67], $R_K = 0.57\ \Omega\text{mm}$ in [68]). Nach gängiger Vorstellung sorgt bei weniger hoher Dotierung die Temperung für das Eindiffundieren des Dotierstoffs aus der Metallisierung in die Halbleiterschichten, die gemäß [69] bei Legiertemperaturen unter $340\ ^\circ\text{C}$ weitgehend intakt bleiben. Allerdings gibt es auch Anzeichen für einen direkten Kontakt zwischen Metall und Kanal über Gebiete mit leitfähigen Legierungen [70], etwa über Ni_2GeAs -Körner [71]. Dünne, verarmte Cap-Schichten dienen nach [72] hauptsächlich zur Vermeidung der Oxidation des InAlAs, es werden Bestwerte von $R_K = (0.09 \pm 0.01)\ \Omega\text{mm}$ nach Einlegierung bei $320\ ^\circ\text{C}$ berichtet – unbeeinflusst von Höhe der Cap-Dotierung. Ähnlich gute Werte werden in der ausführlichen Untersuchung in [71] bei einer optimalen Temperatur von $280\ ^\circ\text{C}$ erreicht, und zwar praktisch unabhängig von der Anordnung der unteren Au- und Ge-Schichten und der Wahl von Gold und Germanium als Einzelschichten oder Legierung AuGe. Im Ni/Au(/)Ge/Ni/Au-System (2.5/120/5/60 nm) dient die untere Ni-Schicht als Haftschrift, und bei der optimalen Temperatur hat die Dicke der Ni-Zwischenschicht keine Auswirkung auf den Kontaktendwiderstand. Demgegenüber wird in [73] die Bedeutung der Position der Ge- und Ni-Schichten nah am Halbleitermaterial betont und eine Ge/Ni/Ge/Ni/Au(5/5/15/10/200 nm)-Abfolge vorgeschlagen. In [74] wurde ein Anstieg der optimalen Legiertemperatur mit der Dicke der Ni-Haftschrift beobachtet, von $300\ ^\circ\text{C}$ bei 0 nm bis $400\ ^\circ\text{C}$ bei 29 nm Nickel.

Als Ausgangspunkt wurde in der vorliegenden Arbeit das System Ni/AuGe/Ni/Au (5/90/25/50 nm) gewählt, welches in einer Leybold LH 560 – Anlage per Elektronenstrahlverdampfung aufgebracht wird. Abbildung 4.3 zeigt Kontakt- und Schichtwiderstand in Abhängigkeit der Legiertemperatur bei einer Temperdauer von 90 s in Stickstoffatmosphäre in einer RTA¹-Anlage. Der R_K -Verlauf ähnelt qualitativ den Ergebnissen in [71], jedoch liegt der Bestwert nur bei deutlich höheren $0.75\ \Omega\text{mm}$. Bei Temperaturen ab $330\ ^\circ\text{C}$ kann im optischen Mikroskop ein Aufräumen der Metallschichten beobachtet werden. Wegen der sich verschlechternden Morphologie und des Trends zu größeren Schichtwiderständen der Proben wurden Legiertemperaturen von $400\ ^\circ\text{C}$ und darüber nicht mehr untersucht. Zudem verringerte sich die Homogenität der einzelnen Kontakte, wie die größeren Fehlerbalken bei hohen Temperaturen andeuten. Angegeben sind die Fehler der Regression, Ungenauigkeiten bei der Definition des Kontaktabstands bei der optischen Lithographie sind nicht berücksichtigt. Durch Variation der Vorbehandlung (Entfernung von eventuellen Lackresten im Bar-

¹ *rapid thermal annealing*, ermöglicht scharfe Temperaturprofile mit einer Auflösung von wenigen Sekunden

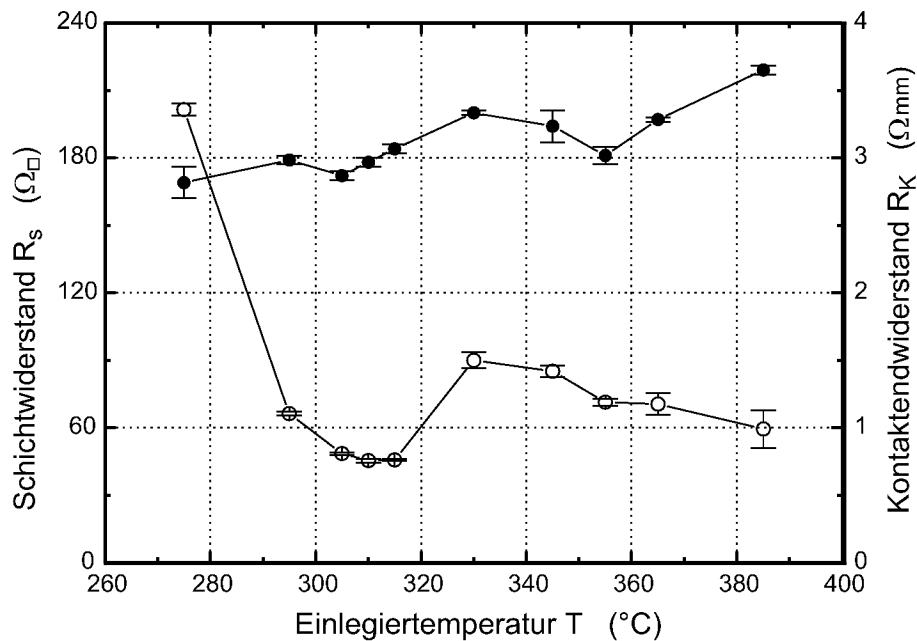


Abbildung 4.3: Einlegierreihe mit Probe Nr. 13143

relreaktor oder mittels O_2 -RIE, Vorätzung mit $HCl:H_2O$ 1:1 zur Entfernung von Oxiden sowie Argon-Sputtern in der Anlage) und Ändern der Metallzusammensetzung (u. a. Auftrennung des Eutektikums in Einzelschichten, Verwendung von Titan als Zwischenschicht) sowie der Dicke und Dotierung der Capschicht (Proben 1343 – 1393) konnte der Kontaktwiderstand nicht zuverlässig in größerem Ausmaß gesenkt werden. Leicht bessere Ergebnisse wurden in der oben genannten Anlage ohne die untere Nickelschicht erreicht (Metallsystem „Version A“ in Anhang B), ohne dass eine Beeinträchtigung der Haftung des Metalls festgestellt werden konnte.

Mittels Rutherford-Rückstreuungsspektren (Rutherford Backscattering Spectra, RBS) wurde die Zusammensetzung der Kontaktmetallschichten auf einem Silizium-Testwafer untersucht. Bei dieser Analysemethode wird die Probe mit α -Teilchen beschossen, deren Energiespektrum nach Rückstreuung an der Probe von Germanium-Detektoren aufgenommen wird. Der Strahl der auf 2 MeV beschleunigten Teilchen wird dabei um 7° gegen die Probennormale verkippt, um Channeling im Si-Wafer zu unterdrücken. Durch die den einzelnen Atomsorten eigenen Streuquerschnitte und den Energieverlust beim Durchgang durch die darüberliegenden Schichten ergibt sich ein charakteristisches Energiespektrum, das mit Simulationen verglichen werden kann. Abbildung 4.4 zeigt das gemessene Spektrum für das zuerst benutzte Metallsystem im Vergleich mit verschiedenen Simulationen. Die Peaks sind (beginnend mit der höchsten Energie) folgendermaßen zuzuordnen: Au-Deckschicht, Au in der Legierung, Ni-Zwischenschicht, Ni-Haftschrift und Si-Substrat. Die Schulter

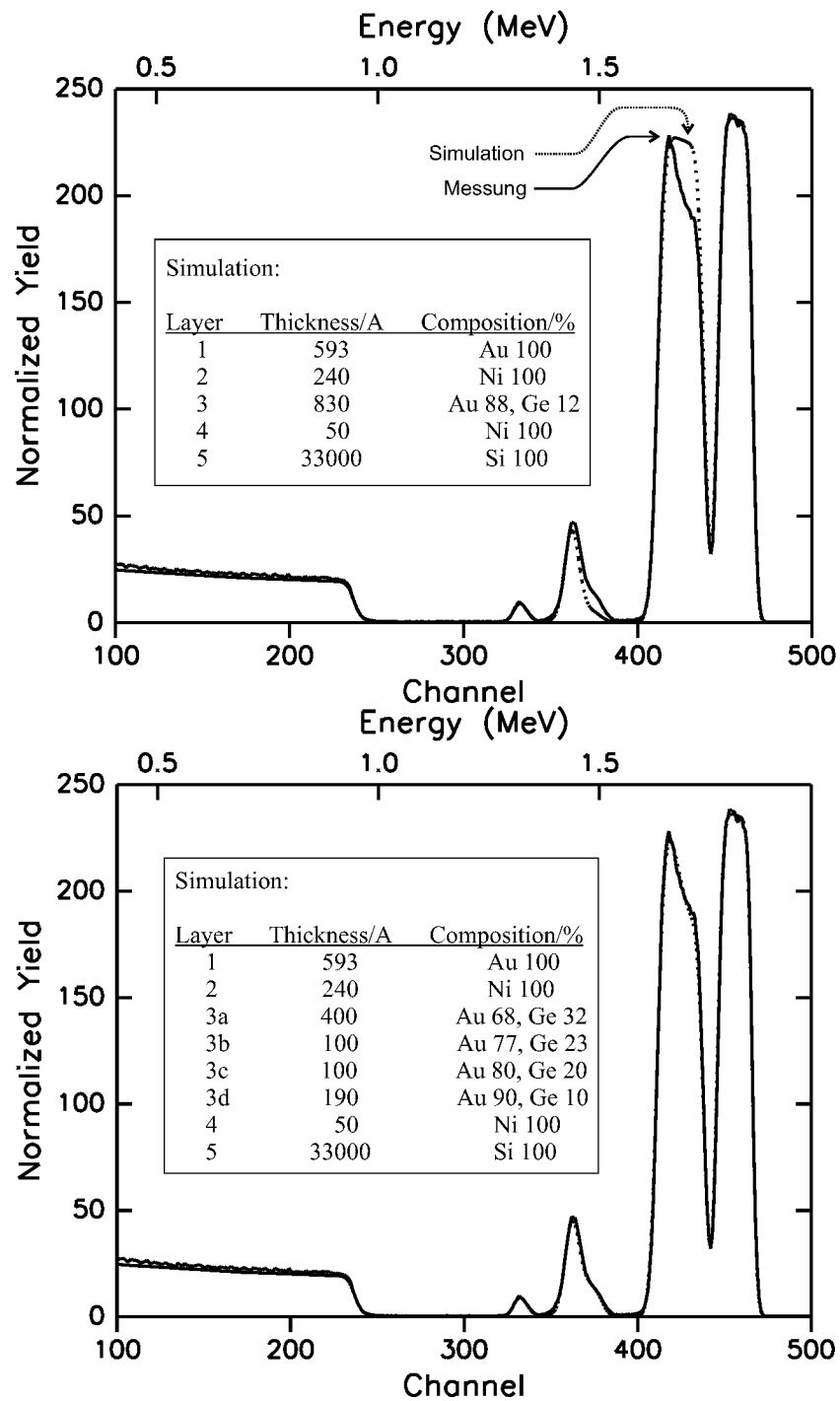


Abbildung 4.4: Gemessenes RBS-Spektrum des Schichtsystems der Kontaktmetallisierung und Vergleich mit verschiedenen Simulationen: Annahme konstanter Legierungszusammensetzung (oben) und graduell veränderlicher Zusammensetzung (unten)

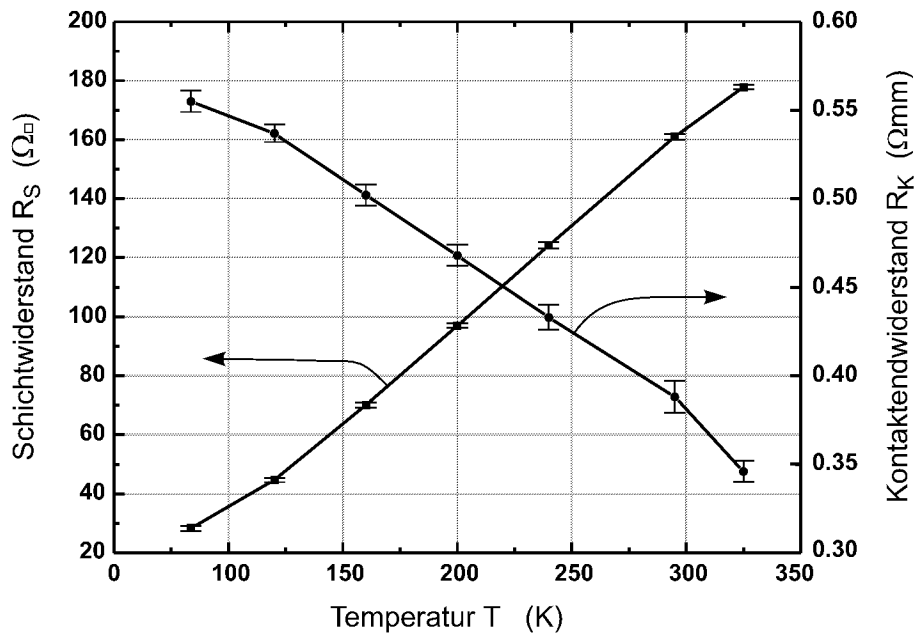


Abbildung 4.5: Temperaturabhängigkeit von Schichtwiderstand und Kontaktendwiderstand für Kontakt-Metallsystem A auf Probe 13087

am ersten Ni-Peak stammt vom Legierungsgermanium. Die Simulationen belegen, dass die Zusammensetzung der legierten AuGe-Schicht nicht homogen ist, was auf unterschiedliche Dampfdrücke von Gold und Germanium zurückzuführen ist. Die Ge-Konzentration steigt im Verlauf der Aufdampfung. Allerdings ist der Ge-Anteil in der Gesamtschicht höher als der im Quellenmaterial, er liegt nach der Simulation bei 22 % statt bei 12 %.

Mit dem AuGe/Ni/Au-Schichtsystem wird auf der Probe 13087 ein Kontaktendwiderstand von $0.38 \Omega\text{mm}$ bei Raumtemperatur ermittelt. Abbildung 4.5 zeigt das Ergebnis von TLM-Messungen bei verschiedenen Temperaturen (alle Messungen werden als Spannungsmessungen in Vierpunktanordnung bei einem eingepprägten Strom von 10 mA durchgeführt). Während der Schichtwiderstand bei Raum- und Stickstofftemperatur im Bereich der Erwartungen liegt (Messungen an Hall-Proben derselben Epitaxie ergeben Schichtwiderstände von $172 \Omega_{\square}$ bzw. $35 \Omega_{\square}$), fällt auf, dass der Kontaktendwiderstand mit sinkender Temperatur recht deutlich steigt (mit rund $0.1 \Omega\text{mm}/100 \text{ K}$). Ein Anstieg ist nach Gleichung 2.2 auf Seite 9 und dem Transmission-Line-Bild jedoch nicht zu erwarten; er spricht wie die relativ hohen Widerstandswerte für eine nicht einwandfreie Einlegierung des Kontakts.

In einer späteren Phase der Untersuchungen stand mit einer Pfeiffer/Balzers PLF 570 außerhalb des Reinraums eine weitere Anlage zur Elektronenstrahl-Verdampfung von Kontaktmetallen zur Verfügung. Abbildung 4.6 stellt die ermittelten Schicht-

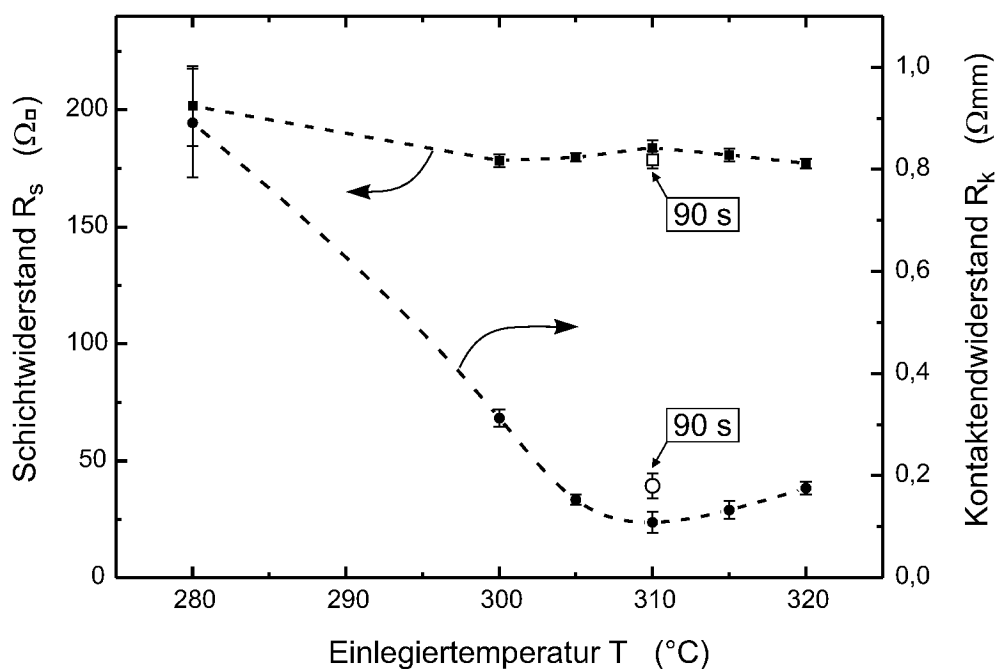


Abbildung 4.6: Einlegierreihe mit Kontakt-Metallsystem B auf Probe Nr. 15018. Temperdauer 75 s

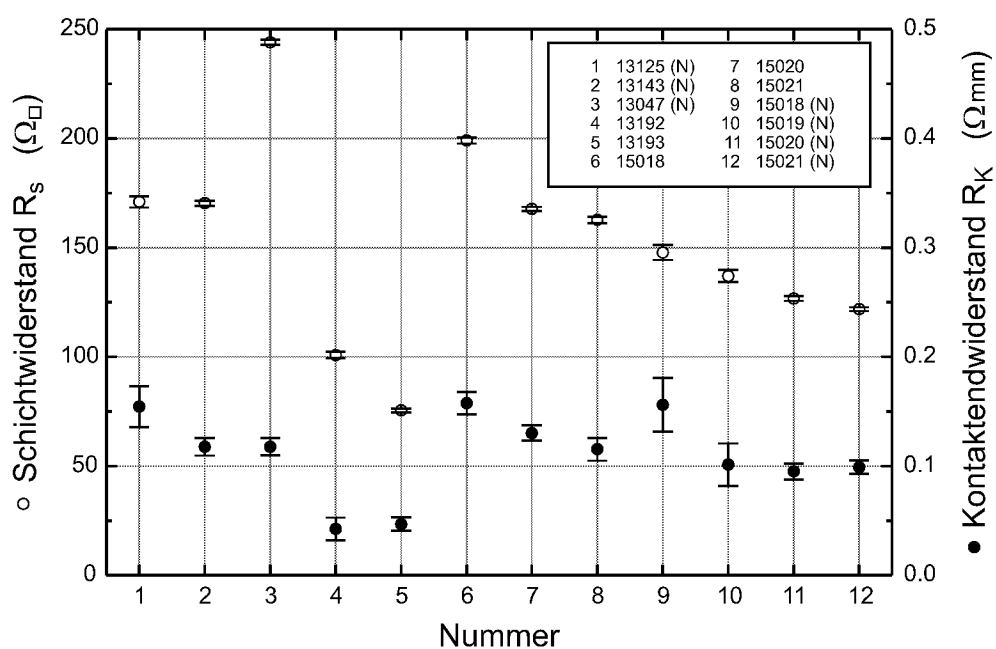


Abbildung 4.7: Mit Metall-Schichtsystem B erzielte Kontaktendwiderstände auf verschiedenen Proben

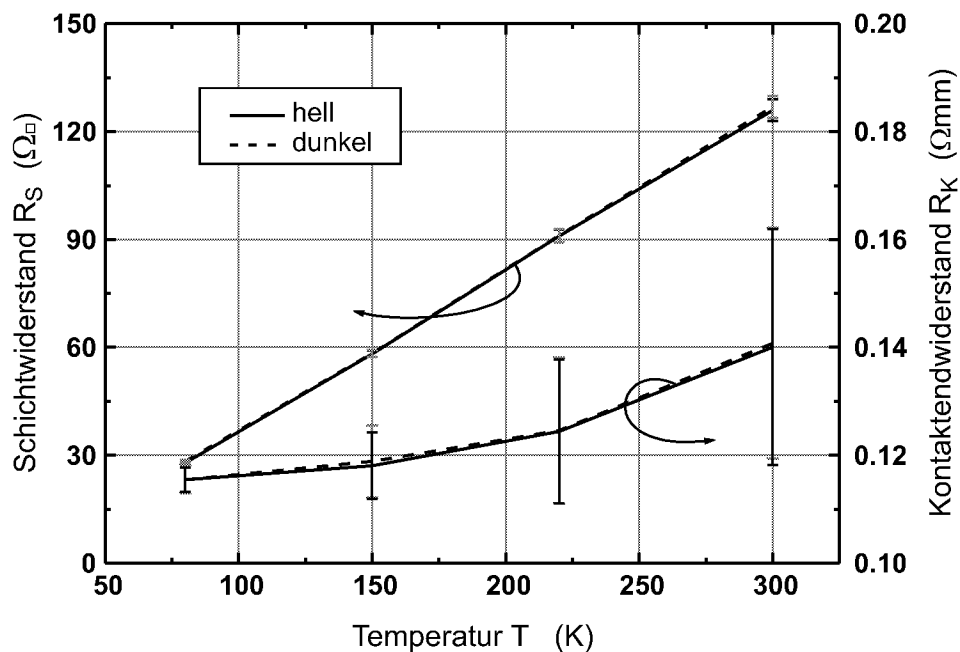


Abbildung 4.8: Temperaturabhängigkeit von Schichtwiderstand und Kontaktendwiderstand für Kontakt-Metallsystem B auf Probe 15021

und Kontaktendwiderstände in Abhängigkeit von der Legiertemperatur für das Ni/Ge/Au/Ni/Au-Schichtsystem (2.5/40/80/5/50 nm, „Version B“ in Anhang B) auf der Probe 15018 dar, die Temperdauer beträgt 75 s. Erneut wird die optimale Legiertemperatur zu 310 °C bestimmt, die Kontaktendwiderstände sind jedoch mit Werten in der Nähe von 0.1 Ωmm wesentlich besser. Eine Erhöhung der Einlegierzeit auf 90 s bei der optimalen Temperatur bringt keine Verbesserung der Kontakteigenschaften. Mit den für das Schichtsystem 15018 optimierten Parametern wurden Kontakte auf verschiedenen Epitaxien hergestellt, die allesamt gute Werte im Bereich (0.10 – 0.15) Ωmm lieferten, wie Abbildung 4.7 demonstriert. Mit „(N)“ sind dabei jene Proben gekennzeichnet, die mit der Si_3N_4 -Schicht bedeckt sind, welche bei der T-Gate-Herstellung verwendet wird. Die Cap-Schicht wurde bei den Proben nicht entfernt, was sich bei den Messungen an den Proben 13192 und 13193 mit einem 50 nm dicken, hoch dotierten Cap auswirkt, so dass die Werte nicht direkt vergleichbar sind.

Die Abhängigkeit des Kontaktendwiderstandes von der Proben temperatur ist bei dieser Metallisierung weitaus geringer, wie Abbildung 4.8 zeigt, was ebenfalls die bessere Qualität der Kontakte belegt. Die Messungen wurden bei Abdunklung und unter Einfall der weißen Mikroskopbeleuchtung vorgenommen, um gegebenenfalls den Einfluss von photogenerierten Ladungsträgern qualitativ beurteilen zu können. Innerhalb der Messgenauigkeit konnten keine Unterschiede festgestellt werden.

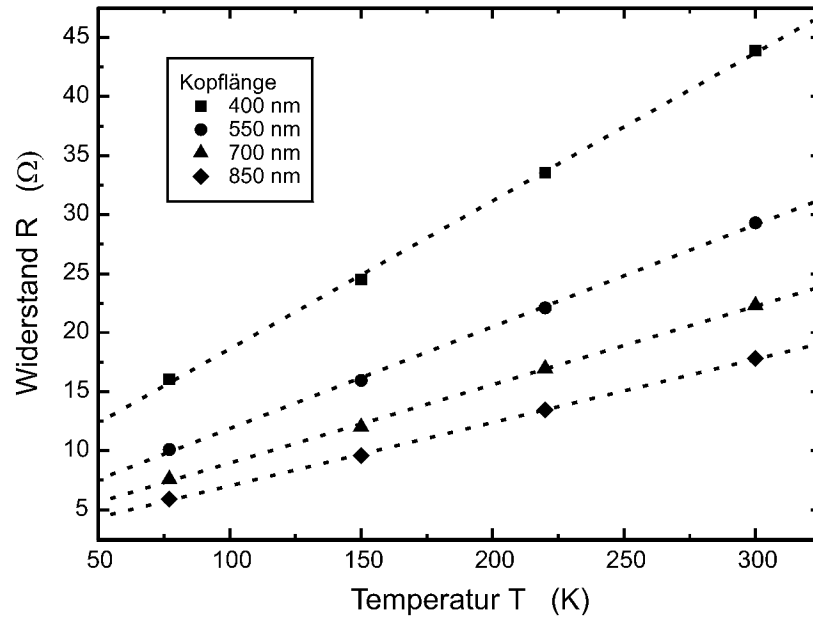


Abbildung 4.9: Gatewiderstand in Abhängigkeit der Temperatur für verschiedene T-Gate-Kopflängen; Gateweite $w_g = 100 \mu\text{m}$

Bei den temperaturabhängigen Messungen liegt die Probe in einer Vakuumkammer auf einem Stickstoff-durchflossenen Kupfer-Kaltkopf, der über eine regelbare Widerstandsheizung auf die gewünschte Temperatur gebracht wird. Die Messungen werden mit einem HP 4145B Semiconductor Parameter Analyzer durchgeführt, während bei reinen Raumtemperatur-Messungen ein HP 4155A Semiconductor Parameter Analyzer verwendet wird, der eine höhere Genauigkeit bei Spannungsmessungen besitzt.

4.3 Gatewiderstand

Eine weitere parasitäre Größe, die die Hochfrequenzeigenschaften des HEMT degradiert, ist der Gatewiderstand. Der Gleichstromwiderstand der zum größten Teil aus Gold bestehenden T-Gates hängt weitgehend linear von der Temperatur ab, wie Abbildung 4.9 demonstriert. Gemessen wurden T-Gate-Linien einer Weite von $100 \mu\text{m}$ und unterschiedlicher Kopflänge. Legt man diese Abmessungen und eine Metallisierungshöhe von 430 nm zugrunde, ist der spezifische Widerstand der Gate-Metallisierung etwa um einen Faktor 3 größer als der von monokristallinem Gold ($2.20 \cdot 10^{-8} \Omega\text{m}$ [75]), was hauptsächlich auf die Polykristallinität der deponierten Metalle zurückzuführen ist. Der aus den Messungen errechnete Temperaturkoeffizi-

ent bei Raumtemperatur

$$\alpha = \frac{\Delta R}{\Delta T} \cdot \frac{1}{R(300\text{ K})} \quad (4.4)$$

ist mit $(2.9 \pm 0.1) \cdot 10^{-3}$ ebenfalls geringer als der Literaturwert von $4.0 \cdot 10^{-3}$.

4.4 Gleichstromverhalten

Das Gleichstromverhalten und seine Temperaturabhängigkeit wird zunächst an HEMTs mit einfachen Gates untersucht. Anschließend werden typische T-Gate-HEMTs betrachtet, bei denen auf spezielle Effekte näher eingegangen wird.

Abbildung 4.10 zeigt die Abhängigkeit des Drainstroms von der Drainspannung bei Raumtemperatur („300 K“) und der Temperatur des flüssigen Stickstoffs („77 K“) eines $430\text{ nm} \times 100\text{ }\mu\text{m}$ -Transistors derselben HEMT-Probe, an der die Temperaturabhängigkeit des Kontaktwiderstands mit TLM-Messungen bestimmt wurde (Abbildung 4.5 auf Seite 48). Vor den Messungen wurden die Anzeigen des Temperatursensors der Anlage durch einen externen temperaturabhängigen Platinwiderstand (Pt-100) verifiziert, der mittels Leitsilber auf einem InP-Waferstück angebracht ist.

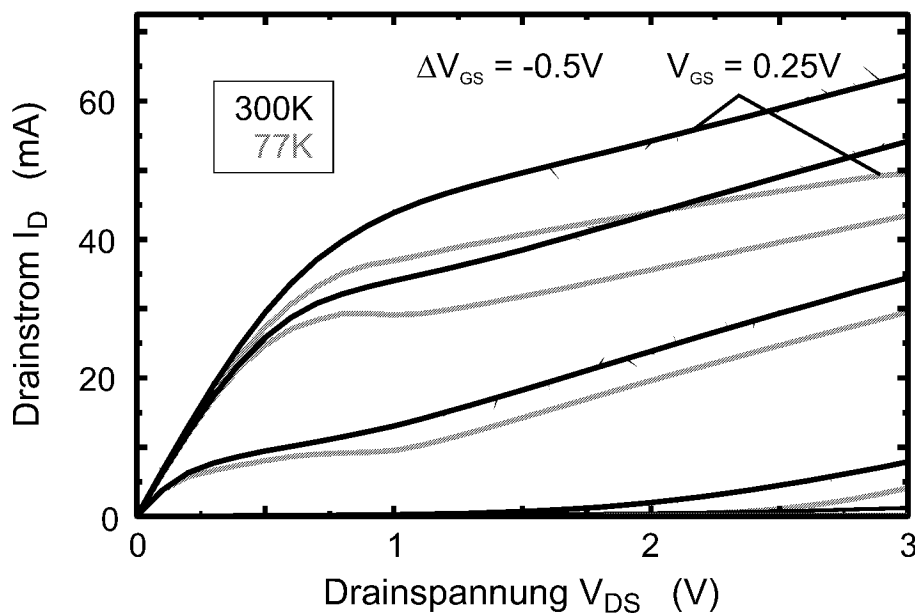


Abbildung 4.10: Ausgangskennlinienfeld eines Transistors (13087) bei Raum- und Stickstofftemperatur, $l_g = 430\text{ nm}$, $w_g = 100\text{ }\mu\text{m}$. Zwischen den einzelnen Kennlinien einer Temperatur ändert sich der Gatestrom schrittweise um -0.5 V , angefangen bei $+0.25\text{ V}$

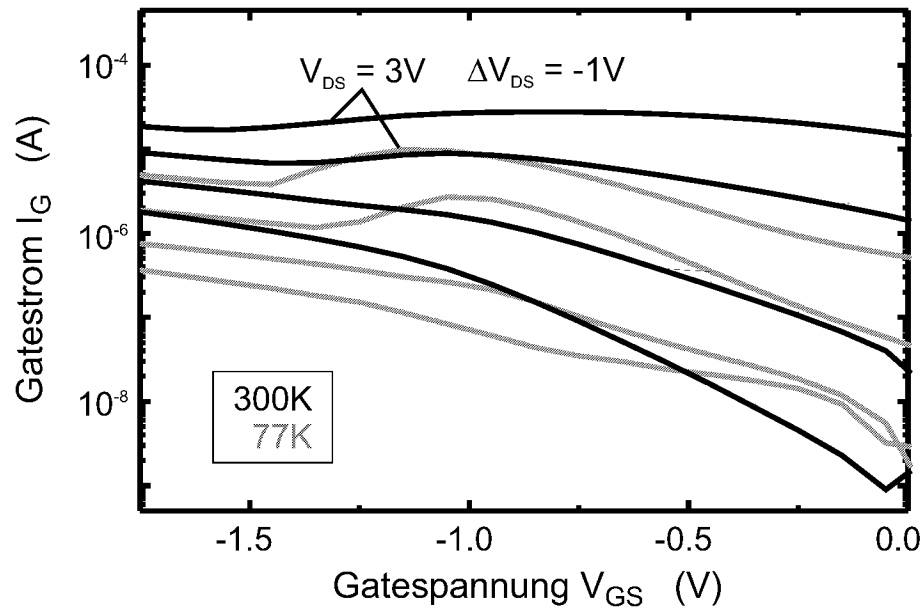


Abbildung 4.11: Gatestrom des Transistors aus Abbildung 4.10 (13087)

Nennenswerte Verzögerungszeiten bei der Temperatureinstellung gegenüber dem internen Sensor treten beim Pt-100 und damit auf dem Wafer nicht auf.

Der Drainstrom ist bei der tiefen Temperatur unter allen Arbeitspunkten geringer als der Raumtemperaturwert. Während der Ausgangsleitwert im Bereich hoher Drainspannungen bei 300 K bei allen Gatespannungen bei 10 mS liegt, fällt $g_d(77\text{ K})$ bei hoher Gatespannung auf etwa 7 mS. Bei Drainspannungen im Übergangsbereich zwischen linearem Bereich und Sättigung fällt bei den mittleren Gatespannungen ein leichtes Minimum im Ausgangsleitwert der 77 K-Kennlinien auf; insgesamt sind jedoch keine starken g_d -Schwankungen zu beobachten.

Der Gatestrom (Abbildung 4.11) ist im Abschnürbereich bei 77 K um einen Faktor 3.7 bis 5.5 (hohe bzw. niedrige V_{DS}) kleiner als bei Raumtemperatur. Die Erhöhung des Gatestroms bei kleiner werdender absoluter Gatespannung ist ein Zeichen für die Leitung durch Löcher, die durch Stoßionisation erzeugt werden. Sie tritt ab einer ausreichenden Anzahl von Ladungsträgern, d. h. ab einer gewissen Gatespannungsuntergrenze, und bei gleichzeitig hohen Feldern im Kanal auf, also bei hohen Drainspannungen. Der Effekt schwächt sich bei höheren Gatespannungen wiederum ab, da die Felder im Kanal wegen der höheren Ladungsträgerkonzentration abnehmen (vgl. Abbildung 2.5 auf Seite 12).

Die Löcherleitung setzt bei beiden Temperaturen oberhalb von $V_{DS} \approx 1\text{ V}$ ein, jedoch ist der Anstieg von I_G bei tiefen Temperaturen stärker und das Maximum ausgeprägter. Die Gateströme unterscheiden sich dort nur noch um einen Faktor 2.5. Da

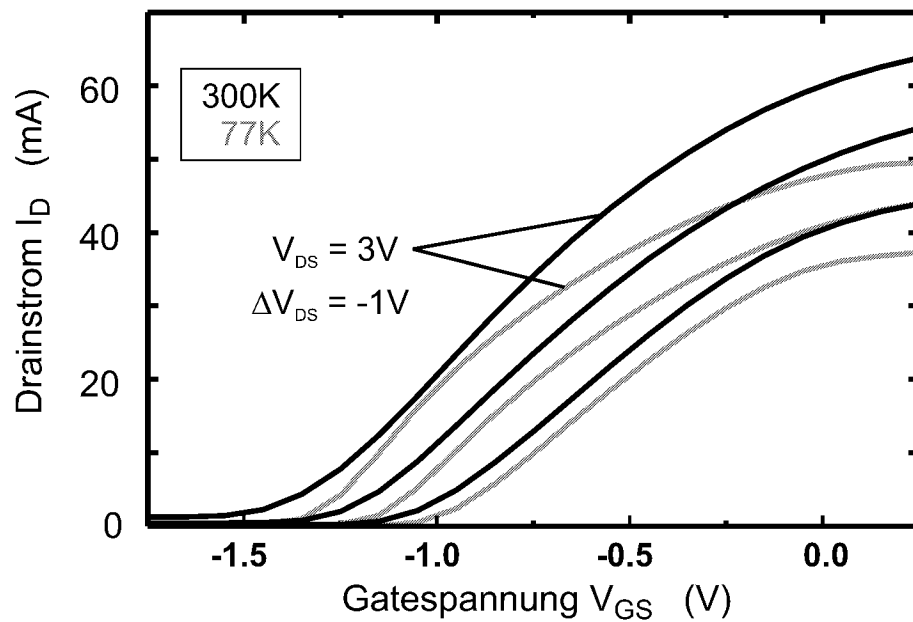


Abbildung 4.12: Transferkennlinienfeld des Transistors aus Abbildung 4.10 (13087)

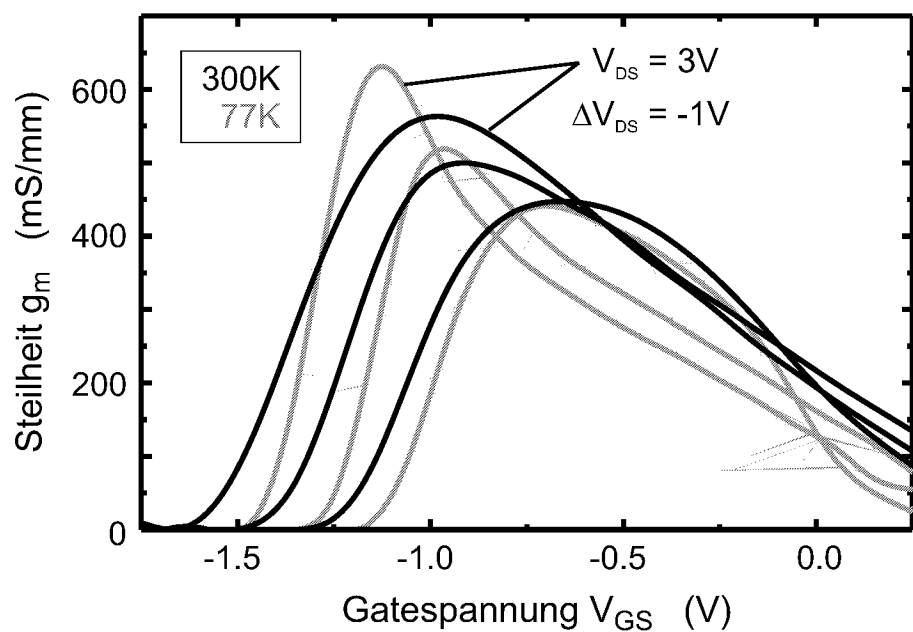


Abbildung 4.13: Steilheit des Transistors aus Abbildung 4.10 (13087)

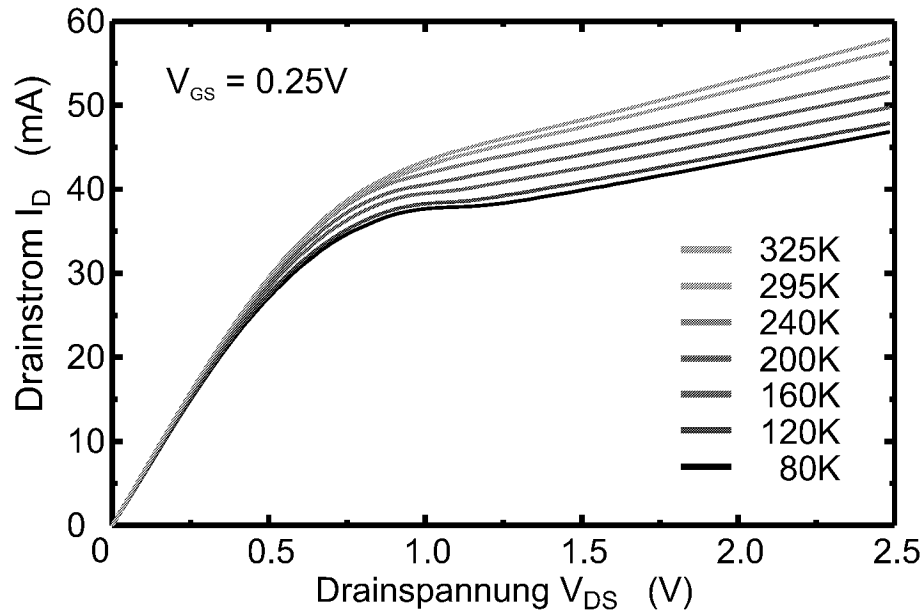


Abbildung 4.14: Ausgangskennlinie bei verschiedenen Temperaturen. $l_g = 330 \text{ nm}$, $w_g = 100 \mu\text{m}$

die Kinks im Ausgangskennlinienfeld ebenfalls bei 1 V auftreten, liegt es nahe, sie mit der Stoßionisation in Verbindung zu bringen.

Abbildung 4.12 zeigt das Transferkennlinienfeld des Transistors und Abbildung 4.13 seine Ableitung, die Steilheit. Aus dem $I_D(V_{GS})$ -Verlauf ist eine Verschiebung der Einsatzspannung $\Delta V_{th} = V_{th}(77 \text{ K}) - V_{th}(300 \text{ K}) \approx 0.1 \text{ V}$ abzuleiten. Sie lässt auf das Ausfrieren eines Teils der Ladungsträger in Trappzuständen schließen. Der von null verschiedene Ausgangsleitwert sorgt bei beiden Temperaturen für die Verringerung der Einsatzspannung bei steigenden Drainspannungen; der Gatespannungshub zwischen Einsatzspannung und dem Punkt maximaler Steilheit verringert sich bei Stickstofftemperatur jedoch stärker.

Die Abbildungen 4.14 und 4.15 zeigen einzelne Kennlinien für verschiedene Temperaturen, hier für einen HEMT mit $l_g = 330 \text{ nm}$. Bei dieser Gatelänge ist auch in den Tieftemperatur-Kennlinien bei hoher Gatespannung ein Kink bei $V_{DS} \approx 1 \text{ V}$ auszumachen. Der Übergang zwischen den Kennlinien vollzieht sich gleichmäßig, ohne größere Sprünge (man beachte die unterschiedlich großen Temperaturschritte zwischen benachbarten Kennlinien). Während der Gatespannungshub sich stetig verkleinert, nimmt die Gatespannung der maximalen Steilheit bei 160 K ihren kleinsten Wert an und bleibt bei tieferen Temperaturen nahe bei diesem Wert.

In Abbildung 4.16 ist Temperaturabhängigkeit der ermittelten maximalen Steilheiten zusammengefasst. Zur Modellierung der Ergebnisse wird das Modell der Geschwindigkeitssättigung aus Abschnitt 2.3.3 auf Seite 16 herangezogen, wobei der

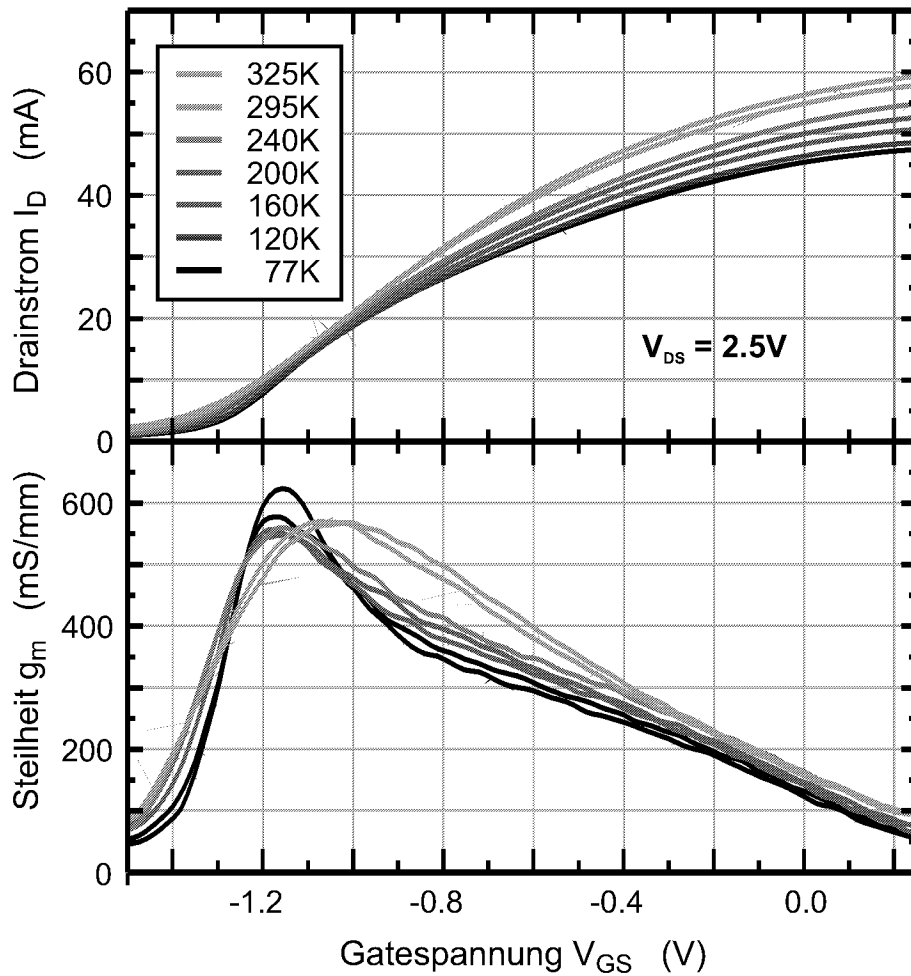


Abbildung 4.15: Transferkennlinienfeld und Steilheit des $330\text{ nm} \times 100\text{ }\mu\text{m}$ -Transistors für verschiedene Temperaturen

Einfluss des temperaturabhängigen Sourcewiderstands R_S berücksichtigt wird. Dazu wird gemäß Gleichung (2.28) in Gleichung (2.18) V_G durch $V_G - R_S \cdot I_D^{sat}$ ersetzt. Die resultierende Gleichung lässt sich nach $I_D^{sat}(V_G)$ auflösen, und durch Ableiten erhält man statt (2.19) einen Ausdruck für die Steilheit

$$g_m^{sat}(V_G) = \frac{1}{\sqrt{\frac{2l_g}{c_0 \mu_0 I_D^{sat}(V_G)}} + \frac{1}{c_0 v_{sat}} + R_S} \quad (4.5)$$

wobei noch der aus der modifizierten Gleichung (2.18) erhaltene Lösung für $I_D^{sat}(V_G)$ eingesetzt werden muss. Beweglichkeit und Source-Widerstand werden für jede Temperatur aus den TLM-Messungen (Abbildung 4.5) abgeschätzt und $g_m^{sat}(V_G)$ am Gatespannungshub ausgewertet. Mit $c_0 = 4.8 \frac{\text{mF}}{\text{m}^2}$ und $v_{sat} = 2.3 \cdot 10^5 \frac{\text{m}}{\text{s}}$ (vgl. Abbil-

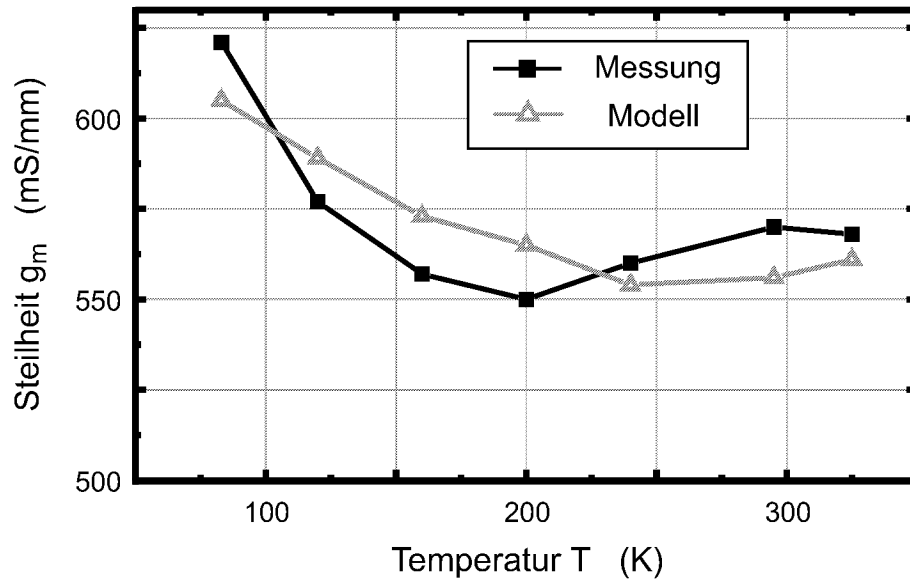


Abbildung 4.16: Steilheit für verschiedene Temperaturen, Messung und Modell

dung 2.10) erhält man die Ergebnisse, die im Bereich der gemessenen Werte liegen. Die Modellrechnung hat eher den Charakter einer Abschätzung, es lässt gleichwohl die Aussage zu, dass Anstieg der Steilheit bei tiefen Temperaturen nicht gut nachempfunden wird. Eine Ursache dafür kann in der im Modell angenommenen Temperaturunabhängigkeit der Sättigungsgeschwindigkeit liegen.

T-Gate-HEMTs

Bei der letzten epitaxierten Probengruppe (15018 – 15021) wurde die Dicke der InAlAs-Barrierenschicht über der δ -Dotierung auf 21 nm reduziert, um das Kanal-Aspektverhältnis zu verbessern. Unter der dotierten InGaAs-Cap-Schicht wurde eine 3 nm dünne undotierte InGaAs-Schicht hinzugefügt, um eine eventuelle Diffusion von Dotieratomen in die Barrierenschicht zu verringern. Auf die Qualität der ohmschen Kontakte hat diese Maßnahme wie gezeigt keine negativen Auswirkungen.

In Abbildung 4.17 sind einige Ausgangskennlinienfelder der Probe 15018 für Gate-längen von 550 nm bis 75 nm zusammengestellt. Sukzessiv lässt sich die Ausprägung von Kurzkanaleffekten beobachten. Bei Verkürzung der Gatelänge sinkt die Einsatzspannung, der Kink-Effekt verstärkt sich und der Ausgangsleitwert steigt im Sättigungsbereich. So beträgt er bei $V_{GS} - V_{th} = 0.4$ V und $V_{DS} = 2$ V im ersten abgebildeten Ausgangskennlinienfeld 3.4 mS und im letzten 7.4 mS; im gesamten Sättigungsbereich zeigen sich an den Stellen des Kink maximale Werte von 6.1 mS bzw. 18.4 mS.

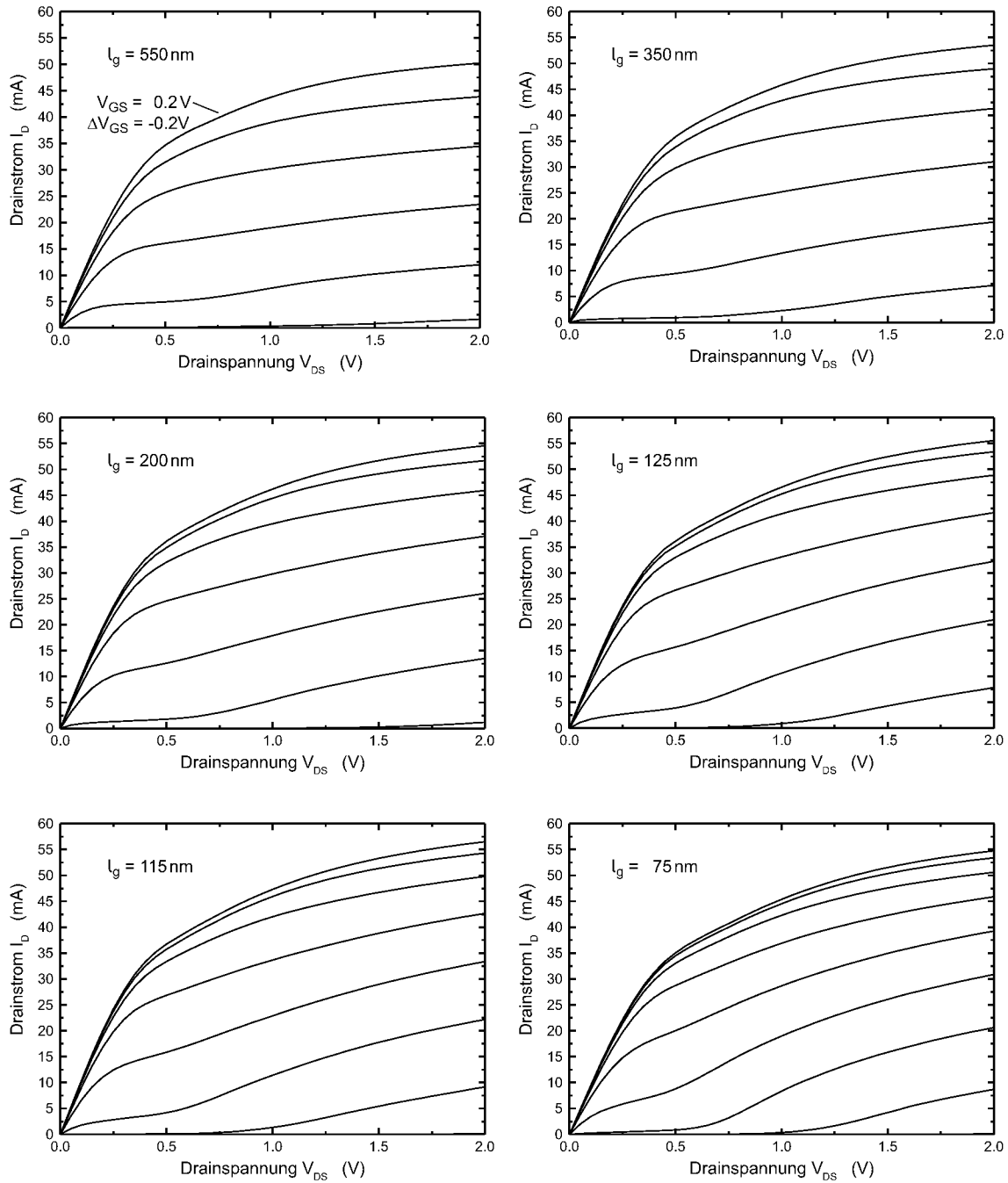


Abbildung 4.17: Ausgangskennlinienfeld (Probe 15018) bei verschiedenen Gatelängen. $w_g = 100 \mu\text{m}$

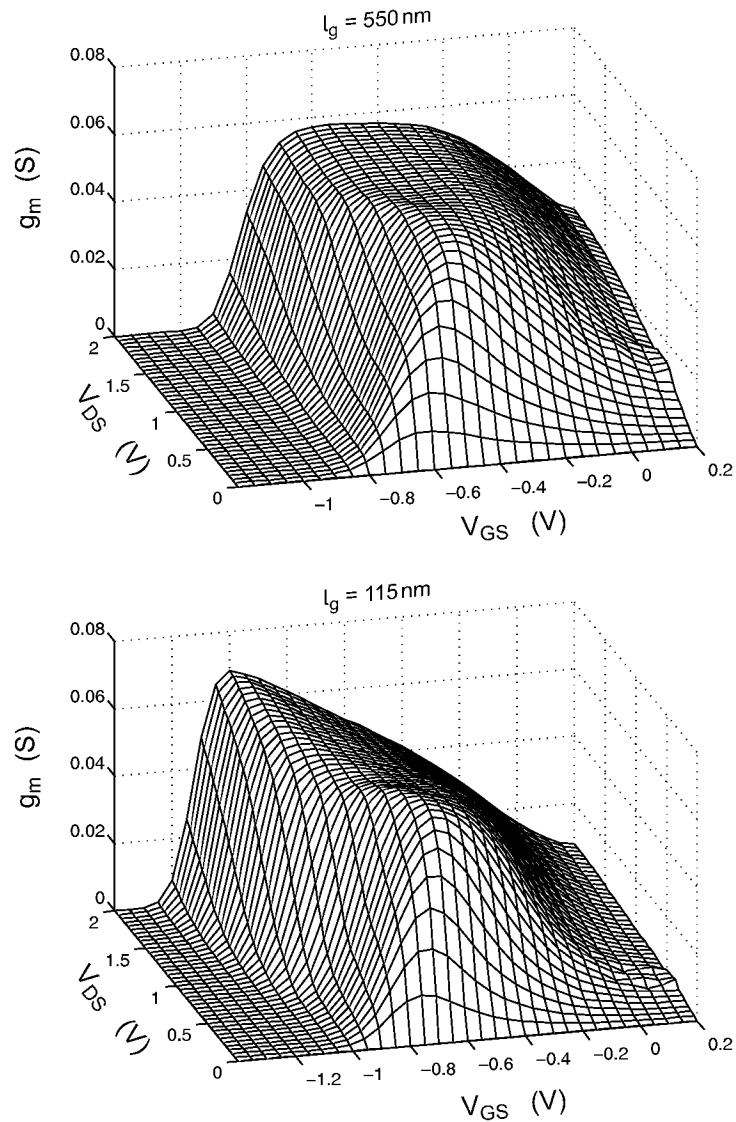


Abbildung 4.18: Vergleich der Steilheiten für verschiedene Gatelängen. Probe 15018, $w_g = 100 \mu\text{m}$

Für einen „Lang-“ und einen Kurzkanaltransistor ist in Abbildung 4.18 die Arbeitspunktabhängigkeit der Steilheit aufgetragen. Während sich bei ersterem ein etwa 0.4 V breites Plateau des maximalen $g_m(V_{GS})$ ausbildet, ist das Maximum bei der kurzen Gatellänge relativ scharf definiert und verschiebt sich bei wachsender Drainspannung wieder zu niedrigeren Gatespannungen. Der 550 nm -Transistor zeigt maximale Steilheit von $590 \frac{\text{mS}}{\text{mm}}$ bei $V_{GS} = -0.50 \text{ V}$, $V_{DS} = 0.75 \text{ V}$; beim 115 nm -HEMT liegt im Messbereich das absolute Maximum von $685 \frac{\text{mS}}{\text{mm}}$ bei $V_{GS} = -1.00 \text{ V}$, $V_{DS} = 2.00 \text{ V}$ sowie im Bereich kleiner Drainspannungen ein lokales Maximum von

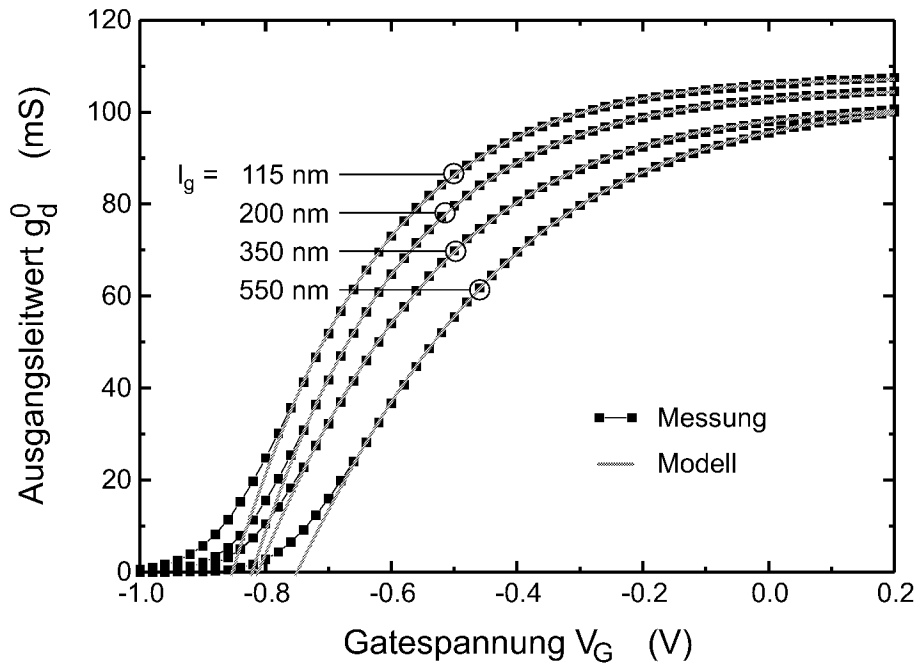


Abbildung 4.19: Gemessene und modellierte Ausgangsleitwerte bei 0 V Drainspannung für verschiedene Gatelängen. Die modellierten Verläufe basieren hier auf einem eigenen Parametersatz für jede Gatelänge

$610 \frac{\text{mS}}{\text{mm}}$ bei $V_{GS} = -0.70 \text{ V}$, $V_{DS} = 0.55 \text{ V}$. Die Tatsache, dass die extrinsische maximale Steilheit bei der Reduzierung der Gatelänge auf ein Viertel ihres Wertes nur in geringem Maße steigt, spricht für weitgehende Geschwindigkeitssättigung im Kanal.

Nach Gleichung 2.15 ist der intrinsische Ausgangsleitwert im Nullfeldgrenzwert proportional zur Ladungsträgerdichte im Kanal. Mit Gleichung 2.30 zur Berücksichtigung der parasitären Widerstände und einem Ausdruck für $n_s(V_{GS})$ lässt sich der gemessene Ausgangsleitwert bei kleinen Drainströmen ($V_{GS}^{ex} \rightarrow V_{GS}^{in}$) darstellen als

$$g_d^0(V_{GS}) = \frac{1}{\frac{l_g}{\mu_0 q n_s(V_{GS})} + R_{tot}} \quad (4.6)$$

mit $R_{tot} = R_S + R_D$ (inklusive externer Zuleitungswiderstände). In Abbildung 4.19 ist der zwischen 0 und 0.1 V gemessene Ausgangsleitwert zusammen mit dem Modellverlauf gegen die Gatespannung aufgetragen. Dabei wurde die $n_s(V_{GS})$ -Beziehung aus Gleichung (2.24) auf Seite 18 benutzt, die den Bereich der graduellen Abschnürung und Sättigung befriedigend abbilden sollte. In 4.6 treten dann die Parameter l_g , (w_g), n_{s0} , μ_0 , V_{th} , V_o , c und R_{tot} auf, von denen einerseits die Gatedimensionen und

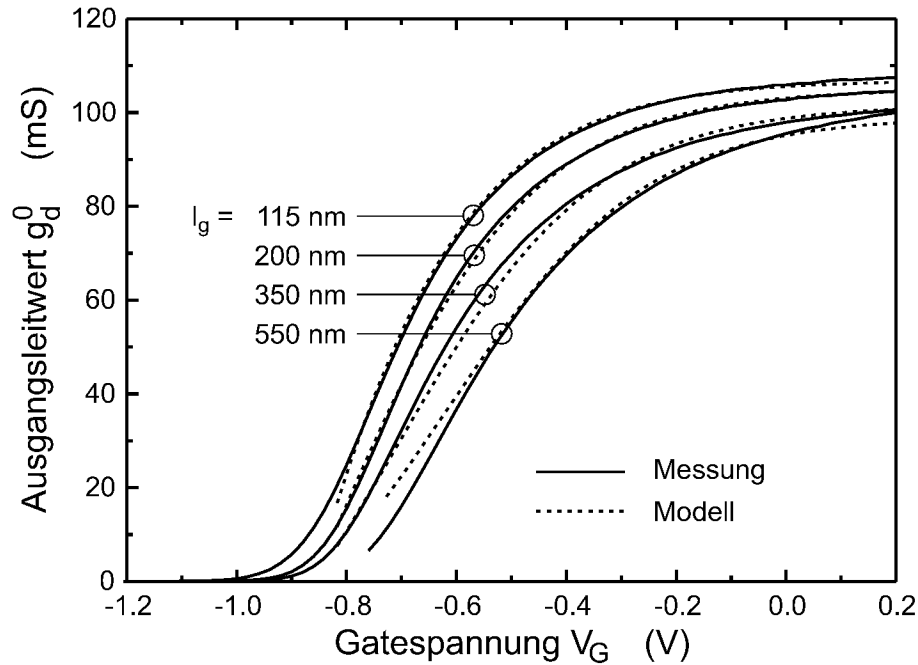


Abbildung 4.20: Gemessene und modellierte Ausgangsleitwerte bei 0 V Drainspannung für verschiedene Gatelängen. Es wurde für alle Gatelängen ein gemeinsamer Parametersatz für die Ladungssteuerung angepasst

andererseits n_{s0} und μ_0 aus Hall-Messungen (siehe Anhang) bekannt sind. Damit bleiben die weniger zugänglichen letzten vier Parameter für eine Anpassung übrig, die den Unterschwellenbereich ausnimmt. Bei sehr kleiner Elektronenkonzentration im Kanal ist zudem wegen des verminderten Screening die Konstanz der Beweglichkeit fraglich.

Die experimentellen Ergebnisse werden durch die angepasste Funktion sehr gut wiedergegeben. Unterschwellen- und Abschnürungsbereich können so gut unterschieden werden. Die Konsistenz der Ergebnisse wird demonstriert, indem bei einer weiteren Anpassung nur ein allen Transistoren gemeinsamer Satz an Parametern der Ladungssteuerung (V_{th} , V_o , c) zugelassen wird (Abbildung 4.20). Tabelle 4.1 fasst die Ergebnisse der Anpassungen zusammen. Typische Werte der 95 %-Konfidenzintervalle liegen für c bei 5 %, V_{th} 1.5 %, V_o 15 % und R_{tot} 1.0 %. In der Tabelle ist $V_{th} + V_o$ aufgeführt, da dies der Einsatzspannung aus dem Kondensatormodell entspricht.

Die ermittelten Parameter liegen mit Ausnahme der Schwellenspannung in den erwarteten Bereichen (vgl. Abschnitt 2.3.4) und können auf Grund der Konsistenz als verlässliche Abschätzung dienen. Die hohe Schwellenspannung führt dazu, dass bei 0 V Gatespannung die Ladungsträgerkonzentration erst ungefähr $\frac{2}{3} n_{s0}$ beträgt, was eine Verminderung des maximalen Drainstroms nach sich zieht. Die Abflachung

getrennte Anpassung				
l_g (nm)	c ($\frac{\text{mF}}{\text{m}^2}$)	$V_o + V_{th}$ (V)	V_o (V)	R_{tot} (Ω)
115	13.4	-0.525	0.014	8.98
200	12.3	-0.559	0.029	9.01
350	10.8	-0.591	0.051	8.99
550	10.2	-0.573	0.072	8.46

gemeinsame Anpassung				
l_g (nm)	c ($\frac{\text{mF}}{\text{m}^2}$)	$V_o + V_{th}$ (V)	V_o (V)	R_{tot} (Ω)
115	13.2	-0.542	0.018	9.04
200	"	"	"	9.02
350	"	"	"	9.03
550	"	"	"	8.87

Tabelle 4.1:

Parameter der Anpassungen an den Ausgangsleitwertverlauf in den Abbildungen 4.19 und 4.20

der $g_d^0(V_{GS})$ -Kurven bei höheren Gatespannungen ist in erster Linie also nicht etwa auf Ladungsträgersättigung, sondern auf die Zuleitungswiderstände zurückzuführen. Außerdem ist zu bemerken, dass sich die hier als Schwellenspannung bezeichnete Spannung V_{th} von der aus dem Transferkennlinienfeld extrapolierten Einsatzspannung unterscheidet.

Die Kennlinien der Probengruppe 15018–15021 und mit geringerer Ausprägung auch 13193 zeigen als unerwarteten Effekt bei tiefen Temperaturen (Abbildung 4.21) einen

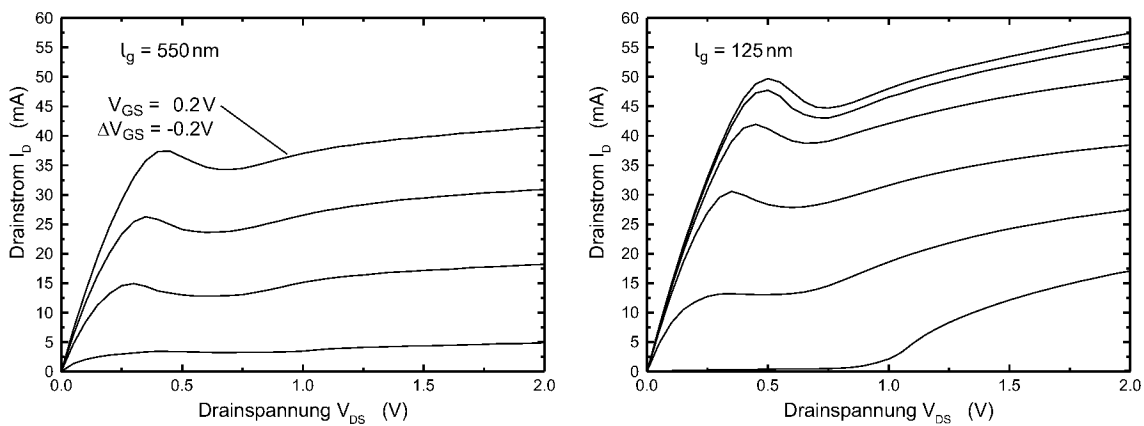


Abbildung 4.21: Ausgangskennlinienfeld von HEMTs verschiedener Gatelängen (Probe 15018) bei 77 K unter Licht, $w_g = 100 \mu\text{m}$

negativen Ausgangsleitwert beim Übergang in den Sättigungsbereich. Abbildung 4.21 zeigt mit HEMTs im Schichtsystem 15018 ein typisches Beispiel. Der in Abschnitt 4.4.3 näher untersuchte Effekt wird gleichartig auf Proben mit und ohne T-Gate-Technologie gemessen. Bei höheren Gatespannungen sinkt der Drainstrom beim abgebildeten Transistor nach Erreichen eines ersten Maximums um 10 % (von 38 mS auf 34 mS und von 50 mS auf 45 mS bei $l_g = 550$ nm bzw. $l_g = 125$ nm) und steigt dann wieder wie bei einem gewöhnlichen Kink-Effekt mit einer gatelängenabhängigen Stärke an. Deutlicher als bei Raumtemperatur tritt der Kink beim Kurzkanaltransistor nahe der Einsatzspannung mit einem hohen Ausgangsleitwert von über 30 mS bei $V_{DS} = 1.1$ V hervor. g_d sinkt schließlich bei hohen V_{DS} auf Werte von 3 mS bzw. 7 mS.

Die maximale Steilheit über alle Gatespannungen bei einer bestimmten Drainspannung, $g_m^{max(V_{GS})}(V_{DS})$, verhält sich entsprechend dem Drainstromverlauf. Bei $l_g = 550$ nm erreicht $g_m^{max(V_{GS})}(V_{DS})$ zunächst 61 mS ($V_{GS} = -0.05$ V, $V_{DS} = 0.40$ V), fällt dann ebenfalls um etwa 10 % auf ein lokales Minimum von 55 mS ($V_{GS} = -0.10$ V, $V_{DS} = 0.65$ V) und steigt bei höheren Drainspannungen wieder auf 69 mS ($V_{GS} = -0.30$ V, $V_{DS} = 2.00$ V). Beim Kurzkanaltransistor steigt die Steilheit am ersten Maximum mit 91 mS ($V_{GS} = -0.55$ V, $V_{DS} = 0.30$ V) deutlicher gegenüber dem Raumtemperaturwert; das Minimum liegt bei 83 mS ($V_{GS} = -0.60$ V, $V_{DS} = 0.45$ V). Die maximalen Steilheiten bei hohen Drainspannungen (> 100 mS) sind auf einen kleinen Gatespannungsbereich nahe der Abschnürung scharf begrenzt und nur auf eine nahezu übergangslos einsetzende Stoßionisation zurückzuführen, während die Kennlinien bei höheren Gatespannungen dagegen gestaucht sind und die Steilheit nur noch 60 mS ($V_{GS} = -0.35$ V, $V_{DS} = 2.0$ V) erreicht. Die unerwünschten Kurzkanaleffekte machen sich bei tiefen Temperaturen also je nach Gatelänge stärker bemerkbar. Unbeachtet des Bereichs mit sinkendem Drainstrom verstärkt sich der „klassische“ Kink-Effekt bei längeren Gatelängen kaum, bei kurzen Gatelängen jedoch deutlich und degradiert die Gleichstromeigenschaften des Transistors.

Die Anpassung der Ausgangsleitwert-Funktion (Abbildung 4.22) zeigt, dass sich einzig die Schwellenspannung signifikant mit der Temperatur ändert. Man erhält aus den Messungen ohne Beleuchtung (zusammen mit den Ergebnissen der Tieftemperatur-Hall-Messung) $c = (11 \pm 1) \frac{\text{mF}}{\text{m}^2}$, $V_{th} = (-0.21 \pm 0.01)$ V, $V_o = (0.023 \pm 0.007)$ V und $R_{tot} = (-6.4 \pm 0.1) \Omega$; mit Beleuchtung veränderte sich lediglich $R_{tot} = (-6.2 \pm 0.1) \Omega$ leicht über die Fehlergrenzen hinweg.

Aus Abbildung 4.23 wird ersichtlich, dass sich die aus dem Transferkennlinienfeld extrapolierte Einsatzspannung in ähnlichem Maße verschiebt. Dargestellt sind die $I_D(V_{GS})$ -Kennlinien bei Sättigung und im Gebiet des negativen Ausgangsleitwerts. Erst wenn man die Ausgangskennlinien bei identischem Gatespannungshub, definiert als auf die Einsatzspannung bezogene Gatespannung $V_G = V_{GS} - V_{th}$, miteinander vergleicht, werden die besseren Tieftemperatur-Schichteigenschaften zu-

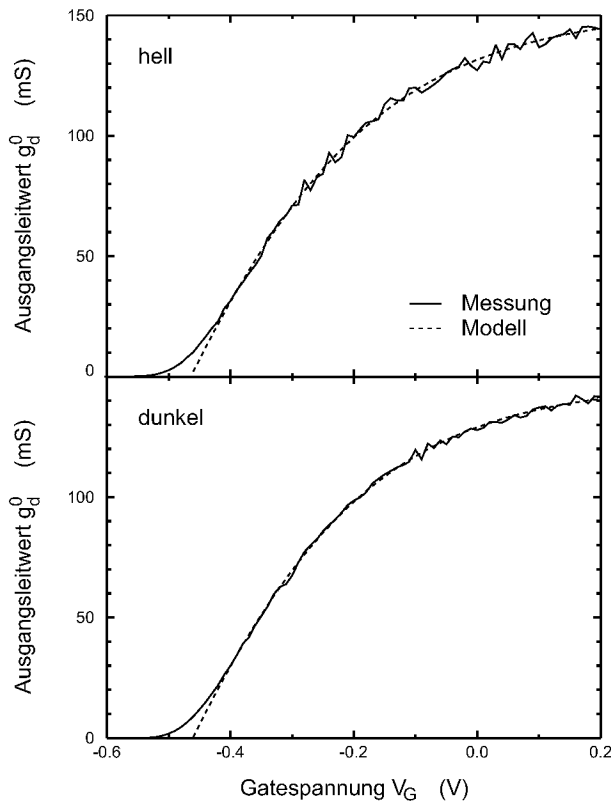


Abbildung 4.22:
Gemessene und modellierte 0 V–
Ausgangsleitwerte bei 77 K und
unterschiedlicher Beleuchtung. Probe
15018, 550 nm $\times$ 100 μ m

mindest bis zum Auftreten des negativen Ausgangsleitwerts sichtbar. In Abbildung 4.24 werden Kennlinien bei einer Verschiebung der Einsatzspannung $\Delta V_{th} = V_{th}(77\text{ K}) - V_{th}(300\text{ K}) = 0.3\text{ V}$ verglichen.

4.4.1 Stoßionisation und klassischer Kink-Effekt

Wie bereits beschrieben, besteht noch keine allgemeine Übereinkunft über die Ursachen des Kink-Effekts. Eine verbreitete Auffassung führt ihn auf die Entladung von Trapzuständen in Buffer- oder Barrierenschicht bei hohen Feldstärken zurück, mit welcher eine Verschiebung der Einsatzspannung einher geht [47, 76, 77]. Eine wichtige Rolle wird jedoch zunehmend Löchern zugeschrieben, die bei höheren Feldstärken durch Stoßionisation im Kanal erzeugt werden (siehe Kapitel 2). Der direkte Strombeitrag der Löcher, die zum Source fließen, zum gesamten Drainstrom ist gering. Jedoch ist das Confinement der Löcher innerhalb des Kanals geringer als das der Elektronen; die Valenzbanddiskontinuität liegt sowohl für verspanntes wie gitterangepasstes InGaAs bei 0.2 eV [34]. Sie können daher leicht in das benachbarte Material mit höherer Bandlücke injiziert werden und den Bandverlauf beeinflussen. Zwischen Kanal und Gate besteht nur eine geringe Potentialbarriere, so dass die

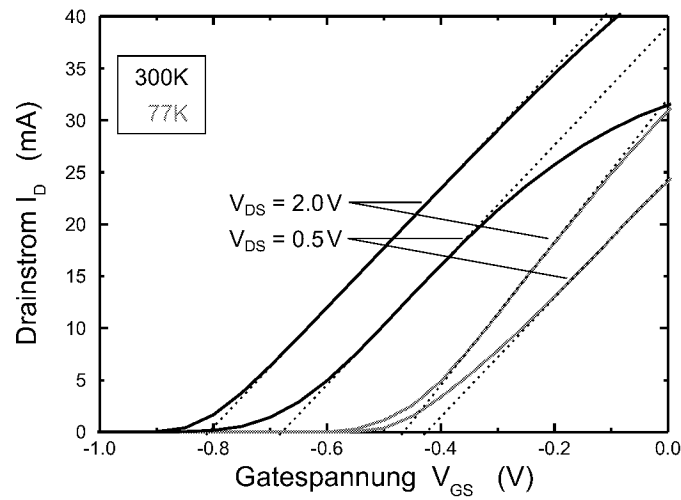


Abbildung 4.23: Transferkennlinienfeld und Verschiebung der Einsatzspannung mit der Temperatur. Probe 15018, $550 \text{ nm} \times 100 \mu\text{m}$

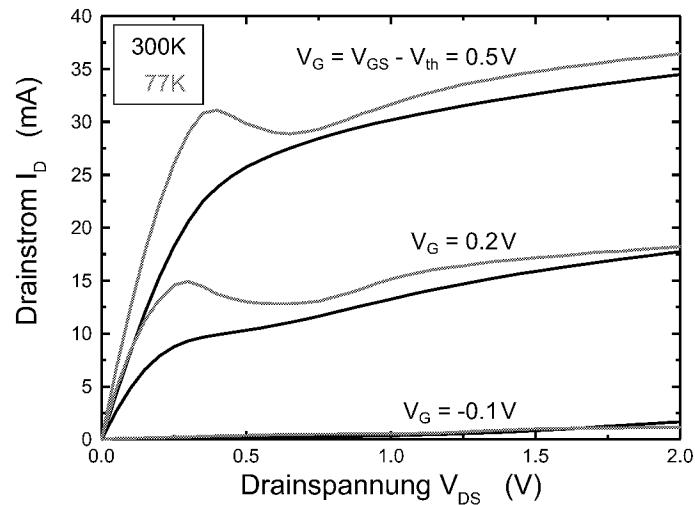


Abbildung 4.24: Vergleich der Ausgangskennlinien bei gleichem Gatespannungshub V_G . Probe 15018, $550 \text{ nm} \times 100 \mu\text{m}$

erzeugten Löcher erheblich zum Gatestrom beitragen können. In Abbildung 4.25 ist der arbeitspunktabhängige Gatestrom für HEMTs mit verschiedenen Gatelängen dargestellt. Die Stoßionisationsrate bei verschiedenen Spannungen ist qualitativ an der Erhöhung des Sperrstroms der Gatediode zu erkennen. Wie erwartet, ist diese bei kürzeren Gatelängen aufgrund der höheren Feldstärken im Kanal stärker. Während die maximale Steilheit bei kurzen Kanallängen sättigt, erhöht sich der Gatestromüberschuss durch Stoßionisation (I_G^{ii}) auch bei der Reduzierung der Gatelänge von 115 nm auf 75 nm deutlich.

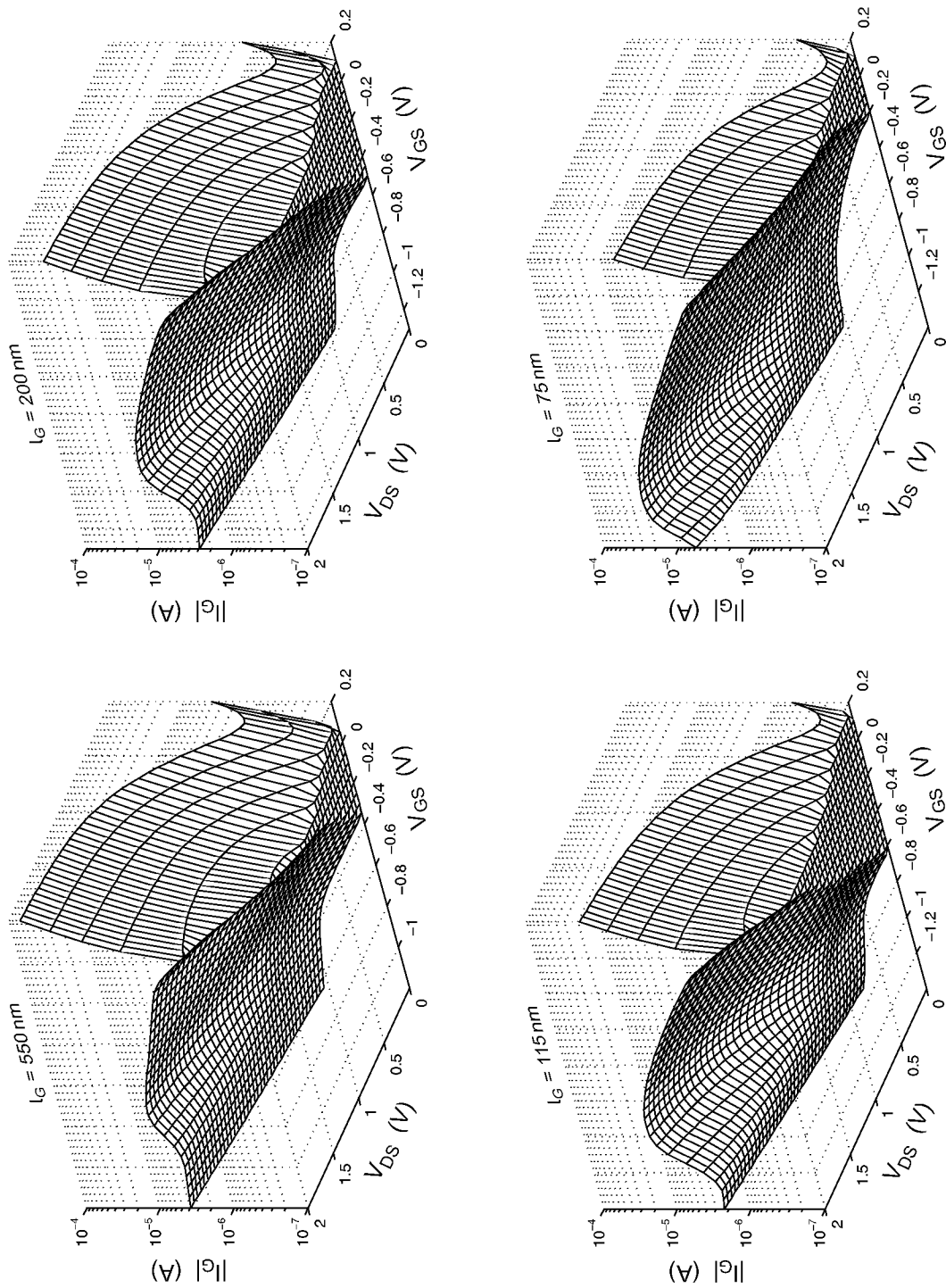


Abbildung 4.25: Basispunktabhängigkeit des Gatestroms für verschiedene Gatelängen bei Raumtemperatur. Probe 15018, $w_g = 100$ nm

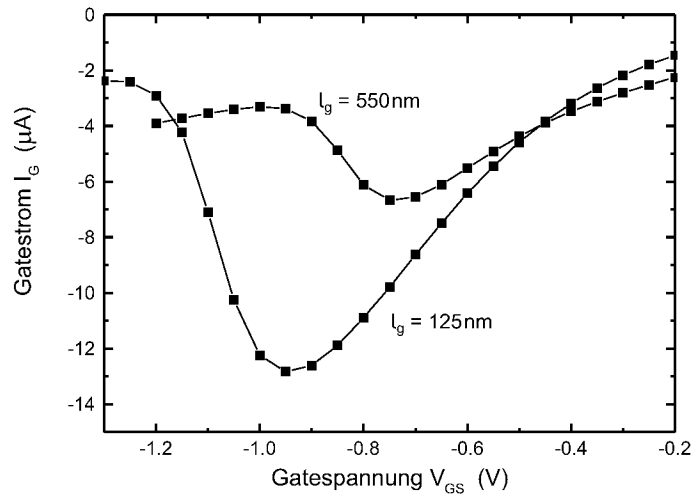


Abbildung 4.26: Gatestrom in Abhängigkeit der Gatespannung bei hoher Drainspannung (2 V) bei 300 K für verschiedene Gatelängen. Probe 15018, $w_g = 100 \mu\text{m}$

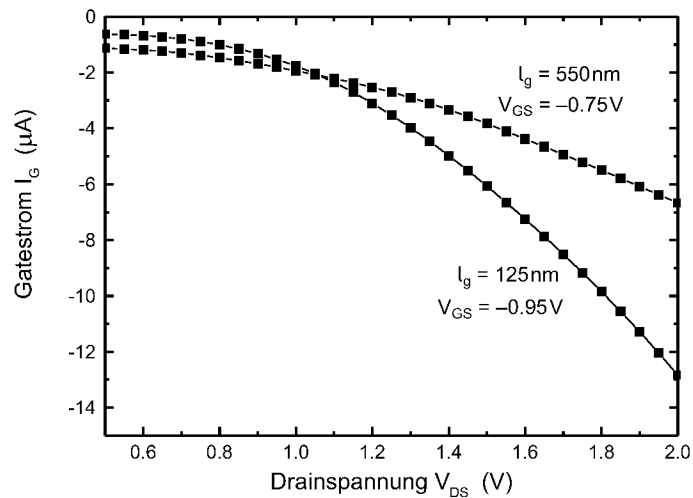


Abbildung 4.27: Gatestrom in Abhängigkeit der Drainspannung unter der Gatespannung, bei der maximale Stoßionisation erreicht wird. $T = 300 \text{ K}$, $w_g = 100 \mu\text{m}$

Beim Betrag des gemessenen Gatestroms handelt es sich im Vergleich zu Literaturdaten aktueller HEMTs mit ähnlichen Gate-Kanal-Abständen (hier $d_{gc} = 29 \text{ nm}$) um gute Werte. Abbildung 4.26 zeigt den Gatestromverlauf bei hoher Drainspannung $V_{DS} = 2.0 \text{ V}$ für einen 125 nm- und einen 550 nm-Transistor mit $100 \mu\text{m}$ Gateweite. Der Gatestrom nach Abklingen der Stoßionisation I_G^{off} bei $V_{GS} = -1.25 \text{ V}$ beträgt beim 125 nm-HEMT etwa $-25 \frac{\mu\text{A}}{\text{mm}}$. In einer neueren Untersuchung zur Stoßionisation [46] etwa liegt I_G^{off} eines 150 nm-HEMTs mit $d_{gc} = 30 \text{ nm}$ bei $-600 \frac{\mu\text{A}}{\text{mm}}$ ($V_{GS} = -1.2 \text{ V}$, $V_{DS} = 2.0 \text{ V}$). In [78] wird die Temperaturabhängigkeit des Kink-

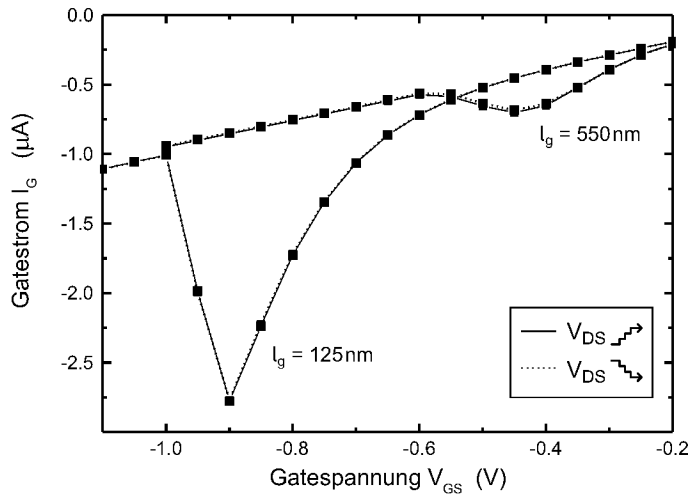


Abbildung 4.28: Gatestrom in Abhängigkeit der Gatespannung bei hoher Drainspannung (2 V) bei 77 K. Die Messwerte wurden $I_G(V_{DS})$ -Messungen entnommen, die unter verschiedenen Gatespannungen durchgeführt wurden. Dabei wurde die Drainspannung stufenweise von 0 V erhöht (durchgezogenen Linie) oder von 2 V stufenweise vermindert (gestrichelt).

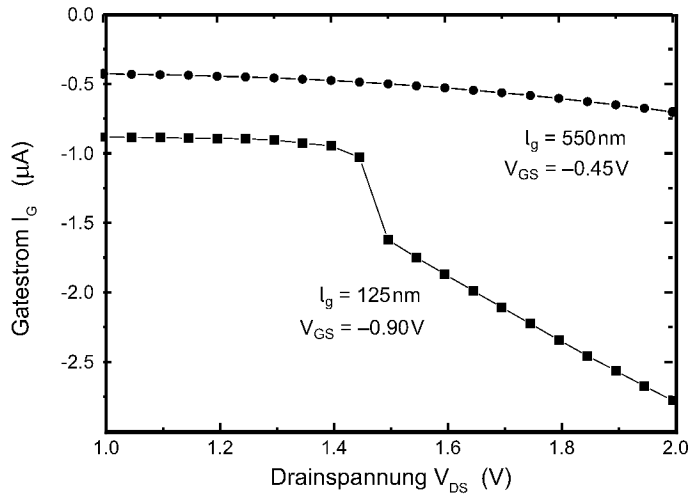


Abbildung 4.29: Gatestrom in Abhängigkeit der Drainspannung unter der Gatespannung, bei der maximale Stoßionisation erreicht wird. $T = 77$ K, $w_g = 100$ μm

Effekte ebenfalls in Zusammenhang mit der Stoßionisation untersucht, dabei beträgt I_G^{off} etwa $-400 \frac{\text{nA}}{\text{mm}}$ ($V_{GS} = -1.2$ V, $V_{DS} = 2.0$ V, $d_{gc} = 30$ nm).

Der maximale Gatestromüberschuss durch Stoßionisation lässt sich aus Abbildung 4.26 zu etwa $-10 \mu\text{A}$, d. h. $-100 \frac{\mu\text{A}}{\text{mm}}$ abschätzen. Genau dieser Wert wird auch in [46] bei $V_{GS} = -0.8$ V, $V_{DS} = 2.0$ V berichtet.

Hohe Gateströme sind ein Problem bei aktuellen HEMTs mit extrem kurzen Kanallängen, bei denen der Gate-Kanal-Abstand zur Erhaltung eines akzeptablen Aspektverhältnisses stark reduziert wird. In [79] werden an HEMTs mit $l_g = 30 \text{ nm}$ und $d_{ge} \approx 10 \text{ nm}$ bereits bei $V_{GS} = 0 \text{ V}$, $V_{DS} = 1 \text{ V}$ Gateströme von $-300 \frac{\mu\text{A}}{\text{mm}}$ gemessen.

Hinsichtlich des Gatestroms besteht bei den untersuchten HEMTs folglich noch Spielraum zur Reduzierung des Gate-Kanal-Abstands, von der zudem eine höhere Steilheit (Gleichungen 2.6, 2.13) erwartet werden könnte.

Abbildung 4.27 zeigt die gleichmäßige Entwicklung des Gatestroms mit der Drainspannung bis zum Punkt des maximalen Überschusses unter fester Gatespannung bei Raumtemperatur.

In Abbildung 4.28 sind die Resultate der Messungen bei Stickstofftemperatur dargestellt (unter Beleuchtung wurde bei allen Transistoren ein gleichmäßiger, arbeitspunktunabhängiger Anstieg des Gatestroms um 15 % festgestellt). Aus den Absolutwerten des Gatestroms lässt sich wegen der unterschiedlichen Temperaturen kein zuverlässiger Vergleich der Anzahl der generierten Löcher anstellen, jedoch ist zu erkennen, dass die Bereiche des Gatestromüberschusses schmaler werden. Es fällt zudem auf, dass sich bei dem längeren Gate der Stoßionisationsbereich als Ganzes zu höheren Gatespannungen verschiebt, und zwar wie die bei 2 V extrapolierte Einsatzspannung (vgl. Abbildung 4.23 auf Seite 65) um etwa 0.35 V. Bei kurzer Gatelänge verliert I_G^{ii} seine typische Glockenform und wird bei niedrigen Gatespannungen abrupt abgeschnitten. In Abbildung 4.28 wurden zudem Messungen aufgenommen, in deren Verlauf die Drainspannung bei der Aufnahme einer $I_G(V_{DS})$ -Kennlinie nicht wie bei den übrigen Messungen stufenweise von 0 V auf 2 V erhöht, sondern umgekehrt vermindert wurde. Eine signifikante Hysterese liegt jedoch nicht vor und wurde auch bei anderen Drainspannungen nicht festgestellt. Wie bei Raumtemperatur wird auch bei 77 K die Entwicklung zum maximalen I_G^{ii} mit V_{DS} dargestellt (Abbildung 4.29). Dabei zeigt sich erneut nur beim kurzen Gate ein sprunghafter Anstieg.

Das soeben beschriebene Gatestromverhalten gemeinsam mit den weiter oben angeführten Beobachtungen über Lage und Ausprägung des Kink-Effekts in den Ausgangskennlinien der verschiedenen Transistoren bei unterschiedlichen Temperaturen stützen den vermuteten Zusammenhang des Effekts mit der Stoßionisation:

- höherer Gatestromüberschuss und stärkerer Kink bei kürzeren Gatelängen bei Raum- und Stickstofftemperatur
- „verschmierterer“ Spannungsbereich der Stoßionisation bei hoher Temperatur und schärfer definierter Kink bei 77 K
- nahezu übergangslos einsetzende Stoßionisation mit V_{GS} nahe V_{th} bei kurzen

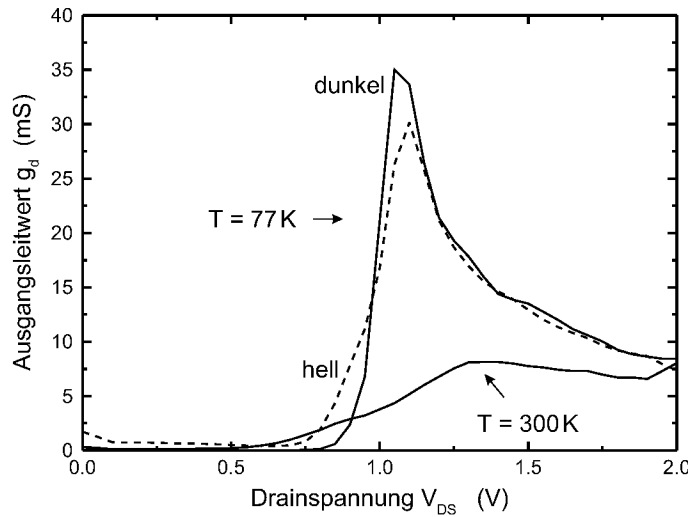


Abbildung 4.30: Ausgangsleitwert von Kennlinien nahe dem Abschnürbereich eines Kurzkanal-HEMT. $l_g = 125 \text{ nm}$, $w_g = 100 \text{ }\mu\text{m}$, Probe 15018

Gatelängen *und* tiefen Temperaturen verbunden mit der stärksten Erhöhung des Ausgangsleitwerts unter diesen Bedingungen

4.4.2 Unterschwellenverhalten

Bei Gatespannungen nahe der Abschnürung fällt wie oben erwähnt die Erhöhung des Ausgangsleitwertes bei tiefen Temperaturen besonders stark aus. Zum direkten Vergleich sind in Abbildung 4.30 die Ableitungen von Kennlinien nebeneinander gestellt, die ungefähr bei $V_{DS} = 1 \text{ V}$ vom Wert $I_D \approx 0 \text{ A}$ abknicken.

Es liegt nahe, für den genannten Abschnürungsbereich das Unterschwellenverhalten zu untersuchen. Laut Gleichung (2.22) erwartet man für die Ladungsträgerkonzentration eine exponentielle Abhängigkeit von der Gatespannung:

$$n_s \propto e^{\frac{q}{\eta \cdot k_B T} \cdot V_{GS}} \quad (4.7)$$

Ein solches exponentielles Verhalten sollte nach den Gleichungen (2.15) und (4.6) dann auch für den (intrinsischen) Ausgangsleitwert bei verschwindender Drainspannung vorliegen. In der Proportionalitätskonstante tauchen folglich w_g , l_g , μ_0 , V_T und n_0 auf. Über die letzten beiden Parameter ist hier nichts bekannt, außerdem lässt sich auch keine verlässliche Aussage über die Nullfeldbeweglichkeit bei derart geringen Ladungsträgerkonzentrationen treffen. Allerdings kann die Anpassung eines exponentiellen Verlaufs an den intrinsischen Ausgangsleitwert die Unterschwellen-

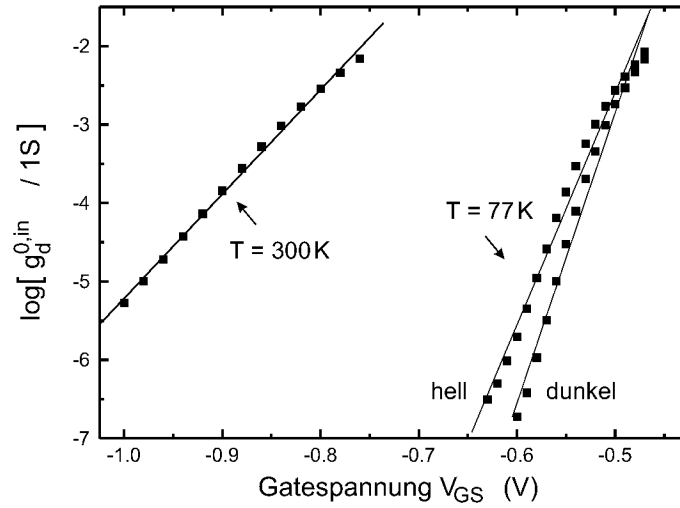


Abbildung 4.31: Intrinsischer Ausgangsleitwert bei $V_{DS} = 0$ V im Unterschwellenbereich

konstante $\gamma_{ST} = \frac{q}{\eta \cdot k_B T}$ enthüllen:

$$\log(g_d^{0,in} / 1 \text{ S}) = C + \gamma_{ST} \cdot V_{GS} \quad (4.8)$$

Abbildung 4.31 zeigt das Unterschwellenverhalten eines 550 nm-Transistors bei Raum- und Stickstofftemperatur. Bei den Tieftemperaturmessungen ist überdies ein Beleuchtungseffekt zu erkennen. Aus der linearen Regression gemäß der obigen Gleichung erhält man $\gamma_{ST} = (13.3 \pm 0.2) \text{ V}^{-1}$ für 300 K und $\gamma_{ST} = (29.6 \pm 0.9) \text{ V}^{-1}$ bzw. $\gamma_{ST} = (37.0 \pm 1.5) \text{ V}^{-1}$ für 77 K mit bzw. ohne Beleuchtung, was η -Werten von etwa 3 – 5 entspricht.

Die Unterschwellenkonstante ist ein Maß für die Stärke des Abfalls der Ladungsträgerkonzentration bei sinkenden Gatespannungen im Abschnürgebiet. Vor allem thermisch erzeugte und in geringerer Anzahl photogenerierte Ladungsträger verzögern offensichtlich diesen Abfall und können so das Einsatzgebiet der Stoßionisation verbreitern, welche wiederum den Kink-Effekt steuert. Diese Schlussfolgerung bietet sich beim Vergleich der Messergebnisse an.

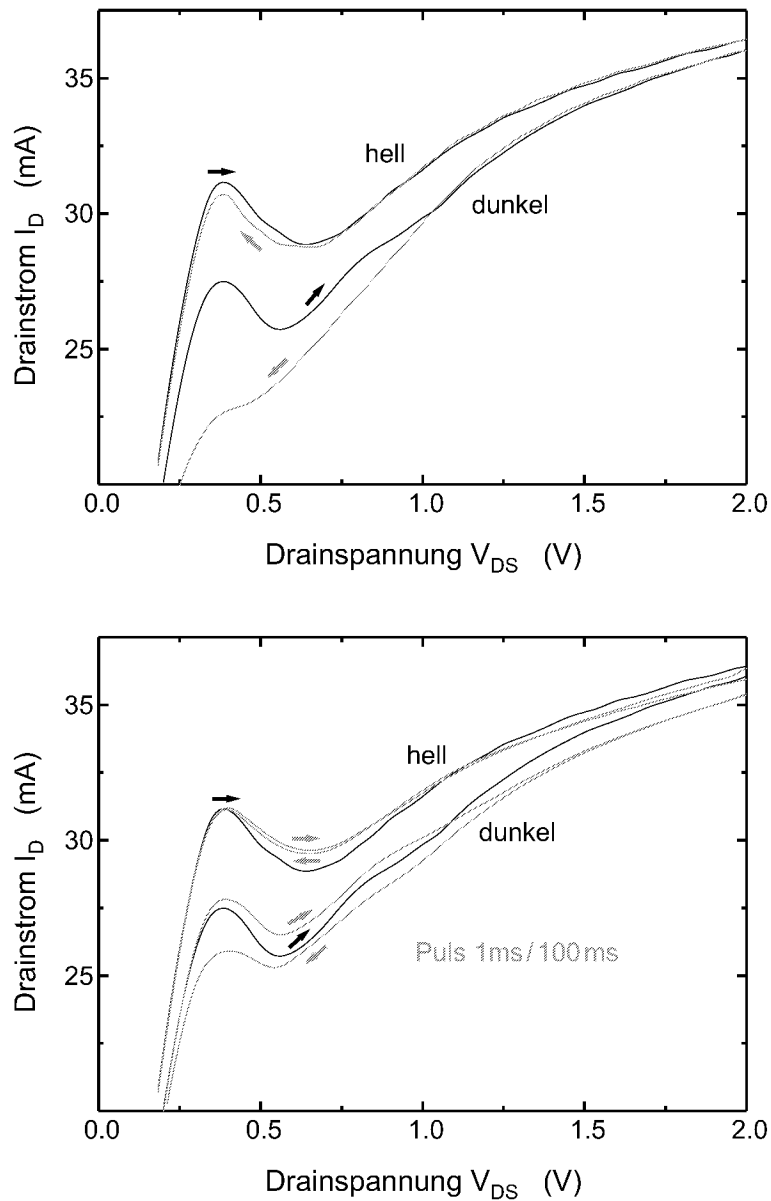


Abbildung 4.32: Hysterese und Beleuchtungsabhängigkeit der Ausgangskennlinie (oben) und Vergleich mit Messung bei gepulster Drainspannung. Probe 15018, $550\text{ nm} \times 100\text{ }\mu\text{m}$, $V_{GS} = 0.1\text{ V}$

4.4.3 Anormaler Kink-Effekt und Hysterese

Bei HEMTs auf einigen Schichtsystemen wurde wie bereits erwähnt bei tiefen Temperaturen in der $I_D(V_{DS})$ -Charakteristik eine Region mit *negativem* Ausgangsleitwert beobachtet (Abbildung 4.21 auf Seite 62). Dieses Phänomen kann man zu den

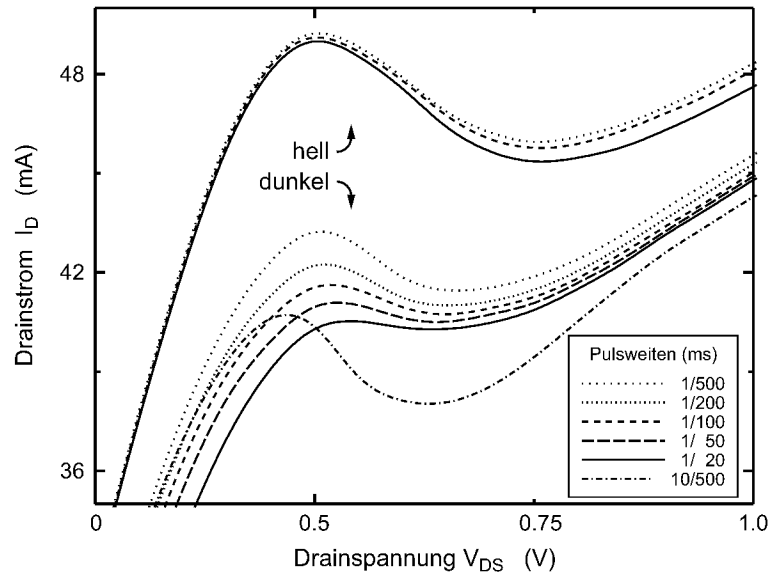


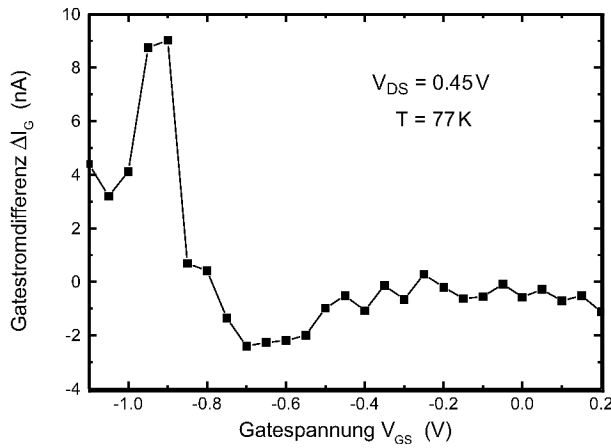
Abbildung 4.33: Pulsmessungen mit steigender Drainspannung bei Probe 15018, $125\text{ nm} \times 100\text{ }\mu\text{m}$, $V_{GS} = 0.1\text{ V}$

Kink-Effekten im weiteren Sinne zählen, auch wenn nicht zwangsläufig ein direkter Zusammenhang zum zuvor beschriebenen klassischen Kink-Effekt bestehen muss. Einen Ausschnitt aus dem Kennlinienfeld zeigt Abbildung 4.32. Neben dem negativen Ausgangsleitwert fällt eine deutliche Lichtabhängigkeit sowie eine Hysterese zwischen Kennlinien auf, die bei stufenweise steigender bzw. bei stufenweise fallender Drainspannung gemessen werden, während die Gatespannung konstant gehalten wird. Die Kennlinien werden mit HP 41420A Source/Monitor Units in einem HP 4142B Modular DC Source/Monitor aufgenommen; die Effekte werden jedoch auch mit anderen Geräten gemessen.

Das benutzte Gerät bietet in begrenztem Umfang auch die Möglichkeit zu Pulsmessungen, die zu einer ersten qualitativen Untersuchungen des Effekts eingesetzt wurden. Während bei den stufenweisen Messungen² die einzelnen Stromwerte in einem Zeitbereich von ungefähr 0.5 ms aufgenommen werden, wird die Drainspannung bei den Pulsmessungen für eine genau spezifizierte Pulsdauer angelegt und während der restlichen Pulsperiode auf einen Basiswert von 0 V zurückgestellt. Es sind Pulsdauern τ_d von 1 ms bis 50 ms und Pulsperioden τ_p von 10 ms bis 500 ms möglich (unter der Bedingung $\tau_p \geq 2\tau_d$).

Abbildung 4.32 (unten) ist zu entnehmen, dass sich die Hysterese bei Pulsmessungen mit einem kleinen $\tau_d : \tau_p$ -Verhältnis von 1 ms : 100 ms reduziert; besonders groß ist diese Reduktion bei der „rückwärts“ gemessenen Kennlinie ohne Beleuchtung.

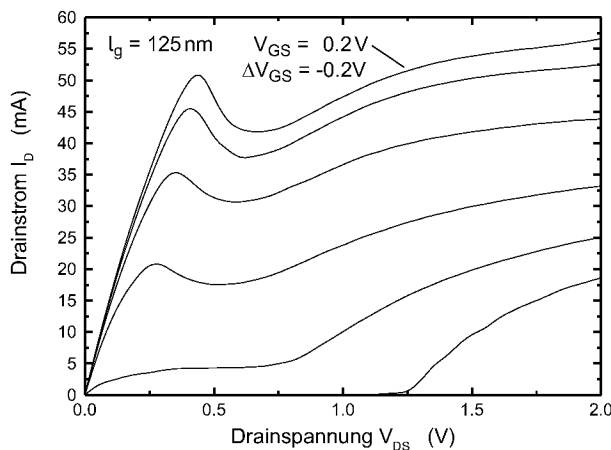
²„staircase sweep measurements“

**Abbildung 4.34:**

Differenz der Gateströme $\Delta I_G = I_G^{\nearrow} - I_G^{\searrow}$ aus Messungen mit steigender und mit fallender Drainspannung ohne Licht, Probe 15018, 125 nm $\times$ 100 μ m

In Abbildung 4.33 werden anhand eines 125 nm-Transistors die Auswirkungen unterschiedlicher Pulsweiten miteinander verglichen. Je größer die Pulsperiode bei fester Pulsdauer ist, desto höher ist der gemessene Drainstrom. Die Unterschiede sind ohne Beleuchtung deutlich größer als unter Licht. Bei gleichem Pulsverhältnis τ_d/τ_p von 1/50 unterschreitet die Kennlinie mit höherer Pulsdauer (10 ms) diejenige mit geringerer Dauer (1 ms) nur im Sättigungsbereich.

Aus messtechnischen Gründen können bei den Pulsmessungen die Gateströme nicht mit aufgenommen werden. Allerdings können ihre Werte aus Messungen mit unterschiedlicher Drainspannungsrichtung miteinander verglichen werden. In Abbildung 4.34 ist die Differenz der Gateströme unter derjenigen Drainspannung aufgetragen, bei sich der maximale Unterschied zwischen den hin- und den rücklaufenden Kennlinien finden lässt ($V_{DS} = 0.45$ V). Man betrachte unter dem gleichen Aspekt auch Abbildung 4.28. Angesichts der absoluten Gateströme im μ A-Bereich sind die auftretenden nA-Differenzen minimal.

**Abbildung 4.35:**

Ausgangskennlinienfeld der Probe 15020 unter Licht, $T = 77$ K, $w_g = 100$ μ m

Wenn vorhanden, ist die Ausbildung des negativen Ausgangsleitwertes bei Proben auf anderen Schichtsystemen sehr ähnlich, wie die folgenden zwei Beispiele demonstrieren. Abbildung 4.35 zeigt den anormalen Kink-Effekt an einem HEMT der Probe 15020, die gegenüber dem Schichtsystem 15018 einen um 40 nm vergrößerten Subkanal besitzt. Diese Probe zeigt einen noch stärkeren Effekt (vgl. Abbildung 4.21 auf Seite 62), der Drainstrom fällt nach dem ersten Maximum um 15 %.

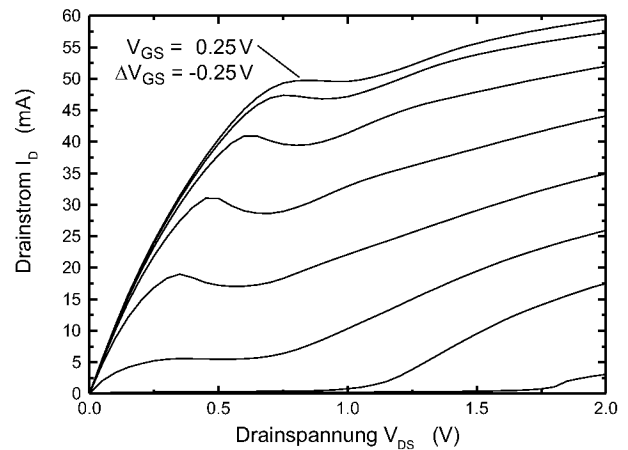


Abbildung 4.36:
Ausgangskennlinienfeld der Probe 13193
unter Licht, $T = 77\text{ K}$, $w_g = 100\text{ }\mu\text{m}$

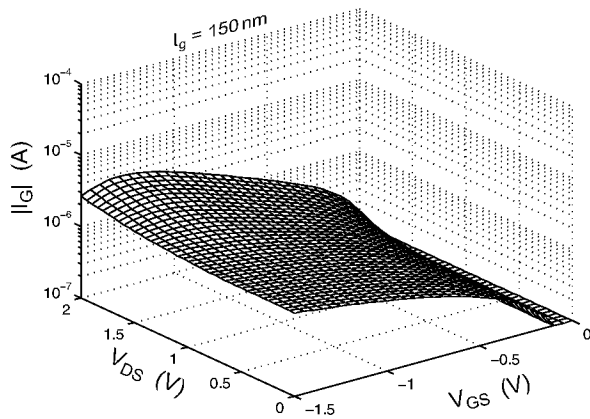


Abbildung 4.37:
Gatestrom der Probe 13193 bei Raumtemperatur, $w_g = 100\text{ }\mu\text{m}$

Auch im Schichtsystem 13193 zeigt sich – in etwas geringerem Maße – der negative Ausgangsleitwert, wie man Abbildung 4.36 entnehmen kann. Bei der Probe ist eine 2.5 nm dicke verspannte AlAs-Schicht in die Barriere integriert. Der Überschuss-Gatestrom wird durch das Material mit hoher Bandlücke ($E_g \approx 2.4\text{ eV}$) gering gehalten (Abbildung 4.37, vgl. Abbildung 4.25 auf Seite 66), jedoch zeigte die Probe mit dem dickeren, hoch dotierten Cap-Layer geringere Steilheiten und schlechteres Sperrverhalten.

Bei HEMTs im Schichtsystem 13087 z. B. wird dagegen unter identischem Messaufbau weder eine nennenswerte Puls- oder Lichtabhängigkeit noch Hysterese festgestellt, wenngleich auch bei diesen Proben in dem entsprechenden Spannungsbereich bei tiefen Temperaturen ein verminderter, jedoch nicht negativer Ausgangsleitwert zu beobachten ist.

Die Ergebnisse erlauben den Schluss, dass es sich bei dem beobachteten negativen Ausgangsleitwert bei tiefen Temperaturen um eine eigenständige, vom gewöhnlichen Kink-Effekt getrennte Erscheinung handelt, da er im Gegensatz zu letzterem mit keiner Auffälligkeit im Gatestromverhalten verknüpft ist und bei niedrigeren Drainspannungen als die Stoßionisation einsetzt. Dieser Effekt ist aus den durchgeführten Raumtemperaturmessungen nicht ableitbar.

Nach einem Kollaps der Ausgangskennlinie bei tiefen Temperaturen, wie er u. a. in [80, 81] von AlGaAs/GaAs-HEMTs berichtet wird, ist die Kennlinie über den gesamten Drainspannungsbereich von einem Einbruch des Drainstroms betroffen. Insbesondere ist dann der Stromfluss bei niedrigen Drainspannungen unterdrückt, während die Absenkung des Drainstroms im vorliegenden Fall auf einen festen Bereich innerhalb des Kennlinienfeldes beschränkt ist. Der in der Literatur beschriebene Kollaps wird auf tiefe Störstellen zurückgeführt.

Hier deutet die Lichtabhängigkeit dennoch auf einen gewissen Einfluss von Trapzuständen hin. Bei den auffälligen Proben ist gleichsam die Verschiebung der Einsatzspannung mit der Temperatur größer als bei den nicht betroffenen. Das Licht kann die Emissionsrate von in Trap-Zuständen eingefangenen Elektronen erhöhen, die bei höheren Feldstärken aus dem Kanal heraus in die benachbarten Schichten injiziert werden (Deconfinement). Ähnlich wirkt sich dann eine verlängerte Pulsperiode auf das Kennlinienfeld aus, da dann mehr Zeit für die Rückemission der Ladungsträger gegeben ist.

Da der Drainstrom unter Licht nur schwach von der Pulsperiode abhängt und eine geringere Hysterese zeigt, ist davon auszugehen, dass der Effekt des negativen Ausgangsleitwerts im Wesentlichen nur mit dem Deconfinement der Ladungsträger im Zusammenhang steht. Möglicherweise wird dieser Effekt bei anderen Transistoren von der Stoßionisation überlagert.

4.5 Breakdown

Geringe Durchbruchspannungen begrenzen die maximale Leistungsaufnahme und damit das Anwendungsgebiet von Transistoren. An den T-Gate-HEMTs wurden temperaturabhängige Off-State-Breakdown-Messungen nach der Drain-Current-Injection-Technik [82] durchgeführt. Bei diesen Messungen wird ein konstanter

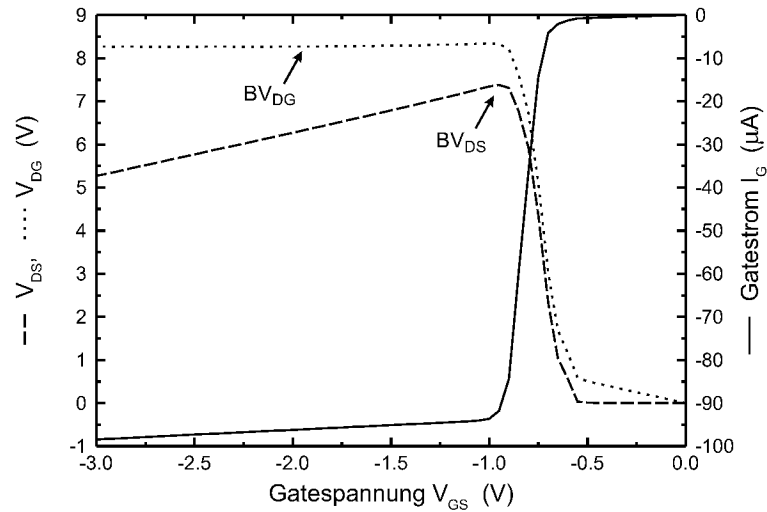


Abbildung 4.38: Breakdown-Messung nach der Drain-Current-Injection-Technik, Probe 15018, Raumtemperatur, unter Licht

Drainstrom von $1 \frac{\text{mA}}{\text{mm}}$ eingepreßt und die Gatespannung von 0 V auf einen Wert unterhalb der Einsatzspannung vermindert. I_G , V_{DS} und V_{DG} werden in Abhängigkeit der Gatespannung aufgenommen. Wird die Gatespannung kleiner als die Einsatzspannung, ist der Kanal abgeschnürt, und fast der gesamte Drainstrom fließt nicht mehr über den Sourcekontakt, sondern über das Gate ab. Der Spannungsabfall über dem abgeschnürten Kanal erreicht ein Maximum BV_{DS} , die Drain-Source-Breakdown-Spannung. Die sich dabei einstellende Spannung zwischen Gate und Drain bezeichnet man als Gate-Drain-Breakdown-Spannung BV_{GD} . Vermindert man V_{GS} weiter, so sinkt V_{DS} wieder ab, da sich der Stromfluss zwischen Gate und Drain nicht mehr erhöhen kann und V_{DG} konstant bleibt. BV_{DS} liegt etwa um den Betrag der Einsatzspannung unterhalb BV_{GD} .

Die physikalischen Vorgänge, die zum Durchbruch führen, sind Gegenstand der Forschung. Nach der verbreiteten Vorstellung werden Elektronen durch thermionische Feldemission [83] oder Tunneln [84] injiziert, wo sie ihre auf Grund des starken Feldes angenommene hohe Energie in Stoßionisationsprozessen abgeben. Die so generierten Ladungsträger führen zum Durchbruch. Folglich begünstigen Kanalmaterialien mit kleiner Bandlücke wie InGaAs diesen Prozess. Aus diesem Grund sind die Durchbrucheigenschaften des hier untersuchte HEMT-Typs denen der meisten anderen Schichtsysteme unterlegen, zumal die auf AlInAs erreichten Schottky-Barrierenhöhen mit 0.65 eV vergleichsweise gering ausfallen.

Zur Erhöhung der Durchbruchspannungen wurden verschiedene Maßnahmen vorgeschlagen, neben der Verwendung von verarmten Cap-Schichten etwa die Vergrößerung des Aluminium-Anteils in der Barrierenschicht zur Erhöhung der Barriere [85],

die Isolierung der Mesa-Seiten mit Si_3N_4 [86] oder spezielle Gate-Recess-Profile [87]. Mit den genannten Maßnahmen sind auf gitterangepassten Schichten BV_{GD} -Werte oberhalb 10 V erreicht worden, jedoch sind die Durchbruchspannungen wegen der unterschiedlichen Bandlücken stark vom Indium-Anteil x im Kanal abhängig [88]. In [83] werden z. B. BV_{DS} -Werte von 8.9 V, 6.3 V und 5.1 V für In-Anteile von 0.53, 0.63 bzw. 0.70 angegeben ($d_{gc} = 25$ nm). In [89] wird die Abhängigkeit der Durchbrucheigenschaften von der Länge des (symmetrischen) Gate-Recess $l_r = l_{gd} = l_{gd}$ untersucht. Bei $l_r = 180$ nm wird eine Gate-Drain-Durchbruchspannung von 8 V erreicht sowie eine Sättigung von BV_{GD} bei 14 V für Recesslängen oberhalb 300 nm beobachtet ($d_{gc} = 24$ nm, $x = 0.5$). Nach [90] kann gegebenenfalls durch eine deutliche Verringerung der Kanaldicke über die Verschiebung der Energieniveaus im Quantentopf die effektive Bandlücke vergrößert werden.

Temperaturabhängige Untersuchungen des Durchbruchverhaltens ergeben meist einen negativen Temperaturkoeffizienten [83, 90, 91, 92], d. h. die Breakdown-Spannungen steigen mit fallender Temperatur. Jedoch sind die Aussagen über die Quantität noch uneinheitlich.

Die hier untersuchten Transistoren ($x = 0.75$, $l_r = 150$ nm, $d_{gc} = 29$ nm) zeigen vor diesem Hintergrund sehr gute Durchbrucheigenschaften (Tabelle 4.2). BV_{GD} steigt bei der Temperaturabsenkung um 15% (größere Subkanäle) bis 25% (dünner Subkanal). Bei tiefen Temperaturen ist die Beleuchtungsabhängigkeit größer. Die hohen Werte stehen im Einklang mit den verhältnismäßig geringen Gateströmen. Ob ein Grund dafür in der modifizierten Zusammensetzung der Cap-Schicht liegt, müssen weitere Untersuchungen zeigen.

Probe	15018		15019		15020	
d_{SK} (nm)	7		27		47	
Beleuchtung	hell	dunkel	hell	dunkel	hell	dunkel
$BV_{GD}(300\text{ K})$ (V)	8.33	8.37	7.66	7.72	7.66	7.75
$BV_{GD}(77\text{ K})$ (V)	10.39	10.67	8.82	8.97	9.07	9.23

Tabelle 4.2: Temperaturabhängige Gate-Drain-Breakdown-Spannungen BV_{GD} von T-Gate-Transistoren mit unterschiedlicher Subkanaldicke d_{SK}

4.6 Hochfrequenzverhalten

4.6.1 Meßaufbau

Für On-Wafer-Hochfrequenzmessungen bis zu 110 GHz bei Raumtemperatur stand ein HP 8510 Network Analyzer zur Verfügung. Hochfrequenzmessungen bei der Temperatur des flüssigen Stickstoffs konnten mit einem Wiltron Model 360B Network Analyzer durchgeführt werden, der Messungen bis 36.85 GHz ermöglicht. Eine in Konstruktion befindliche Vakuumkammer für Tieftemperatur-Hochfrequenzmessungen, die auch Messungen bei Zwischentemperaturen erlauben wird, ist bis zum Abschluss der Arbeit nicht fertiggestellt worden. Stattdessen wurde auf ein offenes System zurückgegriffen, bei dem die Probe auf einem von flüssigem Stickstoff umgebenen, aufrecht stehenden Metallzylinder liegt, dessen Temperatur an der Oberseite gemessen wird. Der umflossene Metallzylinder befindet sich vollständig in einer offenen Isolierkanne, so dass eine Stickstoffatmosphäre über der Probe durch Nachfuhr von flüssigem Stickstoff aufrecht erhalten werden kann. Die Hochfrequenz-Messspitzen werden in diese Atmosphäre eingetaucht. Der Network Analyzer wird vor den Messungen mit Kalibrierstandards in der herabgekühlten Umgebung kalibriert. Dabei muss dem System ausreichend Zeit gegeben werden, um thermische Stabilität zu erlangen. Turbulenzen in der Stickstoffatmosphäre und damit einhergehende Vereisung müssen soweit wie möglich vermieden werden. Das offene System ist zudem anfällig für Vibrationen, die die empfindliche Kalibrierung beeinträchtigen können. Die Kalibrierung wird daher regelmäßig überprüft, so dass sich die einzuplanende Messzeit verkürzt und ein weniger dichtes Raster von Arbeitspunkten als bei Raumtemperatur verwendet wird. Trotz der Maßnahmen lässt sich eine geringere Qualität der S-Parameter-Messungen bei Stickstofftemperatur nicht vermeiden.

4.6.2 Ersatzschaltbildparameter-Bestimmung

Zur Ersatzschaltbild(„ESB“)-Analyse der Hochfrequenzdaten stehen am Institut die kommerziellen Software-Pakete MMICAD und Topas [93] zur Verfügung. MMICAD benutzt Optimierungsalgorithmen, um ESB-Parameter zu finden, die die gemessenen S-Parameter mit minimalem Fehler simulieren. Es ist jeweils nur eine Optimierung an einem Arbeitspunkt möglich, außerdem sollten zumindest R_S und R_D vorgegeben sein, da das Problem sonst überparametrisiert ist. Topas beruht dagegen weitgehend auf einer Parameterextraktion, d. h. einer sukzessiven, direkten Berechnung von ESB-Parametern. Mit Hilfe von verschiedenen S-Parameter-Sätzen bei $V_{DS} = 0$ V („ColdFET“) werden dabei im ersten Schritt die extrinsischen Parameter bestimmt, die im Idealfall unabhängig von den angelegten Spannungen sind.

Danach werden die arbeitspunktabhängigen Intrinsischen bestimmt; abschließend können die Ergebnisse in einem begrenzten Bereich nachoptimiert werden. In dem Modell, das Topas zugrunde liegt, wird davon ausgegangen, dass die Gleichstromsteilheit stets über der Hochfrequenzsteilheit liegt, was bei vielen Transistoren wie auch den hier untersuchten jedoch nicht zwangsläufig der Fall ist. Eine befriedigende S-Parameter-Anpassung konnte daher mit Topas nicht erreicht werden.

Für die akkurate Ermittlung insbesondere der extrinsischen Parameter bestehen keineswegs geradlinige Algorithmen; so treten etwa Schwierigkeiten auf, Kapazitäten und Widerstände untereinander zu trennen. Unterschiedliche neue Methoden, die sowohl auf Hochfrequenz- als auch auf Gleichstrommessungen basieren können, werden in der Literatur nach wie vor diskutiert, zumal auch neue Frequenzbereiche, in die die Bauelemente vorstoßen, eventuell neue Ersatzschaltbilder erfordern. Im Rahmen der Diplomarbeit von S. Montanari [94] wurden u. a. einige aktuelle Verfahren untersucht [95, 96, 97, 98, 99], deren Grundlage das Extraktionsverfahren von Dambrine [100] bildet.

So wird etwa in [99] ein Algorithmus vorgeschlagen, der anhand eines Modells für hohe Frequenzen die extrinsischen ESB-Elemente aus dem S-Parametersatz nur eines Arbeitspunktes berechnen kann (schwache Abschnürung, d. h. $V_{GS} \approx V_{th} - 0.1 \text{ V}$, und $V_{DS} = 0 \text{ V}$). Dazu werden zunächst Testgrenzen für die Pad-Kapazitäten bestimmt, und anschließend wird ermittelt, welche Testwerte die beste Anpassung an das Modell durch die restlichen Extrinsischen zulassen (Details und Implementierung siehe [94]). Tabelle 4.3 führt die auf diese Weise bestimmten extrinsischen Kapazitäten, Induktivitäten und Widerstände eines $75 \text{ nm} \times 100 \text{ }\mu\text{m}$ -T-Gate-HEMTs auf, die bei $V_{GS} = -1.2 \text{ V}$ bestimmt wurden. Ein Nachteil der Vorgehensweise ist neben der recht komplexen Rechnung, dass der schmale Bereich der schwachen Abschnürung, an dem die Zielfunktion $\epsilon(C_{pg}, C_{pd})$ den charakteristischen Verlauf annimmt, vor der Messung im Allgemeinen nicht bekannt ist.

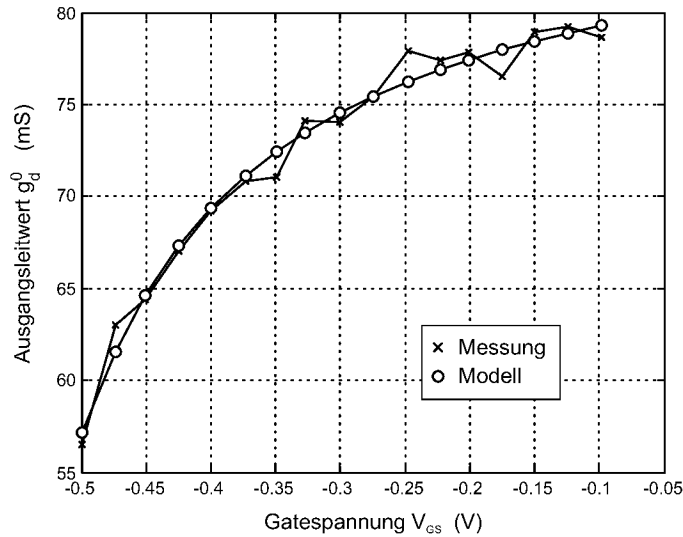
Eine schnelle Methode zur Abschätzung von Source- und Drainwiderstand ergibt sich aus Gleichung (4.6), wenn man für $n_s(V_{GS})$ einen linearen Ansatz verwendet und die Terme im linken Nennerausdruck zusammenfasst:

$$g_d^0(V_{GS}) = \frac{1}{\gamma_0 \cdot (V_{GS} - V_{th}) + R_{tot}} \quad (4.9)$$

$C_{pg} = 13.3 \text{ fF}$	$C_{pd} = 15.0 \text{ fF}$	$C_{pdds} = 23.3 \text{ fF}$
$L_S = 15.5 \text{ pH}$	$L_D = 25.0 \text{ pH}$	$L_G = 28.8 \text{ pH}$
$R_S = 4.85 \text{ }\Omega$	$R_D = 5.75 \text{ }\Omega$	$R_G = 4.29 \text{ }\Omega$

Tabelle 4.3:

Nach [99] extrahierte extrinsische ESB-Parameter eines $75 \text{ nm} \times 100 \text{ }\mu\text{m}$ -HEMTs

Abbildung 4.39: Bestimmung von $R_S + R_D$

Diesen Ausdruck kann man im Bereich mittlerer Gatespannungen an den Ausgangsleitwert bei verschwindender Drainspannung anpassen. Die verwendeten Gatespannungsgrenzen kann man über der Güte der Anpassung beurteilen und gegebenenfalls korrigieren. Mit diesen Werten lassen sich sinnvolle Parameteroptimierungen unter MMICAD durchführen. Abbildung 4.39 zeigt eine Anpassung nach Gleichung (4.9) für einen $75 \text{ nm} \times 100 \text{ } \mu\text{m}$ -Transistor der Probe 15018. Man erhält $R_S + R_D = (11.03 \pm 0.45) \Omega$, $V_{th} = (-0.59 \pm 0.03) \text{ V}$ und $\gamma_0 = (0.58 \pm 0.21) \Omega\text{V}^{-1}$. Die Widerstandswerte sind in akzeptabler Übereinstimmung mit Tabelle 4.3.

4.6.3 Grenzfrequenzen

HEMTs mit einfachen Gates

Die Abbildungen 4.40 und 4.41 zeigen die höchsten ohne T-Gate erreichten Grenzfrequenzen auf der Probe 13087. Die maximale Transitfrequenz steigt nach der Abkühlung nur um 10 %, sie wird jeweils bei $V_{GS} = -0.6 \text{ V}$, $V_{DS} = 1.0 \text{ V}$ erreicht. Ein limitierender Faktor liegt in dem beschriebenen negativen Temperaturkoeffizienten des Kontaktwiderstandes, der den positiven Effekt des geringeren Schichtwiderstandes zwischen Gate und Source aufhebt. Die intrinsische Steilheit steigt dagegen um 20 % von einem Raumtemperaturwert von $800 \frac{\text{mS}}{\text{mm}}$ auf $960 \frac{\text{mS}}{\text{mm}}$ bei wenig veränderten intrinsischen Kapazitäten. Der Gatewiderstand fällt von 7Ω auf etwa ein Viertel.

Da die unilaterale Leistungsverstärkung für tiefe Temperaturen aus dem gemessenen

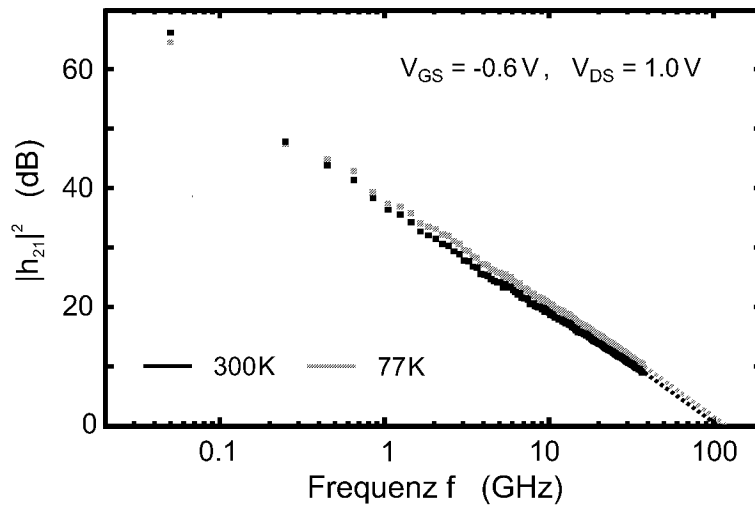


Abbildung 4.40: Kurzschluss-Stromverstärkung und extrapolierte Transitfrequenz für einen $330 \text{ nm} \times 100 \mu\text{m}$ -HEMT für Raum- und Stickstofftemperatur. $f_T(300 \text{ K}) = 110 \text{ GHz}$, $f_T(77 \text{ K}) = 120 \text{ GHz}$

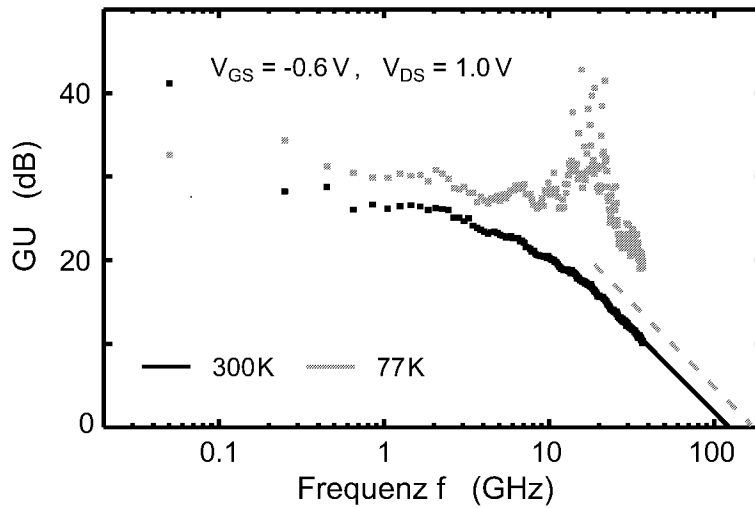


Abbildung 4.41: Unilaterale Leistungsverstärkung und aus den Ersatzschaltbild-Parametern errechnete maximale Schwingfrequenz. $f_{max}(300 \text{ K}) = 130 \text{ GHz}$, $f_{max}(77 \text{ K}) = 170 \text{ GHz}$

Frequenzbereich nicht direkt zur maximalen Schwingfrequenz extrapoliert werden konnte, wurde sie aus den angepassten Ersatzschaltbildgrößen nach Gleichung (2.48) bestimmt. Sie profitiert vor allem von dem gesunkenen Gatewiderstand.

T-Gate-HEMTs

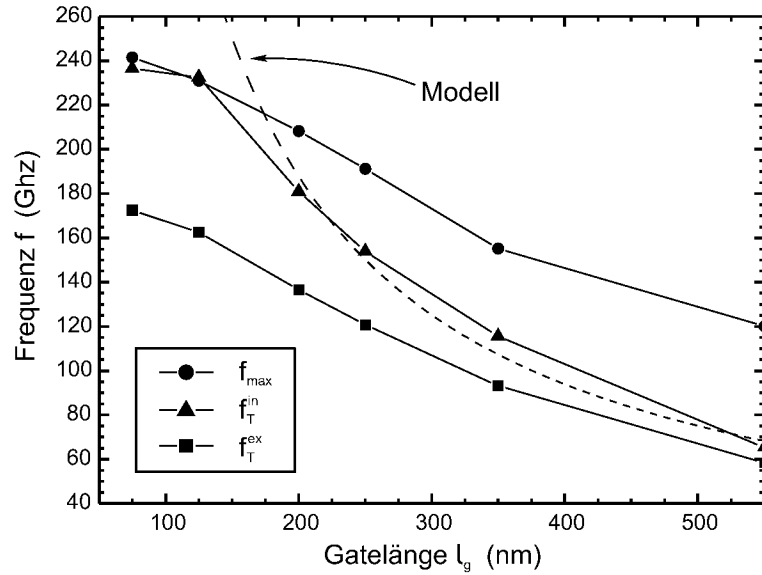


Abbildung 4.42: Transitfrequenzen bei verschiedenen Gatelängen, Probe 15018

Mit der T-Gate-Technologie wurden auf den Schichtsystemen 15018–15019 deutlich höhere Grenzfrequenzen erzielt. Abbildung 4.42 fasst Transitfrequenzen nach Gleichung 2.47 für verschiedene Gatelängen zusammen, die gut mit den extrapolierten Werten übereinstimmen. Bei der kürzesten Gatelänge ist ein Sättigungseffekt erkennbar. Für Gatelängen ab 200 nm wurde an die intrinsische Transitfrequenz der theoretische Verlauf

$$f_T = \frac{v_{eff}}{2\pi l_g} \quad (4.10)$$

angepasst; man erhält die effektive Geschwindigkeit $v_{eff} = (2.3 \pm 0.2) \cdot 10^5 \frac{\text{m}}{\text{s}}$. Von der Gatelänge 550 nm herab bis zu 200 nm steigt der Kapazitätsbelag $\frac{C_{GS}+C_{GD}}{w_g \cdot l_g}$ nur schwach von $4.5 \frac{\text{mF}}{\text{m}}$ auf $4.8 \frac{\text{mF}}{\text{m}}$, erreicht jedoch bei 75 nm ca. $9 \frac{\text{mF}}{\text{m}}$. Dies ist ein Indiz dafür, dass Randkapazitäten die Transitfrequenz begrenzen. C_{GD} bleibt allerdings konstant bei 15 fF. Die HF-Steilheit steigt von $1.02 \frac{\text{S}}{\text{mm}}$ bei 550 nm auf $1.26 \frac{\text{S}}{\text{mm}}$ bei 125 nm, fällt jedoch bei 75 nm wieder zurück auf $0.97 \frac{\text{S}}{\text{mm}}$. Der Gatewiderstand bleibt auf Grund des breiten Gatekopfes wie erwartet stabil bei 5Ω .

Abbildung 4.43 zeigt die Arbeitspunktabhängigkeit der extrapolierten Transitfrequenz. Interessanterweise bleibt ihr Maximalwert bei gewählter Drainspannung fest

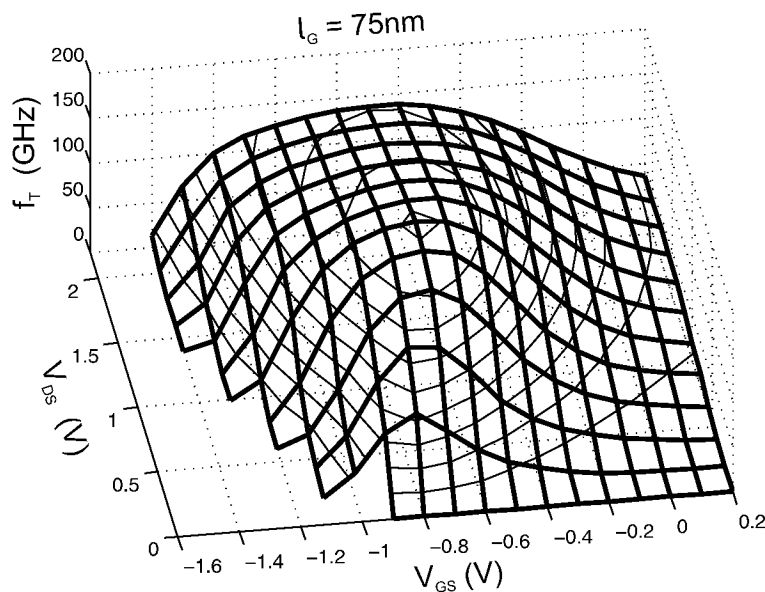


Abbildung 4.43: Arbeitspunktabhängigkeit der Transitfrequenz für einen $75\text{ nm} \times 100\text{ }\mu\text{m}$ -Transistor. Höhenlinien im Abstand von 20 GHz

bei einer Gatespannung von -0.75 V , während im Gegensatz dazu die extrinsische Steilheit starke Kurzkanaleffekte zeigt (Abbildung 4.44). Bei der Generation von Löchern im Zuge der Stoßionisation und dem anschließenden Transfer der Löcher in den Bereich zwischen Source und Drain handelt es sich also um einen Prozess, der so langsam ist, dass er sich im Hochfrequenzverhalten nicht bemerkbar macht. Darüber hinaus wirkt sich nicht einmal die bei Kurzkanaltransistoren auch ohne Stoßionisation erwartete Verschiebung der Einsatzspannung zu niedrigeren Werten bei hohen Drain-Spannungen in einer Verschiebung des Gatestromwertes aus, bei dem die maximale Transitfrequenz erreicht wird. Lediglich die Verbreiterung des Bereiches höherer Grenzfrequenzen ist auf der Seite tieferer Gatespannungen größer.

Zum Vergleich der Hochfrequenzeigenschaften bei Raum- und Stickstofftemperatur werden Messungen mit dem Wiltron Model 360B Network Analyzer herangezogen, die innerhalb desselben Messaufbaus durchgeführt wurden. Die Abbildungen 4.45 und 4.46 zeigen die frequenzabhängigen Verstärkungsgrößen. Die Transitfrequenz steigt nach Temperaturabsenkung von 180 GHz auf 210 GHz , die aus den Ersatzschaltbildparametern berechnete (hypothetische) maximale Schwingfrequenz von 300 GHz auf 390 GHz . Es ist zu beachten, dass in diesem Fall die Arbeitspunkte der beiden Messungen *nicht* übereinstimmen. Die höchste Transitfrequenz wird bei den Tieftemperaturmessungen, die auf einem 0.25 V -Arbeitspunktraster stattfinden, bereits bei einer Drainspannung von 0.5 V erreicht. Offensichtlich ist hier der Effekt

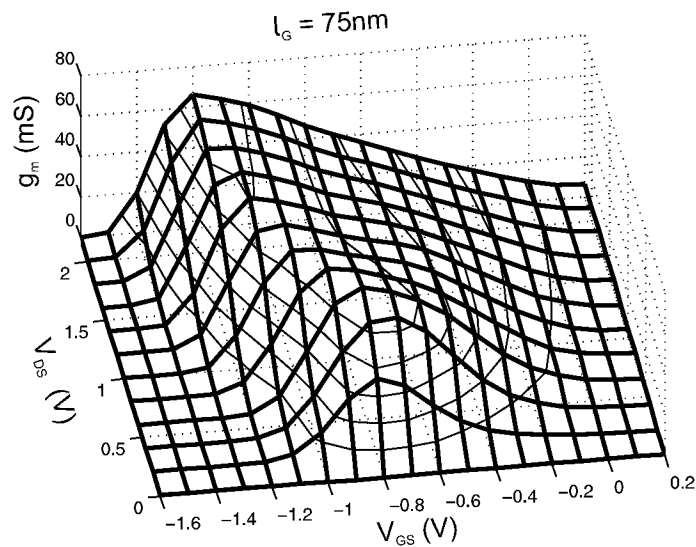


Abbildung 4.44: Arbeitspunktabhängigkeit der Gleichstromsteilheit desselben Transistors. Höhenlinien im Abstand von 10 mS

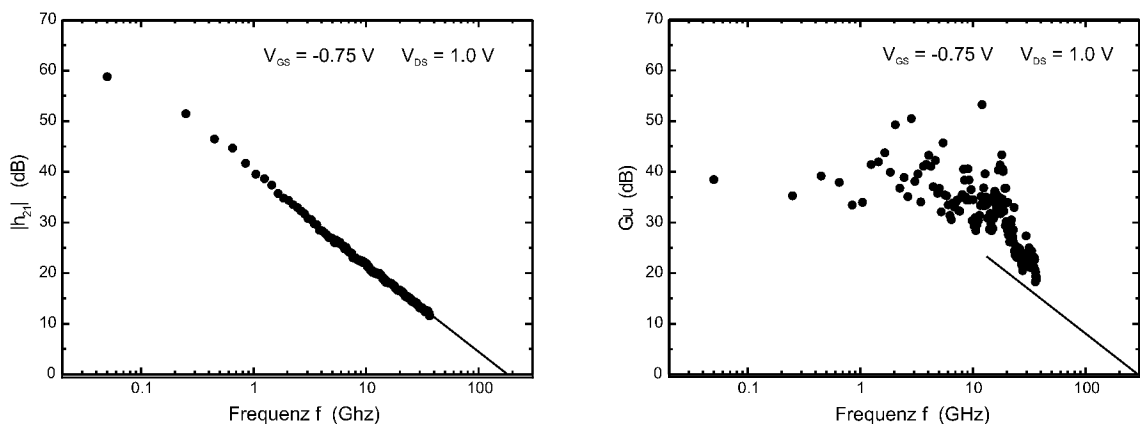


Abbildung 4.45: Kurzschluss-Stromverstärkung und unilaterale Leistungsverstärkung des $75 \text{ nm} \times 100 \text{ μm}$ -Transistors bei 300 K. $V_{GS} = -0.75 \text{ V}$, $V_{DS} = 1.0 \text{ V}$

des absinkenden Drainstroms nicht auf das Gleichstromverhalten beschränkt. Die Messungen wurden ausschließlich bei Licht durchgeführt, um die Lage der Probe kontrollieren und gegebenenfalls in geringem Maße korrigieren zu können.

Die intrinsischen Ersatzschaltbildparameter sind sich bei beiden Messungen sehr ähnlich, der Anstieg der Transitfrequenz gründet hauptsächlich in den geringeren parasitären Widerständen. Das Absinken des Gatewiderstands von 4.2Ω auf 1.0Ω ist wieder für den Anstieg der maximalen Schwingfrequenz verantwortlich. Abbildung

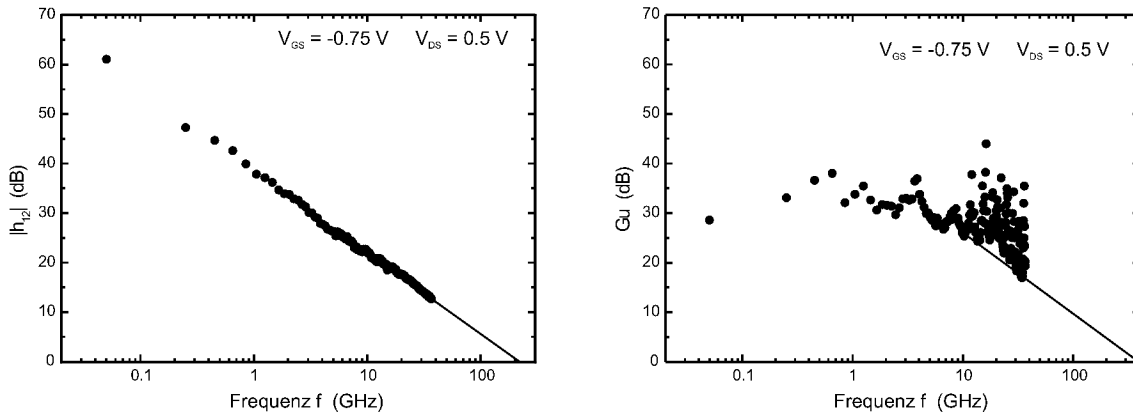


Abbildung 4.46: Kurzschluss-Stromverstärkung und unilaterale Leistungsverstärkung des $75 \text{ nm} \times 100 \text{ } \mu\text{m}$ -Transistors bei 77 K. $V_{GS} = -0.75 \text{ V}$, $V_{DS} = 0.5 \text{ V}$

4.47 zeigt die Entwicklung der S-Parameter mit der Frequenz für beide Temperaturen sowie den aus den angepassten S-Parametern bestimmten Verlauf. Vergleicht man dagegen mit dem Raumtemperaturwert bei $V_{DS} = 0.5$, sind die Unterschiede deutlicher. f_T und f_{max} liegen an diesem Arbeitspunkt beide bei 160 GHz.

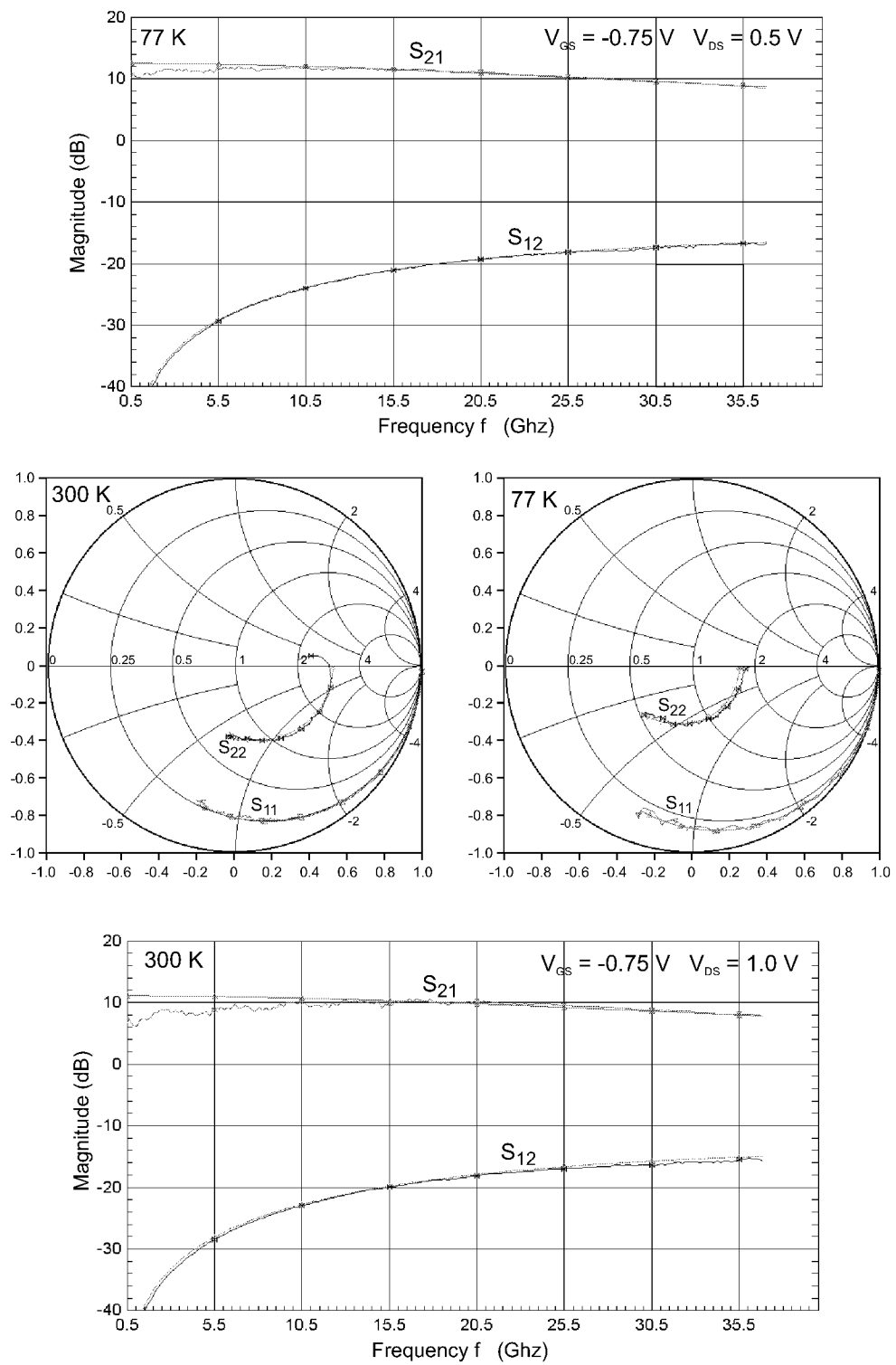


Abbildung 4.47: Gemessene und modellierte S-Parameter bei 77 K und 300 K

Kapitel 5

Zusammenfassung

In der vorliegenden Arbeit wurden pseudomorphe InAlAs/InGaAs/InP High Electron Mobility Transistoren untersucht, die auf am Institut gewachsenen MBE-Schichten hergestellt wurden.

Dieser Transistortyp hat bereits hervorragende Hochfrequenz- und Rauscheigenschaften im Vergleich zu anderen Feldeffekt-Transistoren demonstriert, gleichwohl sind einige limitierende Effekte, wie Stoßionisation, schlechte Durchbrucheigenschaften, die die Leistungsaufnahme begrenzen, und Kink-Effekte Gegenstand der aktuellen Forschung. Derartige Effekte wurden im Rahmen dieser Arbeit zusätzlich in ihrer Abhängigkeit von der Temperatur untersucht, um das Verständnis für ihre Ursachen zu erhöhen und Hinweise für die Anwendbarkeit der Transistoren im Tieftemperaturbereich zu geben.

Technologie

Aus technologischer Sicht ist für die Gewährleistung guter Transistoreigenschaften zunächst die Herstellung von Kontakten, die in allen Temperaturbereichen niederohmiges Verhalten zeigen, von großer Bedeutung. Bei den zuerst verwendeten, eingehend untersuchten Kontaktmetallisierungen wurde ein deutlicher positiver Temperaturkoeffizient des Kontaktwiderstands trotz ohmschen Verhaltens der Kontakte festgestellt. Ein solcher Temperaturkoeffizient ist theoretisch nicht zu erwarten und deutet auf Probleme bei der Formierung der ohmschen Kontakte hin. Dagegen wiesen Kontakte, die in einer zweiten, zu einem späteren Zeitpunkt zur Verfügung stehenden Depositionsanlage aufgebracht wurden, durchweg geringere, mit guten Literaturwerten vergleichbare Widerstände von etwa $0.15 \Omega\text{mm}$ auf, die nur eine sehr geringe Temperaturabhängigkeit zeigten. Als optimaler Prozessparameter wurde die Einlegiertemperatur zu 310°C bei einer Einlegierdauer von 75 s bestimmt.

Eine weitere parasitäre Größe, die sich besonders auf die erreichbare maximale Schwingfrequenz auswirkt, ist der Gatewiderstand. Bei einfachen Gates mit einem trapezförmigen Querschnitt würde er bei Verkürzung der Gatelänge weit unter 500 nm zwangsläufig sehr hohe Werte annehmen. Transitfrequenzen von modernen HEMTs im dreistelligen Gigahertz-Bereich werden jedoch nur mit kurzen Kanallängen ermöglicht. Um solche Längen ohne den Nachteil zu hoher Gatewiderstände zu realisieren, werden Gates mit einem T-förmigen Querschnitt benutzt.

Zwei unterschiedliche Verfahren zur Herstellung von T-Gates mittels Elektronenstrahlolithographie wurden untersucht und bewertet. Das erste beruht auf der Verwendung dreier PMMA-Lackschichten mit unterschiedlicher Empfindlichkeit, die in einem Lithographieschritt verschiedenen Elektronendosen ausgesetzt werden. In der unteren, am wenigsten empfindlichen PMMA-Schicht wird dabei anschließend nur die kurze, den Gatefuß definierende Öffnung herausentwickelt. Auf diese Weise konnten Gates von 200 nm Länge hergestellt werden.

Bei der zweiten Gatetechnologie wird verdünnter UV6-Lack mittels Elektronenstrahlolithographie strukturiert, um die schmale Gatefußlinie in einem Trockenätzschritt (RIE) in eine Si_3N_4 -Schicht zu übertragen. Diese Schicht tritt an die Stelle der unteren Lackschicht des zuerst beschriebenen Prozesses; sie trägt den Gatekopf, der in einem separaten Lithographieschritt definiert wird. Diese separate Lackstrukturierung wurde ebenfalls mit Elektronenlithographie durchgeführt, kann in einem automatisierten Prozess jedoch grundsätzlich auch durch optische Lithographie erfolgen.

Es wurde eine hohe Widerstandsfähigkeit des Lacks unter den gewählten Ätzbedingungen festgestellt, wie senkrechte und scharf definierte Ätzprofile im Siliziumnitrid belegen. Die Strukturierung des Lacks erweist sich als sehr maßhaltig, d. h. verschiedene Gatelängen und Strukturen werden mit hoher Präzision übertragen. Die Abweichungen liegen im Bereich von etwa 5 nm, also nicht weit über der Auswertegenauigkeit der REM-Aufnahmen. Es konnten so Gatelängen von etwa 75 nm erreicht werden.

Aufgrund der Resultate und der besseren Beherrschbarkeit der Prozessparameter wurde der zweiten Methode der Vorzug gegeben. Die zum Großteil auf der Nitridschicht ruhenden Gates bieten zudem eine höhere Stabilität gegenüber mechanischer Beanspruchung, die z. B. aus thermischer Verspannung herrühren kann. Der Prozess erlaubt außerdem eine gezielte Verbreiterung des Gatefußes in bestimmten Abständen bei sehr kurzen Gatelängen. Diese Stabilisationspunkte sollen auch nach einer Entfernung der Nitridschicht die Robustheit der Gatefinger gewährleisten.

Mit der Kombination UV6/ Si_3N_4 wurde folglich eine zuverlässige Gate-Technologie eingeführt, die sich prinzipiell auf andere Bauelemente übertragen lässt.

Elektrische Eigenschaften

An den hergestellten Transistoren wurden extrinsische Gleichstromsteilheiten von etwa $600 \frac{\text{mS}}{\text{mm}}$ gemessen, was bei den ermittelten Zuleitungswiderständen intrinsischen Steilheiten von $800 \frac{\text{mS}}{\text{mm}}$ entspricht. Die Tatsache, dass die extrinsischen Steilheiten im Bereich moderater Drainspannungen ($V_{DS} < 1 \text{ V}$) durch Verkürzung der Gatelänge von ca. $0.5 \mu\text{m}$ auf unter 100 nm nur um etwa 5 % steigen, spricht für eine vorliegende Sättigung der Ladungsträrgeschwindigkeiten im Kanal. Die deutlichere Zunahme der Steilheit bei höheren Drainspannungen ist daher lediglich auf Hochfeldeffekte wie Stoßionisation zurückzuführen. Beim Übergang zu extrem kurzen Kanallängen (75 nm) kann die Ausbildung von Kurzkanaleffekten im Ausgangskennlinienfeld verfolgt werden.

Die Zahl der durch Stoßionisation bei hohen Feldstärken im Kanal erzeugten Löcher wird über den von ihnen erzeugten Gatestromüberschuss bei verschiedenen Gatelängen verglichen. Der Gatestromüberschuss kann bei im Vergleich zu Literaturwerten insgesamt niedrigen Gateströmen sehr gut identifiziert werden und nimmt deutlich bis zu den kürzesten Gatelängen von 75 nm zu. Die Beobachtung übereinstimmender Einsatzgebiete und Ausprägungen von Stoßionisation und Kink-Effekt untermauert den Zusammenhang der beiden Erscheinungen.

Beim Übergang zu tiefen Temperaturen zeigten sich einige interessante Effekte mit unterschiedlicher Stärke bei verschiedenen Proben. Zunächst konnte die Temperaturabhängigkeit der gemessenen maximalen Steilheit anhand eines einfachen Modells, das den Temperaturverlauf des Sourcewiderstands berücksichtigt, in der richtigen Größenordnung nachgebildet werden. Dabei erhöht sich der maximale Drainstrom mit Werten um $500 \frac{\text{mA}}{\text{mm}}$ auch bei größeren Tieftemperatursteilheiten nicht, was wie die Erhöhung der Einsatzspannung auf ein Ausfrieren eines Teils der Ladungsträger hindeutet.

Die Verschiebung der Einsatzspannung zwischen Raum- und Stickstofftemperatur liegt bei den untersuchten Proben zwischen 0.1 V und 0.4 V . Bei den Proben mit starker Verschiebung der Einsatzspannung wird bei 77 K ein ungewöhnlicher negativer Ausgangsleitwert in einem Bereich mittlerer Drainspannungen beobachtet. Hysteresee Untersuchungen sowie licht- und pulsabhängige Messungen legen ein Zusammenspiel von Ladungsträgerdeconfinement und Trapzuständen als Ursache nahe.

Stoßionisation und gewöhnlicher Kink-Effekt zeigen sich bei tiefen Temperaturen in deutlich schärfer definierten Bereichen. Bei niedrigen Gatespannungen konnte ein Zusammenhang der Effekte mit dem temperatur- und lichtabhängigen Unterschwellenverhalten des Transistors aufgezeigt werden. Ein Zusammenhang dieser beiden Erscheinungen mit dem negativen Ausgangsleitwert besteht nach den vorliegenden Untersuchungen nicht.

In Einklang mit den niedrigen Gateströmen stehen für den untersuchten HEMT-Typ sehr gute Werte für die Off-State-Durchbruchspannung zwischen Gate und Drain von über 8 V. Bei den Transistoren wurde bei der Cap-Dotierung ein Abstand von 3 nm zum Barrierenmaterial eingefügt.

Unter dem Gesichtspunkt des Hochfrequenzverhaltens wirkt sich vor allem die Verwendung der T-Gate-Technologie positiv auf die erreichten maximalen Schwingfrequenzen aus. Ohne T-Gate wird bei einer Gatelänge von etwa 300 nm der Wert $f_{max} = 130$ GHz erreicht, der bei vergleichbaren T-Gate-Transistoren bei 180 GHz liegt. Zudem können erst mit den Kurzkanaltransistoren Transitfrequenzen von 180 GHz erreicht werden.

Die Kurzkanaleffekte, die die Steilheit bei einigen Arbeitspunkten überhöhen, wirken sich auf das Hochfrequenzverhalten weder bei Raum- noch bei Stickstofftemperatur aus. Allerdings zeigt sich bei 77 K die Verschiebung des Arbeitspunktes mit maximaler Transitfrequenz zu niedrigeren Drainspannungen heraus aus dem Bereich des abgesenkten Drainstroms. Die Maximalwerte bei beiden Temperaturen sind für die vom negativen Ausgangsleitwert betroffenen HEMTs daher nicht direkt vergleichbar. Sie betragen bei 77 K 210 GHz sowie bei 300 K 180 GHz. Die ermittelten maximalen Schwingfrequenzen steigen vor allem auf Grund der Reduzierung des Gatewiderstandes auf ungefähr ein Viertel seines Raumtemperaturwertes, jedoch sind die ermittelten Werte von weit über 300 GHz aus messtechnischen Gründen unsicher.

Insgesamt lässt sich feststellen, dass die Eigenschaften der Transistoren bei tiefen Temperaturen gleichermaßen von verbesserten intrinsischen wie parasitären Eigenschaften profitieren. Die untersuchten aktuellen InAlAs/InGaAs-HEMTs bilden mit ihren Kenndaten einen guten Mittelweg zwischen den auf verschiedene Aspekte wie hohe Stromdichten, höchste Grenzfrequenzen oder bestes Durchbruchverhalten spezialisierten Vertretern. Die für Anwendungen limitierenden Effekte, die bereits aus dem Raumtemperaturverhalten bekannt sind, wurden im Hinblick auf ihre Temperaturabhängigkeit zusammenfassend untersucht. Insbesondere bei kurzen Kanallängen ist diesbezüglich eher eine Verschärfung zu erwarten. Hinzu kamen bei einigen Proben Effekte, die aus dem Raumtemperaturverhalten nicht zu erwarten waren. Eine genauere Analyse der gewachsenen Schichten und weitergehende elektrische Messungen stehen hier noch aus.

Hinsichtlich einer weiteren Optimierung des HEMT-Layouts bestehen wie beschrieben noch Möglichkeiten. Für Gatelängen im Bereich von unter 100 nm, wie sie mit dem neuen T-Gate-Prozess erreicht wurden, sollte das Schichtsystem erneut angepasst werden. Bezüglich des Sperrverhaltens des Gates besteht hier noch Spielraum zu einer weiteren Verringerung des Gate-Kanal-Abstands. Das Potential des UV6-Lacks ist noch nicht zwangsläufig völlig ausgeschöpft. Die Unempfindlichkeit

gegenüber dem gewählten RIE-Plasma sollte in Versuchen mit weiter verdünnten Lackschichten zu noch kürzeren Gatelängen oder breiteren Prozessfenstern verhelfen können.

Anhang A

MBE–Schichten

Die Schichten werden bei $(560 - 575)^\circ\text{C}$ auf rotierenden Wafern epitaxiiert. Die Rotationsgeschwindigkeit betragt 25 U/min , beim pseudomorphen Kanal sind es 35 U/min . Silizium–Dotierungen werden in Konzentrationen von etwa $3 \cdot 10^{18}\text{ cm}^{-3}$ („ n^- “), $5 \cdot 10^{18}\text{ cm}^{-3}$ („ n^+ “), $7 \cdot 10^{18}\text{ cm}^{-3}$ („ n^{++} “) sowie als δ –Dotierung mit der Flachenkonzentration $3.88 \cdot 10^{12}\text{ cm}^{-2}$ eingesetzt.

Tabelle A.1 zeigt den Grundaufbau der verwendeten HEMT–Schichtsysteme. Unverandert bleiben bei den untersuchten HEMTs neben der Bufferschicht die Dicke des pseudomorphen Kanals (8 nm) und der Spacerschicht (5 nm) sowie die Versorgungsdotierung. In Tabelle A.2 sind nur die veranderten Schichtparameter den Epitaxienummern zugeordnet. Nicht–verarmte Cap–Schichten wurden vor den Hall–Messungen entfernt (Ausnahme: mit $\dagger$ gekennzeichnete Werte).

Tabelle A.1:
Grundaufbau des HEMT–Schichtsystems

Bezeichnung	Material
Cap	$\text{In}_{53.3}\text{Ga}_{46.7}\text{As}$
Barriere	$\text{Al}_{48.1}\text{Ga}_{51.9}\text{As}$
Versorgung	$n\text{--Al}_{48.1}\text{Ga}_{51.9}\text{As}$ δ –Dotierung $n\text{--Al}_{48.1}\text{Ga}_{51.9}\text{As}$
Spacer	$\text{Al}_{48.1}\text{Ga}_{51.9}\text{As}$
Kanal	$\text{In}_{75.5}\text{Ga}_{24.5}\text{As}$
Subkanal	$\text{In}_{53.3}\text{Ga}_{46.7}\text{As}$
Buffer	$\text{Al}_{48.1}\text{Ga}_{51.9}\text{As}$
Substrat	InP (s.i.)

Probennummer	Cap	Barriere	Subkanal (nm)	$\mu_{300\text{ K}}$ ($\frac{\text{cm}^2}{\text{Vs}}$)	$n_{300\text{ K}}$ (10^{12} cm^{-2})	$\mu_{77\text{ K}}$ ($\frac{\text{cm}^2}{\text{Vs}}$)	$n_{77\text{ K}}$ (10^{12} cm^{-2})
13046	10 nm n^+ mit δ -Dot.	30 nm InAlAs	7 nm	10400	1.15		
13086	10 nm n^+ mit δ -Dot.	30 nm InAlAs	7 nm	12200	3.49	57000	3.25
13087	10 nm n^+ mit δ -Dot.	30 nm InAlAs	7 nm	11500	3.15	63800	2.80
13100	10 nm n^+ mit δ -Dot.	30 nm InAlAs	7 nm	12700	2.48		
13125	10 nm n^+ mit δ -Dot.	30 nm InAlAs	7 nm	11500	2.88		
13143	10 nm n^+	30 nm InAlAs	7 nm	13800	2.46	71200	2.36
13152	10 nm n^+	30 nm InAlAs	7 nm	8000	2.40	23900	2.40
13153	10 nm n^+ mit δ -Dot.	30 nm InAlAs	7 nm	12700	2.71		
13172	50 nm n^{++}	30 nm InAlAs	7 nm	6400 [†] 13200	16.50 [†] 2.60	73900	2.36
13192	50 nm n^{++}	30 nm InAlAs	7 nm	11000	2.76		
13193	50 nm n^{++}	25 nm InAlAs 2.5 nm AlAs 2.5 nm InAlAs	7 nm	11100	3.10		
15018	12 nm n^+ 3 nm undot.	21 nm InAlAs	7 nm	10500	3.20	40300	2.72
15019	12 nm n^+ 3 nm undot.	21 nm InAlAs	27 nm	11800	3.12	56600	2.72
15020	12 nm n^+ 3 nm undot.	21 nm InAlAs	47 nm	12300	3.19	66400	2.76
15021	12 nm n^+ 3 nm undot.	21 nm InAlAs	67 nm	12100	3.34	71000	2.79

Tabelle A.2: Epitaxien

Anhang B

Prozessfolge

Die Technologie der in dieser Arbeit hergestellten HEMTs ist hier in Stichpunkten dargestellt. Abbildung B.1 zeigt eine REM Aufnahme eines kompletten HEMT mit T-Gate in der Aufsicht.

Vor den aufgeführten Prozessschritten wird eine 80 nm hohe Si_3N_4 -Schicht mittels PECVD deponiert, wenn die ab Seite 35 beschriebenen UV6-T-Gates hergestellt werden sollen. Die in diesem Fall notwendigen zusätzlichen Schritte sind mit $\circ$ gekennzeichnet. Die genauen Ätzzeiten des Nitrids beim reaktiven Ionenätzen können am besten mit Hilfe eines Teststücks ermittelt werden, das gemeinsam mit den HEMT-Proben bei der PECVD beschichtet wird. An diesem Teststück kann die Schichtabtragung beim reaktiven Ionenätzen mittels Interferometrie verfolgt werden, was mit den HEMT-Proben wegen der kleinen Dimensionen der Strukturen nicht möglich ist.

Einige Vorgänge werden bei wiederholter Durchführung nur noch in einer verkürzten Form angeführt.

Mesa

- Waferreinigung in Aceton, Spülen in Isopropanol
- $\circ$ Haftvermittler HMDS aufschleudern mit 4000 U/min, Trocknen auf Hotplate 60 s bei 90 °C
- Belacken mit AZ 5214 bei 4000 U/min, Prebake („Vorbacken“) 5 min bei 90 °C
- Randentlackung: 60 s Belichtung, 15 s Entwicklung mit AZ 400K:H₂O 1:4, Spülen in DI-Wasser

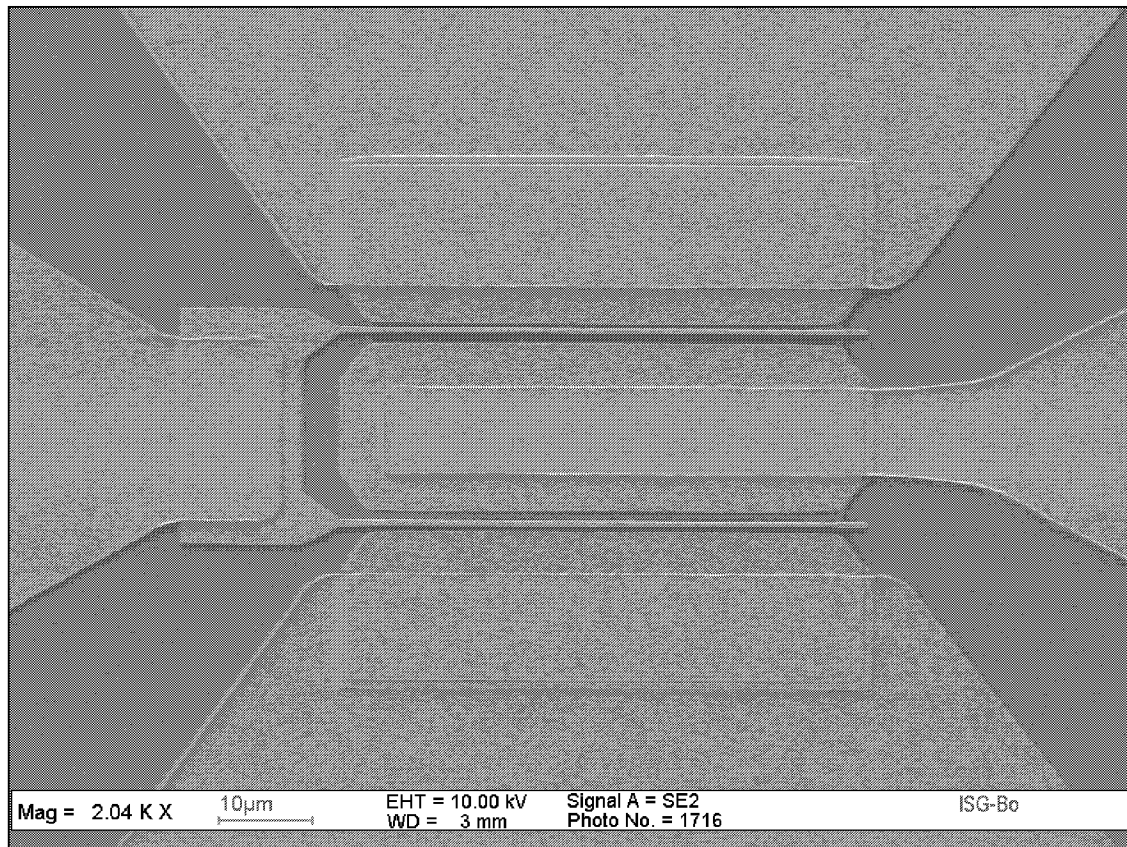


Abbildung B.1: REM-Aufnahme eines kompletten HEMT. Aufbau wie in Abbildung 3.1 auf Seite 29

- Mesa-Lithographie: 5.9 s Belichtung, ≈ 45 s Entwicklung mit AZ 400K (optische Kontrolle); Stoppen und Spülen in DI-Wasser
- Lackhärtung auf Hotplate, 10 min bei 120°C
- 30 s O_2 -Plasma im Barrelreaktor (mit Faraday-Käfig) zur Entfernung von Lackschleiern
- Dip in Ätzlösung AF 91-9 zum Entfernen des Si_3N_4 , ca. 5 s; Spülen in DI-Wasser
- Mesa-Ätzung in $\text{H}_2\text{O}:\text{H}_2\text{O}_2:\text{H}_3\text{PO}_4$ 40:1:1 für ca. 150 s, Ätzzeit abhängig von der Dicke der Epitaxie, Ätzrate etwa $100 \frac{\text{nm}}{\text{min}}$; Spülen in DI-Wasser
- Kanal-Rückätzung in Ammoniak-gepufferter Bernsteinsäure-Lösung mit pH 5.5, „ $\text{C}_4\text{H}_6\text{O}_4$ “: H_2O_2 6:1 für 45 s, Ätzrate etwa $60 \frac{\text{nm}}{\text{min}}$; Spülen in DI-Wasser
- Lack entfernen in Aceton, Spülen in Isopropanol

ohmsche Kontakte		Gate	Pads
Version A	Version B		
90 nm AuGe	2.5 nm Ni	50 nm Ti	50 nm Ti
25 nm Ni	40 nm Ge	25 nm Pt	350 nm Au
50 nm Au	80 nm Au	350 nm Au	
	25 nm Ni		
	50 nm Au		

Tabelle B.1: Zusammenstellung von verschiedenen benutzten Metallisierungen. Die eutektische Zusammensetzung der Gold–Germanium–Legierung der ohmschen Kontakte (Version A) ist 88:12 (Gew.–)%, was dem Verhältnis der Gold– und Germanium–Schichtdicken in Version B entspricht

Ohmsche Kontakte

- Waferreinigung in Aceton, Spülen in Isopropanol
- Haftvermittler HMDS aufschleudern
- Belacken mit AZ 5214, Prebake
- Randentlackung
- Kontakt–Lithographie: 6.1 s Belichtung
- Lackhärtung an der Oberfläche in Chlorbenzol für 10 min, $\text{C}_6\text{H}_5\text{Cl}$ anschließend abblasen
- Entwicklung mit AZ 400K: H_2O 1:4 $\approx$ 60 s (optische Kontrolle); Spülen in DI–Wasser
- Entfernung von Lackschleiern mittels RIE: 20 s O_2 –Plasma
- Dip in AF 91–9
- Deposition des Metallschichtsystems für die ohmschen Kontakte, siehe Tabelle B.1
- Lift–off in Aceton, Spülen in Isopropanol

Gates

- Waferreinigung in Aceton, Spülen in Isopropanol
- Haftvermittler HMDS aufschleudern
- Belacken mit UV6.02 bei 4000 U/min (Lackdicke etwa 200 nm bei dieser Verdünnung und Drehzahl), Prebake 60 s bei 130 °C
- Elektronenstrahlolithographie der Gatefuß-Maske, Dosis aktuell $152 \frac{\mu\text{C}}{\text{cm}^2}$
- (ohne Zeitverzug!) Post Exposure Bake („Nachbacken“) 90 s bei 130 °C
- 45 s Entwicklung mit MF84-MX; Stoppen und Spülen in DI-Wasser
- Gatefuß-RIE. Genaue Nitrid-Ätzzeiten werden mit einer Testprobe bestimmt (s. o.); der Anteil vor und nach der Strukturaufweitung (siehe Abschnitt 3.3.2 auf Seite 33) kann noch optimiert werden.
 - Entfernung von Lackresten: 6 s O₂
 - Vorätzen des Si₃N₄: 100 s CHF₃, Ätzrate ca. $30 \frac{\text{nm}}{\text{min}}$
 - Linienaufweitung 15 s O₂
 - Durchätzen des Si₃N₄: 60 s CHF₃
 - Lackentfernung mit O₂-Plasma, Kontrolle mit Interferometer
- Waferreinigung in Aceton, Spülen in Isopropanol
- Belacken mit 600K/200K/600K-PMMA-System bei 6000 U/min, Prebake nach jeder Belackung jeweils 5 min bei 175 °C. Sicherstellung einer sauberen Probenrückseite
- Elektronenstrahlolithographie der Gate- bzw. Gatekopf-Maske, Dosis $180 \frac{\mu\text{C}}{\text{cm}^2}$
- 100 s Entwicklung mit AR 600-55; Stoppen und Spülen in Isopropanol
- 30 s O₂-Plasma im Barrelreaktor
- Gate-Recess in „C₄H₆O₄“:H₂O₂ 6:1 für 150 s; Spülen in DI-Wasser
- (ohne Zeitverzug!) Deposition des Metallschichtsystems des Gates, siehe Tabelle B.1
- Lift-off in Aceton, Spülen in Isopropanol

Pads

- Waferreinigung in Aceton, Spülen in Isopropanol
- Belacken mit AZ 5214, Prebake
- Randentlackung
- Pad-Lithographie: 6.1 s Belichtung
- Lackhärtung in Chlorbenzol
- Entwicklung mit AZ 400K:H₂O 1:4 $\approx$ 60 s (optische Kontrolle); Spülen in DI-Wasser
- 30 s O₂-Plasma im Barrelreaktor
- Deposition des Metallschichtsystems für die Pads, siehe Tabelle B.1
- Lift-off in Aceton, Spülen in Isopropanol

Abbildungsverzeichnis

2.1	Aufbau eines High Electron Mobility Transistors	6
2.2	HEMT-Schichtaufbau, Potentialverlauf und Elektronenkonzentration	7
2.3	Berechnete Leitungsbandkante und lokale Besetzungsdichte ρ im Quantentopf des HEMT-Kanals	8
2.4	Gitterkonstante gegen Bandlücke für verschiedene Halbleiterverbindungen	10
2.5	Potentialverlauf im Kanal für verschiedene Gatespannungen	12
2.6	Flächenladungsträgerdichte im Kanal	13
2.7	Ortsabhängige Ladungsträgergeschwindigkeit im Kanal	13
2.8	Ausgangskennlinienfeld im Shockley-Modell	14
2.9	Temperaturabhängigkeit der Beweglichkeit	15
2.10	Elektronengeschwindigkeit in InGaAs	17
2.11	Abhängigkeit der 2DEG-Konzentration von der Gatespannung	19
2.12	Ausgangskennlinienfeld mit Geschwindigkeitssättigung und Ladungsträgerbegrenzung	20
2.13	Vergleich von Ausgangskennlinienfeldern mit verschiedener Nullfeldbeweglichkeit	20
2.14	Vergleich zwischen extrinsischem und intrinsischem Kennlinienfeld . .	21
2.15	Ersatzschaltbild für ein verlustloses, differentiell kurzes Leitungsstück	23
2.16	Transistor in Source-Schaltung; S-Parameter	24
2.17	FET-Kleinsignal-Ersatzschaltbild	26
2.18	HEMT-Aufbau und Verknüpfung mit Ersatzschaltbildelementen . . .	27
3.1	Transistorlayout	29

3.2	Aufnahme einer Mesa-Struktur mit erkennbarer Kanalrückätzung . .	30
3.3	Negative Lackflanken durch Behandlung mit Toluol und Chlorbenzol	31
3.4	Skizze zur Elektronenstrahlolithographie im Dreilagenlack	33
3.5	T-Gate-Herstellung mit PMMA-Lacksystem	34
3.6	T-Gate-Herstellung mit UV6-Lack	36
3.7	Stabilisationspunkte für T-Gates	37
3.8	Maßhaltigkeit des UV6-Lackes	38
3.9	T-Gate mit Fußlänge $l_g = 70$ nm und Kopfbreite $l_k = 550$ nm	39
4.1	Ergebnisse von temperaturabhängigen Hall-Messungen an der Probe Nr. 13086	42
4.2	Transmission Line Model	43
4.3	Einlegierreihe mit Probe Nr. 13143	46
4.4	Gemessenes RBS-Spektrum des Schichtsystems der Kontaktmetall- sierung und Vergleich mit verschiedenen Simulationen	47
4.5	Temperaturabhängigkeit von Schichtwiderstand und Kontaktendwi- derstand für Kontakt-Metallsystem A auf Probe 13087	48
4.6	Einlegierreihe mit Kontakt-Metallsystem B auf Probe Nr. 15018 . . .	49
4.7	Mit Metall-Schichtsystem B erzielte Kontaktendwiderstände auf ver- schiedenen Proben	49
4.8	Temperaturabhängigkeit von Schichtwiderstand und Kontaktendwi- derstand für Kontakt-Metallsystem B auf Probe 15021	50
4.9	Gatewiderstand in Abhängigkeit der Temperatur für verschiedene T- Gate-Kopflängen	51
4.10	Ausgangskennlinienfeld eines Transistors (13087) bei Raum- und Stickstofftemperatur	52
4.11	Gatestrom des Transistors aus Abbildung 4.10 (13087)	53
4.12	Transferkennlinienfeld des Transistors aus Abbildung 4.10 (13087) . .	54
4.13	Steilheit des Transistors aus Abbildung 4.10 (13087)	54
4.14	Ausgangskennlinie bei verschiedenen Temperaturen. $l_g = 330$ nm, $w_g = 100$ μ m	55
4.15	Transferkennlinienfeld und Steilheit des 330 nm $\times$ 100 μ m-Transistors für verschiedene Temperaturen	56

4.16	Steilheit für verschiedene Temperaturen, Messung und Modell	57
4.17	Ausgangskennlinienfeld (Probe 15018) bei verschiedenen Gatelängen. $w_g = 100 \mu\text{m}$	58
4.18	Vergleich der Steilheiten für verschiedene Gatelängen. Probe 15018, $w_g = 100 \mu\text{m}$	59
4.19	Gemessene und modellierte Ausgangsleitwerte bei 0 V Drainspannung für verschiedene Gatelängen. Eigener Parametersatz für jede Gatelänge	60
4.20	Gemessene und modellierte Ausgangsleitwerte bei 0 V Drainspannung für verschiedene Gatelängen. Gemeinsamer Parametersatz für die La- dungssteuerung	61
4.21	Ausgangskennlinienfeld von HEMTs verschiedener Gatelängen (Pro- be 15018) bei 77 K unter Licht, $w_g = 100 \mu\text{m}$	62
4.22	Gemessene und modellierte 0 V-Ausgangsleitwerte bei 77 K und un- terschiedlicher Beleuchtung	64
4.23	Transferkennlinienfeld und Verschiebung der Einsatzspannung mit der Temperatur. Probe 15018, $550 \text{ nm} \times 100 \mu\text{m}$	65
4.24	Vergleich der Ausgangskennlinien bei gleichem Gatespannungshub V_G . Probe 15018, $550 \text{ nm} \times 100 \mu\text{m}$	65
4.25	Basispunktabhängigkeit des Gatestroms für verschiedene Gatelängen	66
4.26	Gatestrom in Abhängigkeit der Gatespannung bei hoher Drainspan- nung bei 300 K für verschiedene Gatelängen	67
4.27	Gatestrom in Abhängigkeit der Drainspannung unter der Gatespan- nung, bei der maximale Stoßionisation erreicht wird. $T = 300 \text{ K}$. . .	67
4.28	Gatestrom in Abhängigkeit der Gatespannung bei hoher Drainspan- nung (2 V) bei 77 K	68
4.29	Gatestrom in Abhängigkeit der Drainspannung unter der Gatespan- nung, bei der maximale Stoßionisation erreicht wird. $T = 77 \text{ K}$	68
4.30	Ausgangsleitwert von Kennlinien nahe dem Abschnürbereich eines Kurzkanal-HEMT. $l_g = 125 \text{ nm}$, $w_g = 100 \mu\text{m}$, Probe 15018	70
4.31	Intrinsischer Ausgangsleitwert bei $V_{DS} = 0 \text{ V}$ im Unterschwellenbereich	71
4.32	Hysteresis und Beleuchtungsabhängigkeit der Ausgangskennlinie (oben) und Vergleich mit Messung bei gepulster Drainspannung. Pro- be 15018, $550 \text{ nm} \times 100 \mu\text{m}$, $V_{GS} = 0.1 \text{ V}$	72

4.33	Pulsmessungen mit steigender Drainspannung bei Probe 15018, 125 nm $\times$ 100 μ m, $V_{GS} = 0.1$ V	73
4.34	Differenz der Gateströme aus Messungen mit steigender und mit fal- lender Drainspannung	74
4.35	Ausgangskennlinienfeld der Probe 15020 unter Licht, $T = 77$ K	74
4.36	Ausgangskennlinienfeld der Probe 13193 unter Licht, $T = 77$ K	75
4.37	Gatestrom der Probe 13193 bei Raumtemperatur	75
4.38	Breakdown-Messung nach der Drain-Current-Injection-Technik, Probe 15018, Raumtemperatur, unter Licht	77
4.39	Bestimmung von $R_S + R_D$	81
4.40	Kurzschluss-Stromverstärkung und extrapolierte Transitfrequenz für einen 330 nm $\times$ 100 μ m-HEMT für Raum- und Stickstofftemperatur. $f_T(300\text{ K}) = 110\text{ GHz}$, $f_T(77\text{ K}) = 120\text{ GHz}$	82
4.41	Unilaterale Leistungsverstärkung und aus den Ersatzschaltbild- Parametern errechnete maximale Schwingfrequenz. $f_{max}(300\text{ K}) =$ 130 GHz, $f_{max}(77\text{ K}) = 170\text{ GHz}$	82
4.42	Transitfrequenzen bei verschiedenen Gatelängen, Probe 15018	83
4.43	Arbeitspunktabhängigkeit der Transitfrequenz für einen 75 nm $\times$ 100 μ m-Transistor	84
4.44	Arbeitspunktabhängigkeit der Gleichstromsteilheit desselben Transis- tors	85
4.45	Kurzschluss-Stomverstärkung und unilaterale Leistungsverstärkung des 75 nm $\times$ 100 μ m-Transistors bei 300 K	85
4.46	Kurzschluss-Stomverstärkung und unilaterale Leistungsverstärkung des 75 nm $\times$ 100 μ m-Transistors bei 77 K	86
4.47	Gemessene und modellierte S-Parameter bei 77 K und 300 K	87
B.1	REM-Aufnahme eines kompletten HEMT	98

Tabellenverzeichnis

2.1	Parameterwerte für die dargestellten Beispiele	12
3.1	Vorgegebene und ermittelte Gatelängen	38
4.1	Parameterwerte des Ausgangsleitwert-Modells	62
4.2	Temperaturabhängige Gate-Drain-Breakdown-Spannungen von T- Gate-Transistoren mit unterschiedlicher Subkanaldicke	78
4.3	Extrahierte extrinsische Ersatzschaltbild-Größen	80
A.1	Grundaufbau des HEMT-Schichtsystems	95
A.2	Epitaxien	96
B.1	Zusammenstellung von verschiedenen benutzten Metallisierungen . . .	99

Literaturverzeichnis

- [1] A. K. OKI, D. C. STREIT, R. LAI, K. W. KOBAYASHI, A. GUTIERREZ-AITKEN und T. BLOCK: *Future technologies for commercial and defense telecommunication electronics*. In: *1999 IEEE MTT-S International Microwave Symposium Digest*, Seiten 1069–1071, Juni 1999. 1
- [2] J. V. DI LORENZO, B. LAUTERWASSER und M. P. ZAITLIN: *Applications of MBE grown PHEMTs*. *Journal of Crystal Growth*, (175 - 176):1–7, Januar 1997. 1
- [3] P. GREILING: *Millimeterwave and digital applications of InP-based MBE grown HEMTs and HBTs*. *Journal of Crystal Growth*, (175 - 176):8–12, Januar 1997. 1
- [4] D. PAVLIDIS: *HBT vs. PHEMT vs. MESFET: what's best and why*. *Compound Semiconductor*, **5**(5):56–59, Juni 1999. 2
- [5] R. DINGLE, H. L. STÖRMER, A. C. GOSSARD und W. WIEGMANN: *Electron mobilities in modulation-doped semiconductor heterojunction superlattices*. *Applied Physics Letters*, **33**(7):665–667, Juli 1978. 2
- [6] T. MIMURA, S. HIYAMIZU, T. FUJUI und K. NANBU: *A new field-effect transistor with selectively doped GaAs/n-Al_xGa_{1-x}As heterojunctions*. *Japanese Journal of Applied Physics*, **19**(5):225–227, Mai 1980. 2
- [7] L. D. NGUYEN, A. S. BROWN, M. A. THOMPSON und L. M. JELLOIAN: *50-nm Self-Aligned-Gate Pseudomorphic AlInAs/GaInAs High Electron Mobility Transistors*. *IEEE Transactions on Electron Devices*, **39**(9):2007–2014, September 1992. 2, 3, 16, 33
- [8] Y. YAMASHITA, A. ENDOH, M. HIGASHIWAKI, K. HIKOSAKA, T. MIMURA, S. HIYAMIZU und T. MATSUI: *High f_T 50-nm-Gate InAlAs/InGaAs High Electron Mobility Transistors Lattice-Matched to InP Substrates (Express Letter)*. *Japanese Journal of Applied Physics Pt.2*, **39**(8B):L 838–840, August 2000. 2, 33

- [9] S. BOLLAERT, Y. CORDIER, M. ZAKNOUNE, H. HAPPY, V. HOEL, S. LE-PILLIET, D. THÉRON und A. CAPPY: *The indium content in metamorphic $\text{In}_x\text{Al}_{1-x}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$ HEMTs on GaAs substrate: a new structure parameter*. Solid-State Electronics, **44**(6):1021–1027, Juni 2000. 2
- [10] J. KOLODZEY, J. LASKAR, S. BOOR, S. REIS, A. KETTERSON und I. ADESIDA: *Cryogenic temperature performance of modulation-doped field-effect transistors*. Electronics Letters, **25**(12):777–779, Juni 1989. 2
- [11] E. A. GUTIÉRREZ-D., C. CLAEYS, E. SIMOEN und S. V. KOSHEVAYA: *Perspectives of the cryo-electronics for the year 2000*. Journal de Physique IV, **8**:315–320, Januar 1998. 3
- [12] N. W. ASHCROFT und N. D. MERMIN: *Solid State Physics*. Holt-Saunders, New York, 1976. 5
- [13] H. IBACH und H. LÜTH: *Festkörperphysik*. Springer Verlag, Berlin, Heidelberg, New York, 4. Auflage, 1995. 5, 15, 41
- [14] H. LÜTH: *Surfaces and Interfaces of Solids*. Springer Verlag, Berlin, Heidelberg, New York, 3 Auflage, 1998. 5, 8
- [15] S. M. SZE: *Physics of Semiconductor Devices*. Wiley, New York, 2 Auflage, 1981. 5, 8, 11
- [16] M. SHUR: *GaAs devices and circuits*. Plenum Press, New York, 1987. 5, 11
- [17] S. M. SZE (Herausgeber): *Modern semiconductor device physics*. Wiley, New York, 1998. 5
- [18] M. REISCH: *Elektronische Bauelemente*. Springer Verlag, Berlin, Heidelberg, New York, 1997. 5
- [19] F. ALI und A. GUPTA (Herausgeber): *HEMTs and HBTs: Devices, Fabrication, and Circuits*. Artech House, Boston, London, 1991. 5, 11
- [20] J. M. GOLIO (Herausgeber): *Microwave MESFETs and HEMTs*. Artech House, Boston, London, 1991. 5
- [21] K. M. INDLEKOFER: *Transportuntersuchungen und quantenmechanische Beschreibung von Einelektronenstrukturen in Halbleiterheterostrukturen*. Technischer Bericht 3705, Berichte des Forschungszentrum Jülich, 1999. 6
- [22] J. MALINDRETOS: *Entwicklung und Charakterisierung planarer Resonanz-Tunneldioden für den Einsatz in integrierten digitalen Schaltkreisen*. Doktorarbeit, RWTH-Aachen, 2001. 6

- [23] L. P. SADWICK, C. W. KIM, K. L. TAN und D. C. STREIT: *Schottky barrier heights of n-type and p-type $Al_{0.48}In_{0.52}As$* . IEEE Electron Device Letters, **12**(11):626–628, 1991. 8
- [24] O. MADELUNG (Herausgeber): *Semiconductors – Basic Data*. Springer Verlag, Berlin, Heidelberg, New York, 2 Auflage, 1996. 10
- [25] R. SCHMIDT: *Metallorganische Molekularstrahlepitaxie von InP auf GaAs-Substraten für die Herstellung metamorpher Hochfrequenztransistoren*. Doktorarbeit, RWTH-Aachen, 2001. 10
- [26] T. J. DRUMMOND, W. KOPP, H. MORKOC und M. KEEVER: *Transport in modulation-doped structures ($Al_xGa_{1-x}As/GaAs$) and correlation with Monte Carlo calculation on (GaAs)*. Applied Physics Letters, **41**:277–279, 1982. 15
- [27] W. NAKWASKI: *Effective masses of electrons and heavy holes in GaAs, InAs, AlAs and their ternary compounds*. Physica B, **210**(1):1–25, Januar 1995. 15
- [28] O. MADELUNG (Herausgeber): *Data in Science and Technology (Editor in Chief: R. Poerschke): Semiconductors, Group IV Elements and III-V Compounds*. Springer Verlag, Berlin, Heidelberg, New York. 15, 22
- [29] M. G. GREALLY, M. HAYNE, A. USHER, G. HILL und M. HOPKINSON: *Low-temperature mobility of two-dimensional electrons in (Ga,In)As-(Al,In)As heterojunctions*. Journal of Applied Physics, **79**(11):8465–8469, Juni 1996. 15
- [30] S. HIYAMIZU, T. KITADA, T. AOKI, M. HIGASHIWAKI und S. SHIMOMURA: *Higher mobility with high concentration of 2DEG in pseudomorphic $In_{0.7}Ga_{0.3}As/In_{0.52}Al_{0.48}As$ quantum-well HEMT structure with (411)A superflat interfaces grown on (411)A InP substrate by MBE*. In: *Conference Proceedings. Eleventh International Conference on Indium Phosphide and Related Materials*, Seiten 24–25, Mai 1999. 15
- [31] M. KASAP und D. LANCEFIELD: *The temperature and pressure dependence of electron transport in plastically relaxed $In_xGa_{1-x}As$* . Physica Status Solidi B, **199**(2):481–493, Januar 1997. 15
- [32] V. W. L. CHIN und T. L. TANSLEY: *Alloy scattering and lattice strain effects on the electron mobility in $In_{1-x}Ga_xAs$* . Solid-State Electronics, **34**(10):1055–1063, Oktober 1991. 15
- [33] C. KÖPF: *Modellierung des Elektronentransports in Verbindungshalbleiterlegierungen*. Doktorarbeit, TU Wien, 1997. 15

- [34] P. BHATTACHARYA (Herausgeber): *Properties of lattice-matched and strained Indium Gallium Arsenide*. INSPEC, London, 1993. 16, 22, 64
- [35] N. SHIGEKAWA, T. FUTURA und K. ARAI: *High-field electron-transport properties in an $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ double heterostructure*. Journal of Applied Physics, **69**(7):4003–4010, 1991. 17
- [36] H. ROHDIN und P. ROBLIN: *A MODFET dc Model with Improved Pinchoff and Saturation Characteristics*. IEEE Transactions on Electron Devices, **33**(5):664–672, Mai 1986. 17, 18
- [37] S. KARMALKAR und G. RAMESH: *A Simple Yet Comprehensive Unified Physical Model of the 2-D Electron Gas in Delta-Doped and Uniformly Doped High Electron Mobility Transistors*. IEEE Transactions on Electron Devices, **47**(1):11–23, Januar 2000. 18
- [38] T. J. DRUMMOND, H. MORKOÇ, K. LEE und M. SHUR: *Model for modulation doped field effect transistors*. IEEE Electron Device Letters, **3**(11):338, November 1982. 18
- [39] A.-J. SHEY und W. H. KU: *An Analytical Current-Voltage Characteristics Model for High Electron Mobility Transistors Based on Nonlinear Charge-Control Formulation*. IEEE Transactions on Electron Devices, **36**(10):2299–2306, Oktober 1989. 18
- [40] L. G. ET AL.: *Modeling of current-voltage characteristics for strained and lattice matched HEMT's on InP substrate using a variational charge control model*. IEEE Transactions on Electron Devices, **42**(4):612–617, April 1995. 18
- [41] H. AHN und M. A. EL NOKALI: *An analytical model for the high electron mobility transistor*. IEEE Transactions on Electron Devices, **41**(6):874–878, Juni 1994. 18
- [42] S. J. MAHON und D. J. SKELLERN: *Determination of device structure from GaAs/AlGaAs HEMT DC I-V characteristic curves*. IEEE Transactions on Electron Devices, **39**(5):1041, Mai 1992. 18
- [43] H. R. YEAGER und R. W. DUTTON: *Circuit simulation model for high electron mobility transistor*. IEEE Transactions on Electron Devices, **33**(5):682–692, Mai 1986. 18

- [44] Y. AWANO, M. KOSUGI, K. KOSEMURA, T. MIMURA und M. ABE: *Short-Channel Effects in Subquarter-Micrometer-Gate HEMT's: Simulation and Experiment*. IEEE Transactions on Electron Devices, **36**(10):2260–2266, Oktober 1989. 22
- [45] A. A. MOOLJI, S. R. BAHL und J. A. DEL ALAMO: *Impact Ionization in InAlAs/InGaAs HFETs*. IEEE Electron Device Letters, **15**(8):313–315, 8 1994. 22
- [46] R. T. WEBSTER, S. WU und A. F. M. ANWAR: *Impact Ionization in InAlAs/InGaAs/InAlAs HEMTs*. IEEE Electron Device Letters, **21**(5):193–195, Mai 2000. 22, 67, 68
- [47] W. KRUPPA und J. B. BOOS: *Examination of the kink effect in InAlAs/InGaAs/InP HEMT's using sinusoidal and transient excitation*. IEEE Transactions on Electron Devices, **42**(5):1717–1723, Oktober 1995. 22, 64
- [48] T. SUEMITSU, T. ENOKI, N. SANO, M. TOMIZAWA und Y. ISHII: *An analysis of the kink phenomena in InAlAs/InGaAs HEMT's using two-dimensional device simulation*. IEEE Transactions on Electron Devices, **45**(12):2390–2399, Dezember 1998. 22
- [49] M. H. SOMERVILLE, A. ERNST und J. A. DEL ALAMO: *A Physical Model for the Kink Effect in InAlAs/InGaAs HEMT's*. IEEE Transactions on Electron Devices, **47**(5):922–930, Mai 2000. 22
- [50] A. SYLVESTRE, F. ANIEL, P. BOUCAUD, F. H. JULIEN, P. CROZAT, A. DE LUSTRAC, R. ADDE, Y. JIN und J. P. PRASEUTH: *Low temperature electroluminescence spectroscopy of high electron mobility transistors on InP*. Journal of Applied Physics, **80**(1):464–469, Juli 1996. 22
- [51] M. MARSO: *Seminar HF-Meßtechnik: Grundlagen der S-Parameter*, 2001. 22
- [52] M. H. W. HOFFMANN (Herausgeber): *Hochfrequenztechnik*. Springer Verlag, Berlin, Heidelberg, New York, 1997. 22, 24
- [53] O. ZINKE und H. BRUNSWIG: *Lehrbuch der Hochfrequenztechnik*, Band 1,2. Springer Verlag, Berlin, Heidelberg, New York, 3. Auflage, 1986. 24
- [54] E. PEHL: *Mikrowellentechnik*, Band 1,2. Hüthig Verlag, Heidelberg, 2. Auflage, 1988. 24
- [55] P. J. TASKER und B. HUGHES: *Importance of source and drain resistance to the maximum f_T of millimeter-wave MODFETs*. IEEE Electron Device Letters, **10**(7):291–293, Juli 1989. 27

- [56] K. SCHIMPF: *Herstellung und Charakterisierung von sub- μm InGaAs/InP High Electron Mobility Transistoren*. Technischer Bericht 3381, Berichte des Forschungszentrum Jülich, 1997. ISSN 0944-2952. 29, 35
- [57] S. R. BAHL und J. A. DEL ALAMO: *Elimination of Mesa-Sidewall Gate Leakage in InAlAs/InGaAs Heterostructures by Selective Sidewall Recessing*. IEEE Electron Device Letters, **13**(4):195–197, April 1992. 30
- [58] D. WIDMANN, H. MADER und H. FRIEDRICH: *Technologie hochintegrierter Schaltungen*. Springer Verlag, Berlin, Heidelberg, New York, 2. Auflage, 1996. 30
- [59] D. SAWDAI, D. PAVLIDIS und D. CUI: *Enhanced Transmission Line Model Structures for Accurate Resistance Evaluation of Small-Size Contacts and for More Reliable Fabrication*. IEEE Transactions on Electron Devices, **46**(7):1302–1311, Juli 1999. 31, 44
- [60] M. NAWAZ, S. H. M. PERSSON, H. ZIRATH, E. CHOUMAS und A. MELLBERG: *A novel gate process for InP based HEMTs with gate length from 0.06 to 0.2 μm* . In: *11th International Conference on Indium Phosphide and Related Materials (IPRM'99)*, Seiten 14–16 suppl, Mai 1999. 35
- [61] V. HOEL, S. BOLLAERT, X. WALLART, B. GRIMBERT, S. LEPILLIET und A. CAPPY: *A new gate process for the realization of lattice-matched HEMT on InP for high yield MMICs*. In: *GAAS'98*, Amsterdam, 1998. 35
- [62] G. S. MARLOW und M. B. DAS: *The Effects of Contact Size and Non-Zero Metal Resistance on the Determination of specific Contact Resistance*. Solid-State Electronics, **25**(2):91–94, Februar 1982. 43
- [63] G. K. REEVES: *Specific Contact Resistance Using A Circular Transmission Line Model*. Solid-State Electronics, **23**:487–490, Juli 1979. 44
- [64] Z. KACHWALLA und W. D. KING: *Measurements of the components of source resistance of HEMTs using slotted transmission line structures*. Solid-State Electronics, **41**(1):51–57, Januar 1997. 44
- [65] J. TARDY, P. ROJO-ROMÉO, P. VIKTOROVITCH, P. CRÉMILLIEU und X. LETARTRE: *Stability and noise of Pd-Ge-Ag-Au Ohmic Contacts to InGaAs-InAlAs High Electron Mobility Transistors*. Solid-State Electronics, **39**(2):225–229, Mai 1995. 45
- [66] P. LAMARRE, R. MCTAGGART, M. PULLEY, J. HUANG und G. JACKSON: *Ohmic Contacts with different metal structures for lattice matched InP based*

- heterostructures. In: *Conference Proceedings Fifth International Conference on Indium Phosphide and Related Materials*, Seiten 333–336, Januar 1993. 45
- [67] A. G. BACA, F. REN, J. C. ZOLPER, R. D. BRIGGS und S. J. PEARTON: *A survey of ohmic contacts to III-V compound semiconductors*. Thin Solid Films, (308 – 309):599–606, Januar 1997. 45
- [68] K. HIGUCHI, M. MORI, M. KUDO und T. MISHIMA: *New low contact resistance triple capping layer enabling very high G_m InAlAs/InGaAs HEMTs*. Journal of Electronic Materials, **25**(4):643–647, April 1996. 45
- [69] N. YOSHIDA, Y. YAMAMOTO, H. TAKANO, T. SONODA, S. TAKAMIYA und S. MITSUI: *Alloyed and Non-Alloyed Ohmic Contacts for AlInAs/InGaAs High Electron Mobility Transistors*. Jpn. J. Appl. Phys., **33**(6A):3373–3376, Juni 1994. 45
- [70] J.-L. LEE, Y.-T. KIM, H. M. YOO und G. Y. LEE: *Au/Ge-based Ohmic contact to an AlGaAs/InGaAs pseudomorphic high electron mobility transistor with an undoped cap layer*. Journal of Vacuum Science and Technology B, **17**(3):1034–1039, Mai 1999. 45
- [71] M. VAN HOVE, T. SKRABKA, H. BENDER, W. DE RAEDT, M. VAN ROSSUM und Y. BAEYENS: *Optimization of ohmic contacts on lattice-matched and pseudomorphic AlInAs/InGaAs/InP*. In: G. GUMBS, S. LURYI, B. WEISS und G. W. WICKS (Herausgeber): *Growth, Processing, and Characterization of Semiconductor Heterostructures*, Seiten 463–468. Januar 1994. 45
- [72] B.-U. H. KLEPSE, C. BERGAMASCHI und W. PATRICK: *Influence of Cap-Layer Doping on Ohmic Contacts for InP Based HEMT Structures*. Solid-State Electronics, **37**(12):1905–1906, Dezember 1994. 45
- [73] C. HEEDT, P. GOTTWALD, F. BUCHALI, W. PROST, H. KUNZEL und F. J. TEGUDE: *On the optimization and reliability of ohmic and Schottky contacts to InAlAs/InGaAs HFET*. In: *Fourth International Conference on Indium Phosphide and Related Materials*, Seiten 238–241, Januar 1992. 45
- [74] M. KAMADA, H. ISHIKAWA, Y. MORI und C. KOJIMA: *Ohmic Contacts on Selectively Doped AlInAs/GaInAs Heterostructures Using Ni, AuGe and Au*. Solid-State Electronics, **30**(12):1345–1349, Januar 1987. 45
- [75] J. BERBER, H. KACHER und R. LANGER: *Physik in Formeln und Tabellen*. B. G. Teubner, Stuttgart, 7. Auflage, 1994. 51

- [76] L. F. LUO, K. F. LONGENBACH und W. I. WANG: *Kink-free AlInAs/GaInAs/InP HEMT's grown by molecular beam epitaxy*. Electronics Letters, **26**(12):779–780, Dezember 1993. 64
- [77] B. GEORGESCU, M. PY, A. SOUFI, G. POST und G. GUILLOT: *New aspects and mechanism of kink effect in InAlAs/InGaAs/InP inverted HFET's*. IEEE Electron Device Letters, **19**(5):154–156, Mai 1999. 64
- [78] T. AKAZAKI, H. TAKAYANAGI und T. ENOKI: *Kink effect in an InAs inserted-channel InAlAs/InGaA inverted HEMT at low temperature*. IEEE Electron Device Letters, **17**(7):378–380, Juli 1996. 67
- [79] D. XU, T. SUEMITSU, J. OSAKA, Y. UMEDA, Y. YAMANE, Y. ISHII, T. ISHII und T. TAMAMURA: *An 0.03- μ m Gate-Length Enhancement-Mode InAlAs/InGaAs/InP MODFET's with 300 GHz f_T and 2 S/mm Extrinsic Transconductance*. IEEE Electron Device Letters, **20**(5):206–208, Mai 1999. 69
- [80] R. FISCHER, T. J. DRUMMOND, J. KLEM, W. KOPP, T. S. HENDERSON, D. PERRACHIONE und H. MORKOÇ: *On the Collapse of Drain I-V Characteristics in Modulation-Doped FET's at cryogenic Temperatures*. IEEE Transactions on Electron Devices, **31**(8):1028–1032, August 1984. 76
- [81] A. BELACHE, A. VANOVERSCHDELDE, G. SALMER und M. WOLNY: *Experimental analysis of HEMT behavior under low-temperature conditions*. IEEE Transactions on Electron Devices, **38**:3–13, Januar 1991. 76
- [82] S. R. BAHL und J. A. DEL ALAMO: *A Novel Drain Current Injection Technique for the measurements of off-state breakdown voltage in FET's*. IEEE Transactions on Electron Devices, **40**(8):1558–1560, 8 1993. 76
- [83] S. R. BAHL, J. A. DEL ALAMO, J. DICKMANN und S. SCHILDBERT: *Off-State Breakdown in InAlAs/InGaAs MODFET's*. IEEE Transactions on Electron Devices, **42**(1):15–22, 1 1995. 77, 78
- [84] F. TEMCAMANI, Y. CROSNIER, D. LIPPENS und G. SALMER: *Modeling and experimental study of breakdown mechanisms in multichannel AlGaAs/GaAs power HEMT's*. Microwave Optical Technology Letters, **9**(6):195–199, 1990. 77
- [85] C. L. LIN, P. CHU, A. L. KELLNER und H. H. WIEDER: *Composition Dependence of Au/In_xAl_{1-x}As Schottky Barrier Heights*. Applied Physics Letters, **49**(23):1593, 1986. 77

- [86] J. DICKMANN, K. RIEPE, H. HASPEKLO, B. MAILE, H. DAEMBKES, H. NICKEL, R. LOSCH und W. SCHLAPP: *Novel fabrication process for Si_3N_4 passivated InAlAs/InGaAs/InP HFETs*. Electronics Letters, **28**(19):1849–1850, 1992. 78
- [87] J. B. BOOS und W. KRUPPA: *InAlAs/InGaAs/InP-HEMT's with high breakdown voltages using double-recess gate process*. Electronics Letters, **27**(21):1909–1910, 1991. 78
- [88] U. AUER, W. PROST, W. BROCKERHOFF und F. J. TEGUDE: *A Consistent Physical Model for the Gate-Leakage and Breakdown in InAlAs/InGaAs HFET's*. In: *Conference Proceedings. 1999 International Conference on Indium Phosphide and Related Materials*, Seiten 439–442, Mai 1999. 78
- [89] K. HIGUCHI, H. MATSUMOTO, T. MISHIMA und T. NAKAMURA: *Optimum design and fabrication of InAlAs/InGaAs HEMT's on GaAs with both high breakdown voltage and high maximum frequency of oscillation*. IEEE Transactions on Electron Devices, **46**(7):1312–1318, Juli 1999. 78
- [90] G. MENEGHESSO, A. NEVIANI, R. OESTERHOLT, M. MATLOUBIAN, T. LIU, J. J. BROWN, C. CANALI und E. ZANONI: *On-State and Off-State Breakdown in GaInAs/InP Composite-Channel HEMT's with Variable GaInAs Channel Thickness*. IEEE Transactions on Electron Devices, **46**(1):2–9, Januar 1999. 78
- [91] M. H. SOMERVILLE, R. BLANCHARD, J. A. DEL ALAMO, K. G. DUH und P. C. CHAO: *A New Gate Current Extraction Technique for Measurement of On-State Breakdown Voltage in HEMT's*. IEEE Electron Device Letters, **19**(11):405–407, November 1998. 78
- [92] M. H. SOMERVILLE, C. S. PUTNAM und J. A. DEL ALAMO: *Determining Dominant Breakdown Mechanisms in InP HEMTs*. IEEE Electron Device Letters, **22**(12):565–567, Dezember 2001. 78
- [93] R. FOLLMANN: *Entwicklung und Implementierung eines arbeitspunktabhängigen, skalierbaren Klein- und Großsignalmodells für Fелеffekttransistoren unter Berücksichtigung von Temperatur und Rauscheffekten*. Doktorarbeit, Gerhard-Mercator-Universität Gesamthochschule Duisburg, 1998. 79
- [94] S. MONTANARI: *Characterization and Measurement of Pseudomorphic and Metamorphic AlInAs/InGaAs/InP-HEMTs*. Diplomarbeit, Università Degli Studi Di Modena E Reggio Emilia, 2001. 80

- [95] Y. ZHU, Y. ISHIMARU und M. SHIMIZU: *Direct determination of source, drain and channel resistances of HEMTs*. Electronics Letters, **31**(4):318–320, Februar 1995. 80
- [96] B.-S. KIM, S. NAM und K.-S. SEO: *Analytic intrinsic model based parasitic extraction method for HEMTs*. Electronics Letters, **30**(12):1005–1006, Juni 1994. 80
- [97] J. C. COSTA, M. MILLER, M. GOLIO und G. NORRIS: *Fast, accurate on-wafer extraction of parasitic resistances and inductances in GaAs MESFETs and HEMTs*. In: *IEEE Microwave Symposium Digest*, Seiten 1011–1014, 1992. 80
- [98] M.-Y. JEON, B.-G. KIM, Y.-J. JEON und Y.-H. JEONG: *A Technique for Extracting Small-Signal Equivalent-Circuit Elements of HEMTs*. IEICE Trans. Electron., **E82-C**(11):1968–1976, November 1999. 80
- [99] M.-Y. JEON und Y.-H. JEONG: *An Approach to Extract Extrinsic Parameters of HEMTs*. IEICE Trans. Electron., **E83-C**(12):1930–1936, Dezember 2000. 80
- [100] G. DAMBRINE, A. CAPPY, F. HELIODORE und E. PLAYEZ: *A New Method for Determining the FET Small-Signal Equivalent Circuit*. IEEE Transactions on Microwave Theory and Techniques, **36**(7):1151–1159, Juli 1988. 80

Danksagung

Es ist nicht möglich, eine bauelementbezogene Arbeit ohne die Mitarbeit einer Vielzahl von Personen zu erstellen. Insbesondere die vielen verschiedenen verwendeten Technologien und das Zusammenspiel unterschiedlicher Disziplinen bedürfen der tätigen Mithilfe sowie des Erfahrungsschatzes vieler Kollegen, denen ich an dieser Stelle dafür danken möchte, dass sie mir diesen stets bereitwillig zur Verfügung stellten.

Mein besonderer Dank gilt:

Herrn Prof. Dr. H. Lüth für die Möglichkeit, diese Arbeit am Institut für Schichten und Grenzflächen durchzuführen sowie für sein stetes Interesse und seine hohe Motivationsfähigkeit

Herrn Prof. Dr. S. Mantl für die freundliche Bereitschaft, das Korreferat zu übernehmen

Herrn Prof. Dr. P. Kordoš für die Unterstützung, Motivation und zahlreiche nützliche Diskussionen

Herrn Dr. M. Marso für die intensive Betreuung und viele nützliche Denkanstöße z. B. in seinen Bauelementseminaren

Herrn Dr. A. Förster und Herrn C. Krause für die MBE-Epitaxien, die Metallisierungen und ihre Diskussionsbereitschaft

Herrn A. Fox für die Unterstützung in der DC- und HF-Messtechnik und die gute Atmosphäre im Labor

Herrn Dr. Uwe Hodel und Herrn Simone Montanari für die sehr gute Stimmung im Büro und viele aufschlussreiche Diskussionen. Herrn Dr. Uwe Hodel danke ich zudem für die Unterstützung bei der Einarbeitung in die HEMT-Technologie

Herrn Dr. A. v. d. Hart für die erfolgreiche Zusammenarbeit an den T-gates sowie für zahlreiche Elektronenstrahlolithographien

den Herren J. Müller, Dipl.-Ing. A. Steffen, J. Zillikens F. Ringelmann sowie Frau A. Pracht für die stets gute Zusammenarbeit im Reinraum. Herr J. Zillikens und Fr. A. Pracht haben eine Vielzahl an Metalldositionen durchgeführt, die ebenso wesentlich zum Gelingen der Arbeit beigetragen haben wie die PECVD-Depositionen, die Herr Ringelmann und Herr Wingens für mich durchgeführt haben. Herrn J. Müller danke ich für seine große Hilfsbereitschaft und generell für seine technologische Unterstützung

Herrn Dr. Roland Schmidt für die gute Kooperation bei den Arbeiten an metamorphen HEMTs

Frau Irene Schumacher für ihren Beitrag zum glatten organisatorischen Ablauf der Arbeit

Herrn Dipl.-Ing. H. P. Bochem und Herrn Dipl.-Phys. O. Zimmermann für viele REM-Aufnahmen

Dirk Hunkel, Karsten Grimm, Michael Goryll, Uwe Hodel, Susanne Wickenhäuser, Claudia Daniels, Elmar Böhmer, Thomas Schäpers, Jürgen Moers, Stefan Trellenkamp, Peter Javorka, Martin Mikulics, Juraj Bernat, Mike Wolter, Jörg Malidretos, Jürgen Stock, Michael Indlekofer, Reinhardt Schmidt, Michael Pöttgens, Oliver Zimmermann und vielen anderen für das sehr gute Arbeitsklima

meiner lieben Freundin Anke für ihre Unterstützung insbesondere in der Endphase der Arbeit.

Forschungszentrum Jülich
in der Helmholtz-Gemeinschaft



Jül-4043
März 2003
ISSN 0944-2952