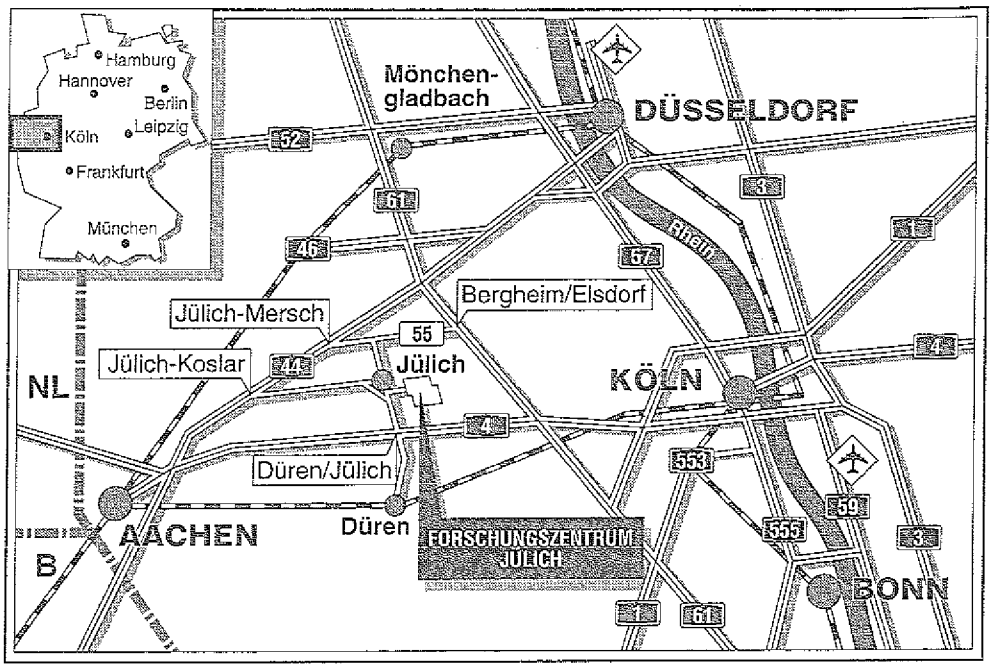
FORSCHUNGSZENTRUM JÜLICH GmbH

Institut für Schicht- und Ionentechnik

Der Permeable Junction Base Transistor – ein selektiv überwachsener PBT mit homoepitaktischem Gate

Jürgen Gräber



Berichte des Forschungszentrums Jülich ; 2783
ISSN 0944-2952
Institut für Schicht- und Ionentechnik Jül-2783
D 82 (Diss. RWTH Aachen)

Zu beziehen durch: Forschungszentrum Jülich GmbH · Zentralbibliothek
D-52425 Jülich · Bundesrepublik Deutschland
Telefon: 02461/61-6102 · Telefax: 02461/61-6103 · Telex: 833556-70 kfa d

Der Permeable Junction Base Transistor – ein selektiv überwachsener PBT mit homoepitaktischem Gate

Jürgen Gräber

Inhaltsverzeichnis

β	reziproke thermische Spannung, $\beta = -q/kT$
$\varepsilon = \varepsilon_0 \cdot \varepsilon_S$	Dielektrizitätskonstante von GaAs
$\varepsilon_S = 13.1$	relative Dielektritätskonstante von GaAs
Φ	ortsabhängiges Potential
Φm	Potential im Sattelpunkt der Barriere
χ	spezifische Wärmeleitfähigkeit
$\rho_{p^{++}}$	spez. Widerstand von p^{++}-GaAs
$(\,)'$	auf die Einheitlänge (in z-Richtung) normierte Größen
$(\,)_{ipi}$	auf ipi-Gatestruktur bezogene Größen
$(\,)_{zyl}$	auf zylinderförmige Kanäle bezogene Größen
μ	Beweglichkeit (feldabhängig)
μ_0	dotierungsabhängige Beweglichkeit bei kleinen Feldern
A^*	effektive Richardson Konstante
A_{SCL}	Fläche beim raumladungsbegrenzten Strom
b_k	Kanalbreite
C_K	Kapazität der Kontaktfläche
C_T	$= C_{GS} + C_{DS}$, Gatekapazität
E	elektrisches Feld
E_K	kritsches Feld, bei dem v maximal ist
f_{max}	max. Schwingungsfrequenz
f_T, f_{Tzyl}	Transitfrequenz
G_{DS}	Ausgangsleitwert
g_m , g'_m	extrinsische Steilheit
g_{mi}, g'_{mi}	intrinsische Steilheit
i	Anzahl der Gatefinger, bzw. der zylinderförmigen Kanäle
I_D , I'_D	Drainstrom
I_G	Gatestrom
kT	$\approx$ 25,9 meV (bei 300 K)
L_g	effektive Gatelänge
l_g	Gatelänge, entspricht der Schichtdicke
L_k, L_S	Kanallänge, Abstand zwischen Source und Gate
l_{SCL}	Länge der Verarmungszone beim raumladungsbegrenzten Strom
L_{Zyl}	definierte "Einheitslänge" für zylinderförmige Stromkanäle
n	Elektronendichte

N_A , N_A^-	Dichte der neutralen bzw. ionisierten Akzeptoren
N_D ,N_D^+	Dichte der neutralen bzw. ionisierten Donatoren
n_i	intrinsische Ladungsträgerdichte
p	Löcherdichte
P_A, P_B	Leistungsaufnahme in den Arbeitspunkten A bzw. B
q	Elementarladung
R	Radius des zylindrischen Kanals
r	Radius (variabel)
R_S, R_D	Bahn- und Kontaktwiderstand zum Source bzw. Drain
r_0	Radius des nicht verarmten Kanals
R_G	Widerstand des Gates
R_{G1}	Widerstand eines einzelnen Gatefingers
$R_k(z)$	Widerstand des Gates, der auf die Kontaktzuleitung entfällt
R_{Top}	Bahn- und Kontaktwiderstand vom oberen Kontakt
R_{Sub}	Bahn- und Kontaktwiderstand vom Substrat
R_w	Radius (Wärmeleitwert)
T	absolute Temperatur
U	Potentialdifferenz zwischen Gate und Kanal
U_{bi}	Diffusionsspannung
U_{DS}	Spannung zwischen Drain und Source
U_G	Spannung zwischen Gate und Kanal
U_{GS}	Spannung zwischen Gate und Source
U_P , U_{pzyl}	Abschnür-Spannung für planare und zylinderförmige Geometrie
U_T	Schwellenspannung
v	Driftgeschwindigkeit (feldabhängig)
v_0	ballistische Driftgeschwindigkeit
v_s	Driftgeschwindigkeit bei hohen Feldern
v_{sat}	effektive Driftgeschwindigkeit des Drift-Sättigungsmodells
w	Weite der Verarmungszone
w_0	Weite der Verarmungszone ohne äußere Spannung $w_0 = 410\ \text{nm} \cdot \sqrt{10^{16}\ \text{cm}^{-3} / N_D}$
w_n	Weite der Verarmungszone in n-Gebiet
w_p	Weite der Verarmungszone in p-Gebiet
w_s, w_D	Weite zwischen Gate und Source bzw. Drain
$Z = i \cdot z$	Gateweite = Summe aller Gatefinger-Längen

1. Einleitung

Die Entwicklung der Halbleiterbauelemente wird durch das Streben nach immer kleineren Strukturen und immer höheren Geschwindigkeiten bestimmt. Beide Größen sind voneinander abhängig, und die gesamte Entwicklung ist nur dann sinnvoll, wenn Strukturgröße und Schaltzeit gemeinsam reduziert werden. Bei aktiven Bauelementen wie Transistoren wird die geringste Schaltzeit bei einer maximalen Geschwindigkeit der Elektronen direkt durch die Ausdehnung des steuernden Bereiches, d.h. bei Feld Effekt Transistoren (FET) durch die effektive Gatelänge bestimmt. Indirekt verlangt aber auch die bei kürzeren Schaltzeiten zunehmende Informationsrate - wegen des begrenzten Platzes bei gegebener Chipgröße - nach ansteigenden Integrationsdichten, also kleineren Strukturen. Da die abführbare thermische Leistung eines Chips begrenzt ist, muß demnach bei hohen Integrationsdichten die Leistungsaufnahme des einzelnen Bauelementes entsprechend abnehmen. Damit müssen Bauelemente, die zukünftig in integrierten Schaltungen Verwendung finden sollen, die drei Voraussetzungen: schnell, klein und verlustleistungsarm erfüllen.

Die letzten beiden Anforderungen werden am besten von dem Elementhalbleiter Silicium erfüllt. In Verbindung mit seinem natürlichen Oxid und der guten Wärmeleitfähigkeit ist Silicium auf absehbare Zeit das beste Ausgangsmaterial zur preisgünstigen Herstellung von höchstintegrierten Schaltungen für die Datenverarbeitung und kurzfristige Datenspeicherung [Mas 91].

Für die Datenübertragung jedoch weisen die Verbindungshalbleiter GaAs und GaInAs Vorteile auf: Sie haben nicht nur eine höhere Beweglichkeit der Ladungsträger, die höhere Übertragungsraten erlauben, sondern sie ermöglichen es auch, aufgrund ihrer direkten Bandlücke als optoelektronische Bauelemente wie Laserdioden die ausgezeichneten Übertragungseigenschaften der Glasfaser zu nutzen [Ben 82].

Eine Kombination obiger Eigenschaften im Materialsystem Silicium scheint derzeit nicht möglich, obwohl mit porösem Silicium [Can 90] [Ric 91] bzw. SiGe oder $FeSi_2$ [Mor 92] die Hoffnung besteht, auch auf Si-Basis optoelektronisch brauchbare Materialien zu entwickeln. Andererseits erscheint die hohe Integrationsdichte der Si-Technologie wegen der schlechteren Qualität des Oxids und der geringeren Wärmeleitfähigkeit für die Verbindungshalbleiter unerreichbar zu sein, so daß momentan eine Hybrid-Lösung, in der beide Materialsysteme genutzt werden, als aussichtsreichste Möglichkeit erscheint, um die Leistungsfähigkeit der Datenverarbeitung weiter zu steigern [Pol 92] [Bed 92].

Bei der Datenübertragung ist die nutzbare Bandbreite der Satelliten- oder Glasfasertechnik zur Zeit durch die Grenzfrequenz der Transistoren limitiert. Durch Weiterentwicklungen in der Technologie können immer bessere Materialien und kleinere Strukturen erzeugt werden, die die erreichbaren Grenzfrequenzen weiter anheben. Mit den kleiner werdenden Strukturgrößen nimmt, gleiche Betriebsspannungen vorausgesetzt, die Feldstärke immer weiter zu, so daß die Elektronen entlang ihrer freien Wegstrecke soviel Energie aufnehmen, daß sie als "heiße" Elektronen nicht mehr an das Leitungsbandminimum gebunden sind. Bei Halbleitern wie GaAs führt diese Verteilung zu einer nichtlinearen feldabhängigen Beweglichkeit, die

bei hohen Feldern zu einer reduzierten Driftgeschwindigkeit (Gunn-Effekt) führt. Wenn aber die Strukturgrößen der Bauelemente im sub-µm Bereich mit den freien Weglängen der Elektronen vergleichbar werden, dann wird keine stationäre Verteilung mehr erreicht, und der für eine kurze Zeit ballistische Transport wird durch die höhere Beweglichkeit der Ausgangsverteilung bestimmt [Hes 90]. Aufgrund dieses Effektes kommt es zum velocity overshoot, der dazu führt, daß die Schaltzeit überproportional mit der Strukturverringerung abnimmt, und infolgedessen die erreichbaren Grenzfrequenzen in etwa verdoppelt werden [Ben 82]. Um minimale Schaltzeiten von FET's zu erreichen, können zum einen die Materialeigenschaften wie die Beweglichkeit verbessert und zum anderen die Gate- und Kanallänge verkürzt werden.

Ein Bauelement, bei dem diese beiden Maßnahmen angewandt werden, ist der High Electron Mobility Transistor (HEMT), bei dem sich die Elektronen in einem zweidimensionalen Elektronengas (2DEG) befinden. Die Beweglichkeit wird hier dadurch erhöht, daß die Dotieratome räumlich von den Elektronen getrennt sind und somit deren Streubeiträge weitgehend entfallen. Mit Elektronenstrahl-Lithographie können sub-µm Gate- und Kanallängen erzielt werden, so daß Grenzfrequenzen von einigen Hundert GHz erzielt werden [Ngu 92]. Wegen ihrer unübertroffenen Schnelligkeit und Rauscharmut werden sie bevorzugt als Breitbandverstärker in MMIC's (Millimeterwave Integrated Circuits) eingesetzt [Har 88] [Maj 90].

Noch kürzere Gate- und Kanallängen als durch Elektronenstrahl-Lithographie können erreicht werden, wenn bei Bauelementen mit vertikalem Stromtransport die Gatelänge durch die Schichtdicke bestimmt wird [Wei 89]. So wurde 1979 von Bozler et al. in GaAs ein Permeable Base Transistor (GaAs-PBT) realisiert [Boz 79], bei dem ein Streifengitter aus Wolfram epitaktisch in GaAs eingebettet wurde, dessen stromführende Kanäle durch die Verarmungszone des Schottky-Kontaktes gerade abgeschnürt werden. Wegen der Ähnlichkeit der Struktur zum Metal Base Transistor und wegen des Stromes über eine Potentialbarriere, die in der Kanalmitte am niedrigsten ist, nannte Bozler das neue Bauelement PBT. Da aber der Stromtransport im Kanal ausschließlich durch Majoritätsträger erfolgt, und die Potentialbarriere genau wie bei einem vollständig abgeschnürten metal-semiconductor field-effect transistor (MESFET) durch die Sperrspannung am Gate erzeugt wird, gehört der PBT zu der Gruppe der unipolaren FET's [Osm 83].

Aufgrund der außerordentlich kurzen Gate- und Kanallängen, die durch die Schichtdicken des Wolframs bzw. der Epitaxie realisiert werden, und des zu erwartenden overshoot Effektes sind sehr kurze Transitzeiten der Elektronen zu erwarten. Die berechneten Transitfrequenzen oberhalb von 200 GHz [Boz 80] wurden jedoch technologisch nicht erreicht, weil beim epitaktischen Überwachsen des Wolfram-Gitters Kristallbaufehler auftreten und metallische Verunreinigungen aus dem Wolfram in die Kanäle diffundieren und dort tiefe Störstellen bilden [Boz 85] [Hol 87]. Diese verschlechtern die Beweglichkeit im Kanal und verhindern deshalb, daß die Vorteile der extrem kurzen Gatelänge tatsächlich zu hohen Grenzfrequenzen führen. Trotzdem ist der GaAs-PBT mit erreichten Transitfrequenzen von $f_T = 50$ GHz und maximalen Schwingfrequenzen $f_{max} = 220$ GHz ein leistungsfähiges Bauelement [Hol 87].

Die Probleme, die beim Überwachsen der Wolframschicht auftreten, können vermieden werden, wenn das Metall durch hochdotiertes p^{++}-GaAs ersetzt wird [Lüt 91]. Zwischen der als Gate dienenden fingerförmigen p^{++}-Schicht und den n-leitenden Kanälen bildet sich ein pn-Übergang. Dieses für den Transistor charakteristische Merkmal wurde deshalb in die Bezeichnung "Permeable Junction Base Transistor (PJBT)" aufgenommen [Grä 92]. Seine Herstellung und Charakterisierung wird in dieser Arbeit beschrieben.

Mit modernen Epitaxieverfahren können in GaAs mittels Kohlenstoff elektrisch aktive Ladungsträgerkonzentrationen oberhalb von $10^{20}\,cm^{-3}$ erzielt werden, so daß ein für Halbleiter geringer spezifischer Widerstand erzielt wird. Aufgrund der homoepitaktischen Struktur sind vereinfachtes epitaktisches Überwachsen und wegen der geringen Diffusion des Kohlenstoffes größtmögliche Reinheit des abgeschiedenen Materials im Kanal möglich, so daß dort ausgezeichnete Beweglichkeiten erzielt werden können.

Damit ist aber nur eine Voraussetzung für hohe Grenzfrequenzen erfüllt, denn die Verzögerungszeit des Tiefpasses, der sich aus dem Gatewiderstand und der Gatekapazität ergibt, darf nicht zum begrenzenden Faktor werden. Der Nachteil des höheren spezifischen Widerstandes der p^{++}-Schicht, der ca. 25mal höher ist als für Wolfram, kann durch Verkürzen der einzelnen Gatefinger teilweise kompensiert werden. Die Gatekapazität kann beim PJBT durch die Einbettung der p^{++}-Schicht in zwei undotierte i-Schichten reduziert werden. Weil diese Schichten vollständig verarmt sind, können die Verarmungszonen durch die $ip^{++}i$-Gatestruktur ausgedehnt und damit deren Kapazität verringert werden.

Der PJBT besitzt aufgrund seines vertikalen Aufbaus noch weitere interessante Eigenschaften: Wegen der in verschiedenen Schichten untereinander angeordneten Kontakte ist der an sich schon kleine PJBT auch zur dreidimensionalen Integration besonders geeignet, weil die isolierenden, halbleitenden und leitenden Materialien allesamt aus GaAs unterschiedlicher Dotierung bestehen. Mit Hilfe von selektiver Epitaxie können diese "Materialien" in beliebiger Reihenfolge über- und nebeneinander abgeschieden werden, ohne die elektrischen Eigenschaften der bereits vorliegenden Schichten zu beeinträchtigen.

So sind nicht nur integrierte Strukturen mit zwei an einem Kanal übereinanderliegenden Gates, durch die alternativ der Strom gesteuert werden kann [Voj 84] denkbar, sondern auch die Realisierung von n- und p-Kanal PJBT, die auf einem Chip in unterschiedlichen Schichten direkt nebeneinander liegen [Grä 91]. Damit ergibt sich die Möglichkeit, eine komplementäre Logik aufzubauen, deren geringer Leistungsverbrauch pro Gatter noch zusätzlich durch eine Verringerung der notwendigen Gatterbausteine reduziert werden kann. Dies kann z.B. durch zwei voneinander unabhängige Gates erreicht werden, die den Strom in einem Transistor steuern. Wenn all diese Möglichkeiten kombiniert werden, erscheint auch in der GaAs-Technologie eine schnelle hochintegrierte Logik möglich, die aufgrund des vertikalen Stromtransportes nicht mehr auf die gute Oxidschicht der CMOS Technologie angewiesen ist, die nur in der Silicium realisierbar ist.

Mögliche Anwendungen des PJBT bestehen ebenso wie für den GaAs-PBT als schneller digitaler Logikschalter [Boz 82], bei dem der Vorteil der kurzen Gate- und Kanallänge ausgenutzt wird. Aufgrund der Rauscharmut [Zhu 84] und der einfach zu verlängernden Gateweite sind PBT´s auch als Hochfrequenzleistungsverstärker [Act 87] geeignet.

Das Ziel dieser Arbeit ist, einzelne bereits vorhandene Technologien weiterzuentwickeln und aufeinander abzustimmen, um ausreichend kleine Strukturen mit der erforderlichen Qualität herzustellen, und um an ihnen die Bauelementeigenschaften zu messen und zu beurteilen. Zum Verständnis der Funktionsweise und zur richtigen Dimensionierung der Bauelementstrukturen werden analytische Rechnungen auf der Grundlage des Drift-Sättigungsmodells sowie numerische Simulationen durchgeführt. Aus dem Vergleich von Messungen unterschiedlicher Strukturen und von Berechnungen mit den Messungen sollen die Einflüsse der einzelnen Parameter untersucht und beurteilt werden, um Richtlinien für eine Optimierung der Bauelementeigenschaften aufzustellen.

2. Aufbau und Funktionsweise von PBT´s

Permeable Base Transistoren sind Bauelemente mit vertikalem Stromtransport durch die Öffnungen eines im Halbleiter vergrabenen Gitters. Zu dieser Gruppe von Bauelementen gehören auch der GaAs-PBT [Boz 79], bei dem das Gitter aus Wolfram besteht, und der PJBT mit einem Gitter aus einer halbleitenden Schicht, die zu den stromführenden Kanälen einen pn-Übergang bildet. Das Gitter dient als Gate in diesen Bauelementen, die prinzipiell vertikale FET´s mit sehr kurzem Gate und Majoritätsladungsträgerbauelemente sind. Der Aufbau und die damit verbundenen Vorteile im Vergleich zu planaren FET´s werden in Kap. 2.1 beschrieben.

Bei der Umsetzung des Konzeptes vertikaler Stromkanäle werden aus technologischen Gründen unterschiedliche Bauweisen realisiert, die in Ätzgraben-PBT und überwachsene PBT, zu denen auch der PJBT gehört, unterteilt werden. In Kap. 2.2 sollen physikalische und technologische Eigenschaften der auf GaAs basierenden Bauelemente GaAs-PBT [Boz 79] und des selektiv gewachsenen PBT [Lan 92] mit denen des Permeable Junction Base Transistors dieser Arbeit verglichen werden.

Die Funktionsweise der unterschiedlichen Bautypen ist gleich, sie ist aber in allen Fällen sehr stark von der Dimensionierung und den jeweiligen Arbeitspunkten abhängig. So entspricht der Mechanismus der Steuerung bei offenem Gate dem von Kurzkanal-FET und führt zu pentodenförmigen Kennlinien, während bei geschlossenem Gate ein geringerer Barrieren- oder raumladungsbegrenzter Strom mit triodenförmigem Kennlinienverlauf fließt (s. Kap 2.3).

2.1. PBT´s - vertikale FET´s mit sehr kurzem Gate

Die Transitzeit und damit die minimale Schaltzeit von Feldeffekttransistoren (FET) steht in direktem Zusammenhang mit der Beweglichkeit der Ladungsträger bzw. deren Sättigungsgeschwindigkeit und der zurückzulegenden Distanz, die in etwa der Gatelänge entspricht. Bei Bauelementen mit vertikalem Stromtransport wird die Gatelänge l_g durch die Schichtdicke des Gates festgelegt, wodurch im Vergleich zu lithographischen Methoden bei lateralem Stromfluß kleinere und damit vorteilhaftere Abmessungen erreicht werden können.

In Abb. 2.1 wird der Aufbau eines PBT, also eines vertikalen FET mit sehr kurzem Gate, im Vergleich zum planaren FET dargestellt.

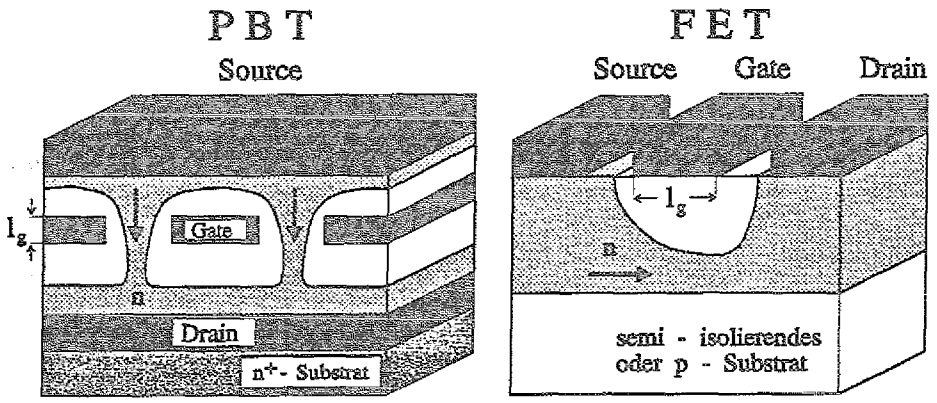


Abb. 2.1
Schematischer Aufbau von PBT und FET mit vertikalem bzw. lateralem Kanal (Stromfluß in Pfeilrichtung)
Das Gate kann aus Metall, das einen Schottky-Kontakt zum Kanal bildet, oder wie beim PJBT aus p^{++}-GaAs mit einem pn-Übergang bestehen. Der Aufbau des technologisch realisierten PJBT ist in Abb. 5.1 auf S.50 dargestellt.

Die vertikalen Kanäle verbinden jeweils hochdotierte n^+-Schichten, die ohmsche Kontakte ober- und unterhalb des Gates bilden. Die Bezeichnung der gleichwertigen Kontakte als Source und Drain hängt von der äußeren Beschaltung ab, und wird als "Source on Top" (s. Abb. 2.1) bzw. als "Drain on Top" bezeichnet. Durch Änderung der Gatespannung kann die Ladungsverteilung in den Kanälen verändert und damit der Elektronenstrom von Source zu Drain durch den Feldeffekt gesteuert werden.

Die Anordnung und der Typ der Kontakte (Schottky- bzw. ohmsch) ist für einen PBT und einen Feld Effekt Transistor (FET) sehr ähnlich, so daß man den PBT auch als vertikalen FET bezeichnen könnte. Eine Unterscheidung erscheint aber zweckmäßig und entspricht der von Bozler vorgeschlagenen Definition [Boz 80], nach der beim PBT im Gegensatz zum planaren FET die Gatelänge kleiner als die halbe Kanalbreite ist. Durch diesen Unterschied werden die Stromeigenschaften des Bauelementes verändert. Der Aufbau des PBT hat im Vergleich zum FET folgende Vorteile:

- kleinere Bauelemente sind möglich, weil die Kontakte in verschiedenen Schichten liegen
- kein kritisches Justieren von Source und Drain bzgl. des Gates
- dreidimensionale Integration wird durch vertikalen Aufbau begünstigt
- parallele Gatefinger, die kürzer und daher niederohmiger sind
- vollständige Abschnürbarkeit des Kanals. Es gibt keine Ströme durch das Substrat wie beim FET.
- sehr kurze Gatelängen, die im nm-Bereich kontrollierbar sind, werden durch die Schichtdicke festgelegt.

- kurze Kanallängen < 0,6 µm, d.h. hohe elektrische Felder, bei denen die Sättigungsgeschwindigkeiten auftreten, werden schon bei geringen Spannungen erreicht. Deshalb sind minimale Schaltzeiten schon bei sehr geringer Leistungsaufnahme des Transistors möglich.
- velocity overshoot ist möglich; er erhöht die Grenzfrequenz, wenn auf kurzen Strecken (< 0.2 µm) hohe Felder anliegen

Als Nachteil sind die parasitären Raumladungszonen ober- und unterhalb des Gates zu betrachten, da sie nicht zu der Steuerung des Stromes beitragen, aber die Gatekapazität erhöhen und deshalb die Hochfrequenzeigenschaften des PBT verschlechtern. Daher sollte der Anteil der parasitären Kapazitäten möglichst gering gehalten werden. Dies kann entweder durch lateral schmale Gatefinger (kleine Fläche), durch Erniedrigung der dielektrischen Materialkonstanten in diesem Bereich oder durch Ausweitung der Raumladungszone geschehen [Mey 88]. Diese Ansätze sind nur teilweise mit der Technologie bei der Realisierung von unterschiedlichen Bauformen des PBT vereinbar, die sich in ihrem Aufbau erheblich unterscheiden können.

2.2. Technologisch realisierte Bauweisen

Die aus der Literatur bekannten PBT's, die teilweise auch als "vertical FET" bezeichnet werden [Ada 85] [Koh 83] , lassen sich entsprechend ihrer Herstellungsweise in zwei Gruppen einteilen. Bei den Ätzgräben-PBT's werden zuerst halbleitende Schichten abgeschieden und dann die Gräben mit überhängenden Flanken geätzt, in die danach die Gate-Metallisierung eingebracht wird (s. Abb. 2.2). Bei den überwachsenen PBT's wird in umgekehrter Reihenfolge zuerst das Gate strukturiert und dann epitaktisch überwachsen (s. Abb. 2.1).

2.2.1. Ätzgraben-PBT's

Der Ätzgraben-PBT ist für Silicium die häufiger realisierte Bauform, weil es nicht gelang, eine Metall- oder Silicidschicht zu strukturieren und zu überwachsen, ohne daß polykristallines Si-Wachstum einen negativen Einfluß auf die angrenzenden Stromkanäle hatte. Diese Probleme lassen sich vermeiden, wenn die halbleitenden Schichten zuerst abgeschieden werden und so mit bekannter Qualität und Reproduzierbarkeit die erforderlichen Dotierprofile erzeugt werden, mit denen optimierte Leistungs- und Hochfrequenzeigenschaften erzielt werden können [Rat 90]. Anschließend werden Gräben in die Schichten geätzt, deren Prozeßparameter so gewählt sein müssen, daß überhängende Flanken entstehen. Sie sind notwendig, um einen Kurzschluß zwischen dem Gate auf der Sohle der Ätzgräben und dem höher liegenden Source-Kontakt zu vermeiden, wenn diese selbstjustierend metallisiert werden [Gru 90].

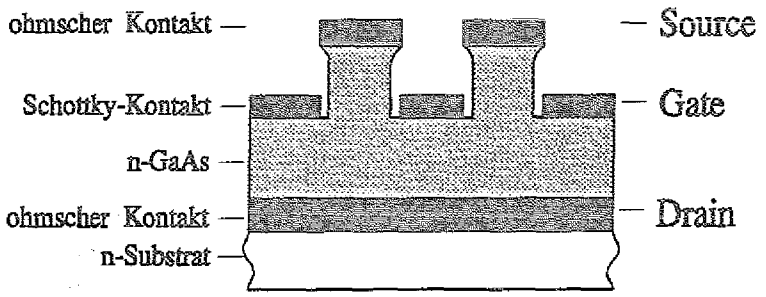


Abb. 2.2
Beim Ätzgraben PBT liegt das Gate in offenen Gräben zwischen den Kanälen.

Im Vergleich zu dem eingebetteten Gate beim überwachsenen PBT (Abb. 2.1) ist hier die Gatekapazität reduziert, weil der parasitäre Bereich oberhalb des Gates entfällt. Dafür bilden sich aber Verarmungszonen an den offenen Flanken der Stromkanäle, die unabhängig von der Gatespannung die Kanäle einschnüren. Um diesen nachteiligen Effekt zu vermeiden, kann die Dotierung der Kanäle dort, wo sie freiliegen, erhöht werden [Gru 90]. Allerdings werden dadurch die parasitären Kapazitäten wiederum vergrößert, wenn es nicht gelingt, den Kontakt des Gates ausschließlich auf die schwächer dotierten Bereiche zu beschränken. Eine exakte Kontrolle der Ätzgrabentiefe und der Seitenbedeckung ist deshalb erforderlich.

Numerische Berechnungen [Rat 84] ergeben zwar bei unterschiedlichen Gate-Geometrien (im Grenzfall: Ätzgraben- zu überwachsenem PBT) nahezu eine Verdopplung der Kapazität, die aber durch die einhergehende Verbesserung der Steilheit (Steuerbarkeit des Stromes) ausgeglichen wird, und somit in allen Fällen zu vergleichbaren Grenzfrequenzen bei Silicium führt. Die bisher höchsten Grenzfrequenzen für Si-PBT's mit $f_T \approx f_{max} \approx 26$ GHz [Gru 91] wurden an einem Ätzgraben-PBT mit passivierten Ätzflanken und einer Gitterperiodizität von 600 nm gemessen.

Für GaAs-PBT's wird aufgrund der negativen differentiellen feldabhängigen Elektronengeschwindigkeit theoretisch eine Verschärfung der Oberflächenprobleme beim Ätzgraben-PBT erwartet, so daß sich hier für den überwachsenen PBT bessere Hochfrequenzeigenschaften ergeben sollten [Voj 83].

2.2.2. Überwachsene PBT's

Bei überwachsenen PBT's werden die Probleme mit der offen liegenden Halbleiteroberfläche vermieden, weil zuerst das Gate strukturiert und dann überwachsen wird, so daß es von allen Seiten her eingebettet ist.

Für überwachsene Si-PBT's bietet sich $CoSi_2$ als Gate-Material an, das nur eine 1,2 %ige Gitterfehlanpassung zu Silicium und eine gleiche spezifische Leitfähigkeit wie Wolfram hat. Die Probleme, die bei der Strukturierung des $CoSi_2$ im sub-µm Bereich auftreten, können erfolgreich umgangen werden, wenn durch lokale Co-Implantationen und anschließendes Ausheilen vergrabene strukturierte $CoSi_2$-Schichten erzeugt werden [Sch 92]. So konnten Si-PBT's erfolgreich hergestellt werden, die bei einer Steilheit von 80 mS/mm Grenzfrequenzen von $f_T = 6$ GHz und $f_{max} = 1{,}5$ GHz erreichen [Sch 92].

Für GaAs besteht die Möglichkeit, als Gatematerialien Wolfram, ein SiO_2 / Wolfram / SiO_2 -Schichtpaket oder $ip^{++}i$-GaAs zu verwenden, die jeweils strukturiert und epitaktisch überwachsen werden können. Die mit den unterschiedlichen Gatestrukturen verbundenen Bauelemente sollen im folgenden vorgestellt und ihre Eigenschaften diskutiert werden.

2.2.2.1. Der GaAs-PBT

1979 gelang es Bozler [Boz 79], ein Wolframgitter aus 160 nm breiten Streifen mit einkristallinem GaAs zu überwachsen, dessen gleich breite Kanäle durch die Verarmungszone des Schottky-Kontaktes gerade abgeschnürt waren. Der Aufbau entspricht dem des PBT's in Abb. 2.1. Erst 1987 konnte der GaAs-PBT von der gleichen Gruppe reproduzierbar hergestellt werden, der eine extrapolierte Transitfrequenz $f_T = 50$ GHz und eine maximale Schwingfrequenz $f_{max} = 220$ GHz erreichte [Hol 87].

Obwohl diese Werte für alle aus der Literatur bekannten PBT's die mit Abstand besten Ergebnisse darstellen, konnte die theoretisch erwartete Grenzfrequenz $f_T > 200$ GHz bei weitem nicht erreicht werden, weil bislang aus technologischen Gründen die für die Berechnung angenommene Schichtqualität nicht erreicht werden konnte [Hol 87].

So wird durch die strukturierte Wolframschicht einerseits eine effektive Reinigung vor der Epitaxie erschwert, weil die Metallstreifen nicht unterätzt werden dürfen. Andererseits treten bei der selektiven Epitaxie, die zuerst die Kanäle auffüllt und dann lateral die Gatefinger überdeckt, Kristallbaufehler und sogar Lücken oberhalb der Gatefinger auf [Asa 84]. Aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten von Wolfram und GaAs ($3 \cdot 10^{-6}$°K für W und $6{,}86 \cdot 10^{-6}$°K für GaAs) sind außerdem durch thermischen Streß bedingte Versetzungen zu erwarten. Ein weiteres Problem sind Verunreinigungen wie Cr, Fe, Cu, Te und Au, die im Wolfram enthalten sind und während der Epitaxie in die Kanäle diffundieren. Dort bilden sie zum Teil tiefe Störstellen, die ebenso wie die anderen Defekte die Ladungsträgerdichte herabsetzen, das Fermi-Niveau verschieben oder pinnen und die Beweglichkeit der Ladungsträger im Kanal reduzieren [Boz 85] [Hol 87].

2.2.2.2. Der SG-PBT

Um die Probleme, die beim Überwachsen des Wolframs auftreten, zu reduzieren, beschritt Adachi 1985 einen anderen Weg. Er benutzte eine Isolator/Metall/Isolator-Gatestruktur aus $SiO_2/W/SiO_2$, die strukturiert und überwachsen wurde [Ada 85]. Als Fortführung dieser Idee ist der Selective-Grown-PBT (SG-PBT) zu betrachten, bei dem ein Wolframgitter in zwei ca. 200 nm dicke SiO_2-Schichten eingebettet und nur die Kanäle mit selektiver Epitaxie aufgefüllt werden [Lan 92]. Bei diesem Aufbau (s. Abb. 2.3) kann die gute Leitfähigkeit des Wolframs genutzt werden, während die damit verbundenen Probleme durch die SiO_2-Schichten minimiert werden sollen.

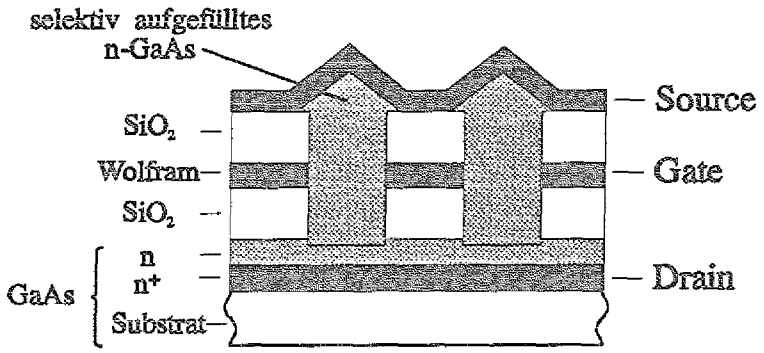


Abb. 2.3
Das Wolfram-Gate des SG-PBT ist in SiO_2-Schichten eingebettet. Mit selektiver Epitaxie werden die Kanäle aufgefüllt.

Die Grenzfläche zwischen GaAs und Wolfram wird durch die isolierenden SiO_2-Schichten verringert, die einerseits die Diffusion der im Wolfram enthaltenen Verunreinigungen und die Anzahl von Kristallbaufehlern vermindert und andererseits unerwünschte Gateströme und -kapazitäten reduziert. Da SiO_2 eine geringere Dielektrizitätskonstante ($\varepsilon_{SiO_2} = 3{,}9$) als GaAs ($\varepsilon_{GaAs} = 13{,}1$) aufweist, wird die Gatekapazität durch die Materialeigenschaft und durch die Geometrie (Dicke der SiO_2-Schicht) herabgesetzt, so daß nach einfachen Abschätzungen für Kanalbreiten von 0,5 µm in etwa 2,5 fache Grenzfrequenzen zu erwarten sind. Für Kanalbreiten von 1,5 µm wurden Steilheiten von über 40 mS/mm erreicht [Lan 92].

2.2.2.3. Der homoepitaktische PJBT

Beim homoepitaktischen PJBT, der im Rahmen dieser Arbeit entwickelt wurde, können die Probleme, die mit metallischen Verunreinigungen oder mit Kristallbaufehlern verbunden sind, von vornherein ausgeschlossen werden, weil er im kritischen Bereich der Kanäle nur aus GaAs besteht. Das Gate ist mit Kohlenstoff dotiert, mit dem in der Metalorganic Molecular Beam Epitaxie (MOMBE) höchste Dotierungen von $p^{++} = 3 \cdot 10^{20}\ cm^{-3}$ und damit fast metallische elektrische Leitfähigkeiten erreicht werden können [Mör 91] [Ren 91a]. Da Kohlenstoff die geringste Diffusion aller p-Dotierstoffe in GaAs aufweist [Kam 92], bleiben die Dotierprofile auch während der zweiten Epitaxie, in der die Kanäle aufgefüllt werden, erhalten [Ren 91b].

Der PJBT mit einem Gate aus p^{++}-dotiertem GaAs ist nur möglich, weil die gute Leitfähigkeit und gleichzeitig die geringe Diffusion des Dotierstoffes eine Strukturierung mit Kanalbreiten im sub-µm Bereich erlauben. Zusätzlich kann das p^{++}-Gate in zwei nominell un-

dotierte i-Schichten eingebettet werden, die vollständig verarmt sind, und deshalb entsprechend ihrer Schichtdicke im PJBT die parasitären Kapazitäten ober- und unterhalb des Gates verringern (s. Abb. 2.4).

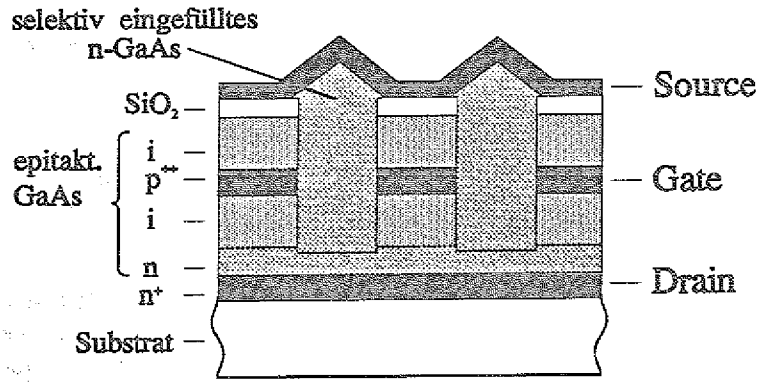


Abb. 2.4
Das p^{++}-Gate des PJBT ist in zwei intrinsische Schichten eingebettet. Die Kanäle werden mit selektiver Homoepitaxie aufgefüllt.

Eine dünne SiO_2-Schicht dient als Maske für die Ätzung der Kanäle und bewirkt, daß in der zweiten selektiven Epitaxie nur die Kanäle aufgefüllt werden. Bei der im Vergleich zum GaAs-PBT vereinfachten Technologie kann eine gezielte Dotierung der Kanäle und eine hohe Beweglichkeit der Ladungsträger erwartet werden, weil eine effektive Reinigung möglich ist, keine metallischen Verunreinigungen aus dem Gate ausdiffundieren können und in dem homogenen Gatebereich eine optimale Gitteranpassung gegeben ist.

Den beiden Vorteilen reduzierter Gatekapazität durch die $ip^{++}i$-Gatestruktur und verbesserter Materialqualität in den Kanälen steht allerdings ein entscheidener Nachteil gegenüber: der bei den im Rahmen dieser Arbeit bei einer Dotierung von $p^{++}= 1\cdot10^{20}\ cm^{-3}$ erreichte spezifische Widerstand von p^{++}-GaAs ist zwar mit 1000 $\mu\Omega$cm für Halbleiter gering, aber im Vergleich zu 21 $\mu\Omega$cm der Wolframschicht sehr hoch. Durch Ausnutzung der maximalen Dotierungsdichte könnte der spezifische Widerstand noch gesenkt werden, aber gleichzeitig würde sich die Morphologie der Schichten verschlechtern, weil durch die hohe Kohlenstoffkonzentration das Kristallgitter zunehmend verspannt wäre, und somit immer mehr Kohlenstoff auf nicht aktiven Zwischengitterplätzen eingebaut würde [Mör 91].

Eine Erhöhung des Gatewiderstandes hat zwar theoretisch auf f_T keinen Einfluß, aber f_{max} wird hierdurch verringert. Durch Verkürzen der einzelnen Gatefinger kann der Gatewiderstand verringert werden, aber durch die relative Zunahme der parasitären Kapazitäten der Zuleitungen werden dann sowohl f_T als auch f_{max} wieder geringer.

Bei einem Vergleich aller drei PBT-Typen erscheint der SG-PBT vom Standpunkt der Materialeigenschaften des Gates - sprich guter Leitfähigkeit und geringer Kapazität des Gates - ideal zu sein.

Bei Betrachtung der Kanaleigenschaften hat jedoch der homoepitaktische PJBT eindeutige Vorteile, weil keine heterogenen Grenzflächen vorhanden sind. Insbesondere beim SG-PBT besteht die Gefahr, daß Oberflächenladungen am SiO_2-GaAs Interface den Kanal unabhängig von der Gatespannung einschnüren und damit die Effizienz der Steuerung zurückdrängen können. Diese Oberflächenladungen können dann genauso wie beim Ätzgraben-PBT (vgl. Kap. 2.2.1) durch die feldabhängige Driftgeschwindigkeit der Elektronen dazu führen, daß die Hochfrequenzeigenschaften verschlechtert werden.

2.2.3. Verwandte Bauelemente des PJBT

Die drei oben beschriebenen Bauweisen des PBT gehören zu einer Gruppe von verwandten Transistoren, die alle einen vertikalen Majoritätsstrom, der durch den Feldeffekt steuerbar ist, als gemeinsames Merkmal haben. Die Besonderheit der PBT liegt in ihrem Aufbau, der auch Auswirkungen auf ihre Funktionsweise hat, und den Bozler [Boz 79] wie folgt beschreibt:

> "The very thin embedded metal film which can be formed into a very fine grating is the important difference between the PBT and other devices (i.e., the gridistor, metal base transistor, SIT, analog transistor) which are similar."

Beim PJBT ist es die dünne eingebettete p^{++}-Schicht, die zu einem sehr feinen Gitter (sub-µm Peridiozität) geätzt wird, dessen Struktur beim Überwachsen aufgrund der zu vernachlässigenden geringen Diffusion von Kohlenstoff erhalten bleibt, so daß sich abrupte pn-Übergänge bilden. Dies gilt nicht für Static Induction Transistor (SIT), Gridistor und Analog Transistor, bei denen vergrabene p^+- Gebiete durch Diffusions- oder Implantationsmasken lokal in einer schwach n-dotierten Schicht erzeugt werden [Ohm 79] [Reg 87] [Tes 64][Zul 67a][Nis 75]. Bei dieser Technik wird die Diffusion entweder gezielt zur Erzeugung der p^+-Gebiete eingesetzt,oder sie ist bei den Ausheiltemperaturen der Implantationstechnik nur durch kurze Ausheilzeiten einzuschränken. In beiden Fällen können jedoch niemals so dünne und lateral so feine und abrupte Strukturen erzeugt werden, wie dies beim PJBT durch das Ätzen der p^{++}-Schicht möglich ist. Als Folge der unterschiedlichen Dotierungsdichte und Strukturgrößen wird das Stromverhalten durch unterschiedliche Mechanismen bestimmt, so daß sich die Bauelemente auch von der Physik her unterscheiden.

Von allen Bauelementen mit vertikalem Stromtransport wurde der SIT 1950 als erster vorgeschlagen [Wat 50]. Beim SIT ist ein p^+-Gitter in ein intrinsisches oder niedrig dotiertes n-Gebiet eingebettet. Dabei liegt das Gate entweder im Halbleiter vergraben oder die Anschlüsse für Source und Gate befinden sich abwechselnd an der Oberfläche (Surface Gate SIT). Aufgrund der relativ groben Gitterperiodizität (typisch 2-5 µm) und der geringen Kanaldotierung ($\leq 5 \cdot 10^{15}$ cm^{-3}) wird die stromsteuernde Potentialbarriere sowohl durch die Gatespannung als auch durch die anliegende (statische) Drainspannung bewegt ($\Rightarrow$ static Induction) [Nis 75], wodurch die triodenförmigen Ausgangskennlinien entstehen.

Wegen der Analogie zu einer Vakuumröhre mit raumladungsbegrenztem Strom nannte Zuleeg diesen Aufbau "Analog Transistor" [Zul 67a], während andere Autoren von "Vertical Junction Gate FET" oder JFET sprechen [Yam 76] [Cam 82] [Alf 86], zu denen auch der Multi-Channel FET (MUCH FET) gehört [Zul 67b]. Bei all diesen Bauelementen verschlechtern die hohen Gatewiderstände der p^+-Schicht die Hochfrequenzeigenschaften. Aufgrund der geringen Kanaldotierungen sind jedoch die Durchbruchspannungen sehr hoch, so daß sich diese Bauelemente als Leistungsverstärker eignen. Mit einem Si-SIT wurde bei 225 MHz eine Ausgangsleistung von 200 W mit 20 dB Leistungsverstärkung erzielt [Reg 87].

2.3. Funktionsweise des PJBT

Die Ausgangskennlinie, d.h. die Abhängigkeit des Drainstromes von der angelegten Drainspannung und der steuernden Gatespannung, und das Hochfrequenzverhalten sind makroskopisch meßbare Größen, die durch mikroskopische Prozesse im PJBT verursacht werden. Die Funktionsweise, und damit die Auswirkung dieser Prozesse auf das Bauelementverhalten, können durch Modelle, die auf analytischen Näherungen basieren im Folgenden beschrieben werden.

Die gemessenen Ausgangskennlinien des PJBT zeigen pentodenförmige (für den FET typische sättigende) Verläufe bei geöffnetem Kanal (s. Abb. 2.5 a) und triodenförmige (für den SIT charakteristische) Verläufe bei abgeschnürtem Kanal (s. Abb. 2.5 b). Der PJBT könnte deshalb vom Kennlinienbild her als Übergang vom FET zum SIT betrachtet werden [Rat 90]. Diese Einteilung erscheint aber im Grenzfall nicht sinnvoll, denn es gibt sowohl sogenannte "punch through" FET mit triodenförmigen Kennlinien [Ric 69], wenn das Gate sehr kurz wird, als auch SIT's mit pentodenförmigem Kennlinienverlauf [Tes 64]. In allen Fällen hängt der Kennlinienverlauf und damit der wirksame Mechanismus von der Dimensionierung, d.h. der Dotierungsdichte, Kanalbreite und Gatelänge und den gewählten Arbeitspunkten [Yam 75] ab, egal wie das Bauelement auch bezeichnet wird.

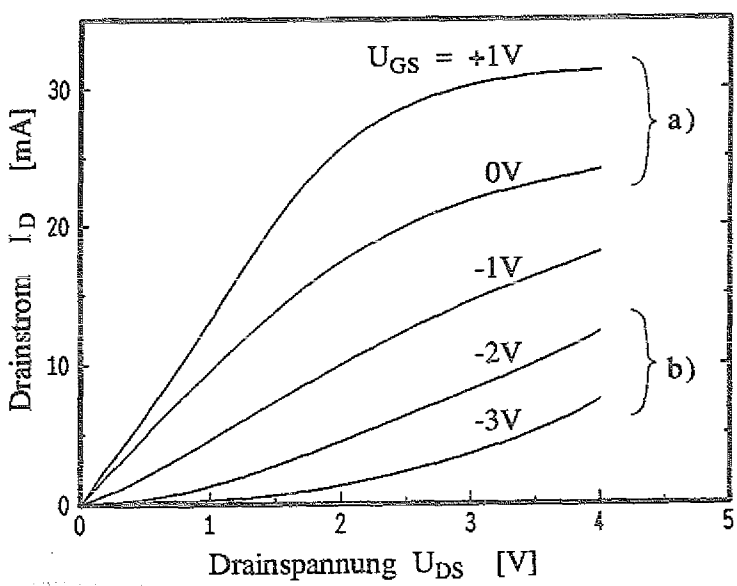


Abb. 2.5

gemessene Ausgangskennlinie des PJBT in common source Schaltung

a) für FET typische pentodenförmige Kennlinien

b) für SIT typische triodenförmige Kennlinien

Zur Berechnung des Stromes ist es notwendig, die Bewegung der freien Ladungsträger, deren Anzahl von der Dotierung, der Geometrie und dem Potentialverlauf (Feldstärke) abhängt, zu beschreiben. Die Beweglichkeit der Ladungsträger ist für GaAs auch von der Feldstärke abhängig, und somit wirken sich indirekt ein zweites Mal die Geometrie und die angelegten Spannungen auf den Strom aus. Diese gegenseitigen Beeinflussungen können nur in selbstkonsistenten numerischen Rechnungen (s. Kap. 4) berücksichtigt und damit das Stromverhalten des Bauelementes korrekt beschrieben werden.

Zum Verständnis der Funktionsweise ist es aber sinnvoller, mit analytischen Näherungen zu arbeiten, die die physikalischen Prozesse viel anschaulicher beschreiben. Sie bieten im Gegensatz zu den numerischen Rechnungen, die immer nur einzelne Arbeitspunkte bei vorgegebener Dimensionierung ergeben, den Vorteil, daß der Einfluß von einzelnen Parametern wie z.B. der Dotierung, über einen weiten Bereich als Funktion dargestellt werden kann. Daraus läßt sich dann auf einfache Weise beurteilen, wie die Eigenschaften des Bauelementes von einzelnen Parametern abhängen.

Im Folgenden wird der pn-Übergang beschrieben, durch den die Kanalbreite und damit der Strom gesteuert wird. Anschließend wird der Einfluß der feldabhängigen Beweglichkeit auf den Kennlinienverlauf diskutiert und das Kleinsignal- und Hochfrequenzverhalten des PJBT anhand eines analytischen Modells berechnet.

2.3.1. Der pn-Übergang

Zwischen dem p^{++}-Gate mit der Akzeptordichte N_A und dem umschließenden Kanal mit der Donatordichte N_D bildet sich eine Verarmungszone, weil die Löcher solange aus dem p^{++}-Gebiet in das n-Gebiet diffundieren und dort rekombinieren (Entsprechendes gilt für die Elektronen), bis sich ein Dipolfeld der ionisierten Rumpfladungen ausbildet, und infolgedessen ein gleich großer Feldstrom entgegenfließt. Die damit verbundene Diffusionsspannung U_{bi}, die auch als "built in potential" bezeichnet wird, beträgt für einen pn-Übergang in GaAs [Sze 81, Kap. 2.3]:

$$U_{bi} \approx \frac{kT}{e} \ln\left(\frac{N_A \cdot N_D}{n_i^2}\right) \qquad \text{Gl. 2.1}$$

für : $N_A = 10^{20}\ cm^{-3}$, $N_D = 10^{17}\ cm^{-3}$ und

die intrinsische Ladungsträgerdichte $n_i = 1{,}8 \cdot 10^6\ cm^{-3}$ für GaAs

bei 300 K berechnet sich: $U_{bi} = 1{,}4$ V

Durch Lösen der Poissongleichung

$$\Delta\Phi = \frac{-q}{\varepsilon} \cdot (p - n + N_D^+ - N_A^+) \qquad \text{Gl. 2.2}$$

n, p : Elektronen- und Löcherdichte
Φ : Potential (ortsabhängig)
-q : Elementarladung
ε $= \varepsilon_0 \cdot \varepsilon_s$: Dielektrizitätskonstante in GaAs

findet man für den eindimensionalen Fall einer unendlich ausgedehnten, planaren Grenzfläche mit abrupten Dotierprofilen (Schottky Näherung) folgenden Ausdruck für die Weite w der Verarmungszone [Sze 81, Kap. 2.3]:

$$w = \sqrt{\frac{2\varepsilon}{q} \cdot \frac{N_A + N_D}{N_A \cdot N_D} \cdot U} \qquad \text{Gl. 2.3}$$

mit $\Phi(w) - \Phi(0) = U = U_{bi} - U_{GS}$, wobei U_{GS} die Spannung zwischen Gate und Source in Durchlaßrichtung ist, d.h. am Gate liegt für n-dotierte Kanäle positive Spannung.

Wegen der Ladungsneutralität muß die negative Ladung der ionisierten Akzeptoren N_A^- im p-Gebiet der Weite w_p der positiven Ladung im n-Gebiet entsprechen:

$$w_p N_A^- = w_n N_D^+ \qquad \text{Gl. 2.4}$$

Weil $N_A >> N_D$ ist, liegt die Verarmungszone vergleichbar zum Schottky Kontakt fast ausschließlich im niedriger dotierten n-Gebiet, und Gl. 2.3 vereinfacht sich zu

$$w = \sqrt{\frac{2\varepsilon}{q} \cdot \frac{U}{N_D}} \qquad \text{Gl. 2.3a}$$

Innerhalb der Verarmungszone steigt der Betrag des Potentials vom Rand bei w zur Grenzfläche hin parabelförmig an (s. Abb. 2.6a). Aus Gl. 2.2 folgt für die eindimensionale Näherung:

$$\Phi(x) \approx \frac{q \cdot N_D}{2\varepsilon} \cdot (x - w)^2 , \quad \Phi(w) = 0 \qquad \text{Gl. 2.5}$$

$$\text{und } 0 < x < w < \frac{b_k}{2}$$

b_k ist die Kanalbreite

Die Dichte der freien Ladungsträger entspricht im Kanal außerhalb der Verarmungszone der Dotierung N_D , fällt aber zum Gate hin mit steigendem Potential exponentiell ab. (Hier wie im Folgenden ist immer der Betrag von $|-\Phi|$ gemeint, so daß "höheres" Potential immer direkt auf die folgenden Abbildungen bezogen ist).

Solange die Verarmungszone sich nicht über den gesamten Kanal erstreckt, kann der Anteil der Elektronen in der Verarmungszone gegenüber der Elektronenzahl im nicht verarmten Kanal vernachlässigt werden. Durch Variation der Gatespannung kann die verbleibende Breite des nicht verarmten Kanales $b_k - 2w$ gesteuert werden (s. Abb. 2.6a), wodurch die pentodenförmigen Ausgangskennlinien in Abb. 2.5a erzielt werden (Kap. 2.3.2).

Wenn das Potential am Gate weiter in Sperrichtung angehoben wird, schnürt die Verarmungszone den ganzen Kanal ab (pinch-off). Die damit verbundene Abschnürspannung U_p ergibt sich nach Gl. 2.5 zu:

$$U_p = \frac{q \cdot N_D}{2\varepsilon} \cdot \left(\frac{b_k}{2}\right)^2 \qquad \text{Gl. 2.6}$$

Sie entspricht der maximalen Potentialdifferenz zwischen Gate und Kanal. Wenn das Gatepotential noch weiter angehoben wird, wird das Leitungsband auch in der Kanalmitte angehoben, und es bildet sich zwischen Source und Drain eine steuerbare Barriere aus (s. Abb. 2.6b) [Ohm 80], die zu triodenförmigen Kennlinien führt (vgl. Kap. 2.3.3).

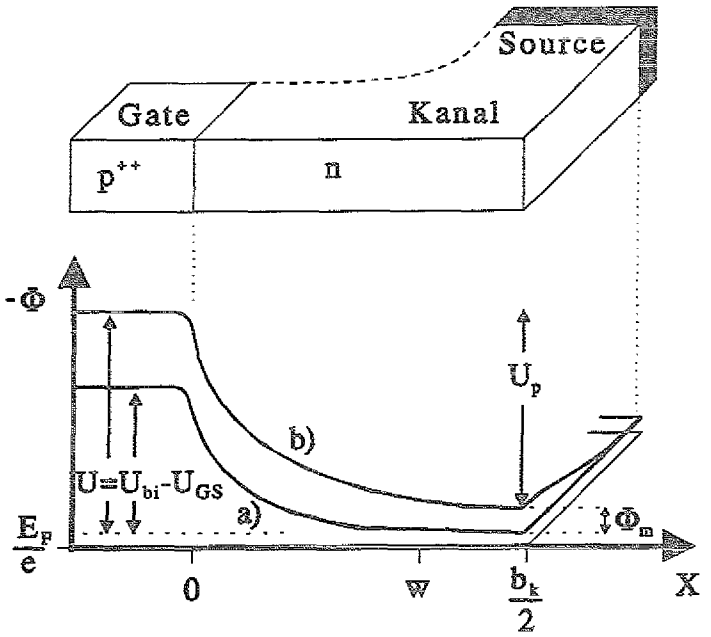


Abb. 2.6

oben:
Anordnung der Kontakte zum Kanal, der in der Kanalmitte und zwischen zwei Gatefingern aufgeschnitten ist.

unten:
Potentialverlauf der Leitungsbandkante entlang der Schnittkanten im Kanal für unterschiedliche Gatespannungen U_{GS}

a) offener Kanal ($U < U_p$)

b) abgeschnürter Kanal ($U > U_p$) mit der Potentialbarriere Φ_m, um die das Leitungsband bezogen auf das Potential am Source angehoben wird.

Im PJBT sind die Gatelänge, d.h. die Dicke der p^{++}-Schicht, und die Weite der Verarmungsschicht in etwa gleich groß. Deshalb ist die obige Annahme des planaren pn-Überganges als Grenzfall zu betrachten. Für die vorliegende Geometrie müßte eine zweidimensionale numerische Lösung der Poissongleichung berechnet werden. Falls die Gatelänge kleiner als die Verarmungszone ist, kann näherungsweise eine zylinderförmige Potentialverteilung angenommen werden, für die eine analytische Lösung bis zu 20 % verringerte Sperrschichtweiten (bei $w = 0{,}3$ µm und $l_g = 0{,}1$ µm) als für den planaren Fall ergibt [Sch 92, Kap. 4.3].

2.3.2. Steuerung des Stromes über die Kanalbreite - pentodenförmige Kennlinie

In Abb. 2.7a ist das selbstkonsistent berechnete zweidimensionale Potential im Kanal des PJBT dargestellt. Der Source-Kontakt berührt nur den epitaktisch aufgefüllten Kanal, der sich bis in die n^+-Schicht am Drain erstreckt. Dahinter befindet sich das p^{++}-Gate, das in i-Schichten eingebettet ist. Wegen der geringen Dotierung fällt das Potential ($-\Phi$) links vom Gate nur langsam ab, während zum Drain hin, an dem eine positive Spannung von 1 V zum Source anliegt, ein steiler Abfall bis zur n^+-Schicht erfolgt. Im Kanal fällt das Potential kontinuierlich vom Source her ab, und deshalb wird auch der Kanal, dessen berechneter Rand durch die hintere fette Linie angedeutet wird, zum Drain hin zunehmend enger.

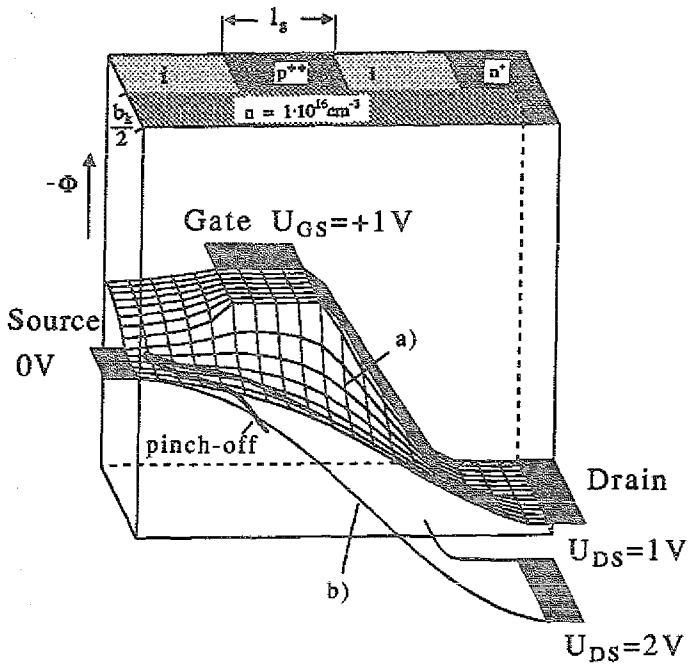


Abb. 2.7
Potentialverlauf im PJBT mit Gate in Durchlaßrichtung; U_{GS} = 1 V

a) offener Kanal bei U_{DS} = 1 V, dessen Rand durch die fette Linie skizziert ist.

b) abgeschnürter Kanal, in den Elektronen injiziert werden, bei U_{DS} = 2 V

Der Drainstrom kann wie beim JFET [Sze 81 Kap 6,2] berechnet werden. Durch Aufsummieren der jeweiligen ohmschen Widerstände von gleichlangen, aber in der Breite variierenden Kanalabschnitten läßt sich der Gesamtwiderstand des Kanals und bei vorgegebener Drainspannung der Strom berechnen. Wenn das Potential des Gates weiter (in Sperrichtung) angehoben wird, wird der Kanal enger und damit der Strom geringer. Wie für einen JFET mit "langem" Gate im Sättigungsbereich [Sze 81, Kap. 6.2] und feldunabhängiger Beweglichkeit μ_0, also für geringe U_{DS}, gilt :

$$I_D = \frac{Z \cdot \mu_0 \cdot \varepsilon}{b_k \cdot L_g} \cdot (U_{GS} - U_T)^2 \quad \text{für } U_{GS} > U_T \qquad \text{Gl. 2.7}$$

Z ist die Gateweite, die der Summe aller Fingerlängen entspricht. Die Schwellenspannung U_T ist gegeben durch:

$$U_T = U_p - U_{bi} \qquad \text{Gl. 2.8}$$

Weil beim PJBT die geometrische Gatelänge l_g in etwa so lang ist wie die Sperrschichtweite, können die Verarmungszonen an den Enden des Gates nicht vernachlässigt werden, und so muß in Gl. 2.7 eine effektive Gatelänge L_g eingesetzt werden, die spannungsabhängig ist. Bei Erhöhung der Drainspannung weitet sich die Verarmungszone weiter zum Drain hin aus. Aufgrund der Potentialdifferenz müßte auch der Kanal zum Drain hin abgeschnürt sein. Es gibt einen pinch-off Punkt, ab dem die berechnete Sperrschichtweite (s. fette Linie in Abb. 2.7b) über die halbe Kanalbreite hinausragen würde, und deshalb mit der Sperrschicht, die den Kanal von der anderen Seite her verengt (nicht eingezeichnet), überlappen würde. Weil aber an diesem Punkt Elektronen, die vom Source her den Potentialberg herunterlaufen, injiziert werden, ist der Kanal unterhalb dieses Punktes nicht verarmt, sondern von einer dem Strom entsprechenden Anzahl von Elektronen bevölkert. Der Strom ergibt sich in diesem Fall aus dem Widerstand des noch offenen Kanals und der Potentialdifferenz zwischen Source und dem pinch-off Punkt.

Wenn das Gate bezogen auf die Kanalbreite lang ist [Mal 76], wird bei weiter zunehmender Drainspannung der pinch-off Punkt seine Lage beibehalten, weil durch das Gate der Kanal abgeschirmt wird, und deshalb die Potentialverteilung im oberen Kanalbereich gleich bleibt. Diese Abschirmung führt zu der bekannten Sättigung des Drainstromes bei FET's mit langem Gate.

Im Gegensatz dazu ist aber beim PJBT das Gate im Vergleich zur Kanalbreite sehr kurz. Deshalb sinkt das Potential auch im oberen Kanal, und der pinch-off Punkt wird bei Erhöhung von U_{DS} weiter zum Source verschoben (s. Abb. 2.7b) . Weil der stromsteuernde obere Kanal dadurch immer kürzer wird, nimmt der Kanalwiderstand infolge der Kanaleinengung langsamer zu als die Potentialdifferenz, und deshalb steigt der Drainstrom mit der Drainspannung (s. Abb. 2.5a). Dieser Mechanismus wird auch als Kurzkanaleffekt bezeichnet.

2.3.3. Steuerung der Barrierenhöhe - triodenförmige Kennlinie

Wenn zwischen Gate und Source eine Spannung angelegt wird, die größer als die pinch-off Spannung ist (s. Gl. 2.6), entsteht in der Kanalmitte eine Potentialbarriere (s. Abb. 2.8), die durch thermische Emission oder Diffusion überwunden werden kann.

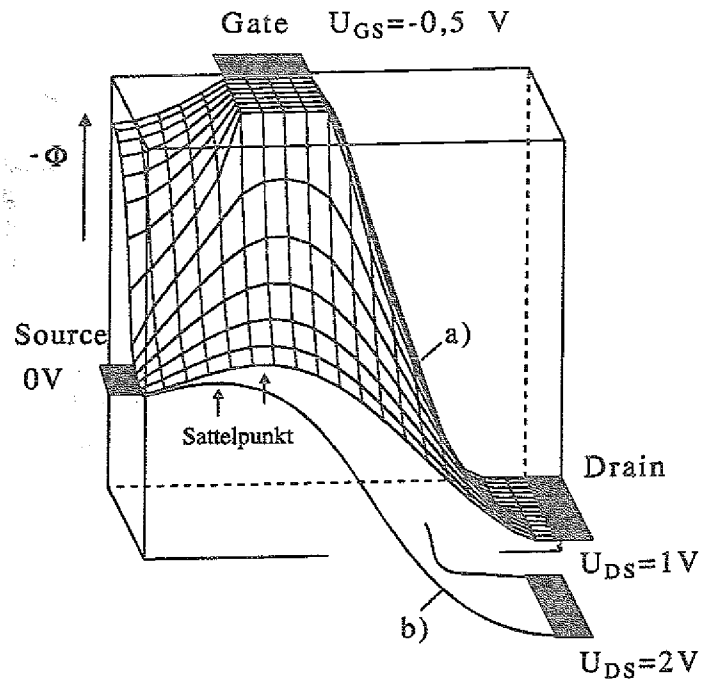


Abb. 2.8

Potentialverlauf im PJBT mit Gate in Sperrichtung U_{GS} = -0,5 V

a) Potentialbarriere, deren Maximum (Sattelpunkt) bei U_{DS} = 1 V zum Source verschoben ist.

b) abgeflachte Potentialbarriere bei U_{DS} = 2 V

Bei Variation der Gatespannung wird die Barrierenhöhe entsprechend erhöht bzw. erniedrigt, so daß sich in diesem Arbeitsbereich ein exponentielles Stromverhalten ergibt [Fre 83]:

$$I_D = F \cdot A^* \cdot T^2 \cdot \left\{ \exp\left(\beta \cdot \Phi_m\right) - \exp\left(\beta \cdot \left(\Phi_m - U_{DS}\right)\right) \right\} \qquad \text{Gl. 2.9}$$

A^* ist die effektive Richardson Konstante, $\beta = \frac{-q}{kT}$ und

Φ_m ist das Potential im Sattelpunkt der Barriere.

Der Vorfaktor F berücksichtigt das Verhältnis des thermischen Emissionsstroms zum Diffusionsstrom, das durch die mittlere freie Weglänge relativ zur Barrierenweite bestimmt wird [Fre 83]. Dieses exponentielle Stromverhalten entspricht dem des SIT [Nis 75].

Aufgrund der geringen Abschirmung beeinflußt auch eine erhöhte Drainspannung die Potentialbarriere, so daß sie immer flacher und der Sattelpunkt immer weiter zum Source verschoben wird [Ohm 80] (s. Abb. 2.7b). Dieser Effekt entsteht dadurch, daß infolge der erhöhten Drainspannung die Anzahl von Elektronen auf der Source Seite der Barriere ebenso wie die ionisierten Akzeptoren im Gate zunimmt. Damit entsteht ein zusätzliches

Feld, wodurch der Potentialverlauf im Bereich der Barriere gekippt wird. Entsprechend der Barrierenerniedrigung müßte der Strom exponentiell zunehmen, was aber bei größer werdendem Strom immer weniger zutrifft. Denn sobald die Elektronen die Barriere überwunden haben, schirmen sie den Durchgriff (punch through) der Drainspannung auf die Potentialbarriere ab, so daß der Stromzuwachs langsamer, dem raumladungsbegrenzten (space charge limited SCL) Strom entsprechend, erfolgt [Ben 84]:

$$I_D = \frac{9}{8} \cdot \varepsilon \cdot \mu \cdot A_{SCL} \cdot \frac{U_{DS}^2}{l_{SCL}^3} \qquad \text{Gl. 2.10}$$

In dieser Gleichung bedeutet A_{SCL} eine mittlere Fläche, die der Strom durchsetzt, und l_{SCL} entspricht der Länge der Raumladungszone, also dem Abstand vom Sattelpunkt zum Drain.

In der Ausgangskennlinie in Abb.2.5b) zeigen die unteren Kennlinien einen parabelförmigen Verlauf, der Gl. 2.10 entspricht.

2.3.4. Nichtlineare Elektronengeschwindigkeit -overshoot und Sättigung

Die Geschwindigkeit, mit der sich die Elektronen im GaAs-Kristall bewegen, ergibt sich aus dem Gleichgewicht der Energieaufnahme im elektrischen Feld mit dem Energieverlust durch Stöße an Verunreinigungen und ionisierten Donatoren sowie mit optischen Phononen. Die Verteilung der Elektronen im Leitungsband auf die drei Minima mit sehr unterschiedlichen Beweglichkeiten (effektiven Massen) ergibt die der Energie- entsprechende Geschwindigkeitsverteilung.

Unterhalb einer kritischen Feldstärke E_K ~4 kV cm^{-1} besteht näherungsweise ein linearer Zusammenhang zwischen der Driftgeschwindigkeit v und dem elektrischen Feld E:

$$v = \mu_0(N_D,T) \cdot E \quad \text{für } E < E_K \qquad \text{Gl. 2.11}$$

Die Beweglichkeit μ_0 bei kleinen Feldern beträgt für relevante Dotierungen 4000 cm^2/Vs bis 8000 cm^2/Vs bei 300 K je nach Dotierungsdichte (s. Abb. 2.9).

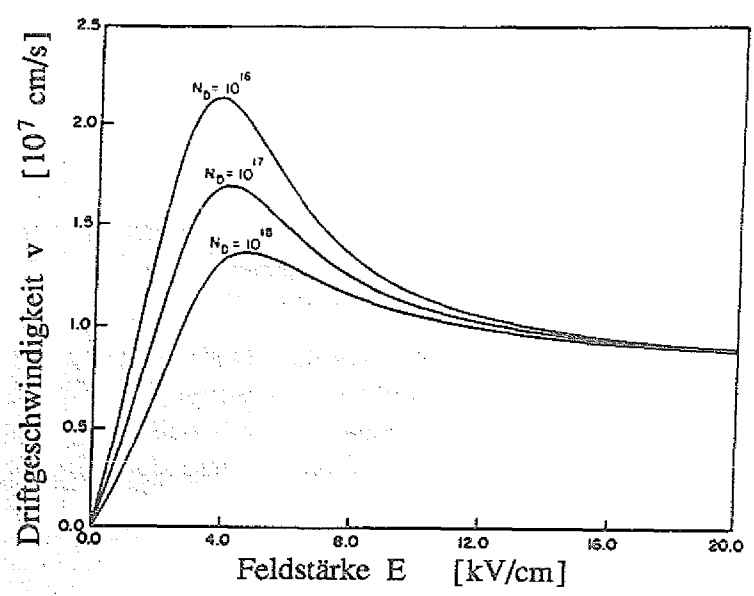


Abb. 2.9

feldabhängige Driftgeschwindigkeit (v-E-Charakteristik) für Elektronen in GaAs bei 300 K und verschiedenen Dotierungen nach [Mey 88].

Die Beweglichkeit entspricht der Steigung einer Geraden durch den Ursprung.

Bei stärkeren Feldern nimmt die Energie der Elektronen zu. Damit dominiert die Streuung (Emission) an optischen Phononen [Sze 81, Kap. 1.6.4]. Dadurch geht die Abhängigkeit der Geschwindigkeit von der Dotierung verloren. Aufgrund ihrer kinetischen Energie ist die Elektronentemperatur höher als die Gittertemperatur, und innerhalb der Relaxationszeit erhöht sich die Energie der Elektronen soweit, daß sie in das Nebenminimum am L-Punkt gestreut werden. Die Beweglichkeit beträgt hier nur 100 cm^2 /Vs und erniedrigt deshalb die mittlere Beweglichkeit. Oberhalb E_K fällt die mittlere Geschwindigkeit (s. Abb. 2.9) auf einen Sättigungswert v_S bei hohen Feldern ab. Infolge der von der Gittertemperatur abhängigen Verteilung der Ladungsträger auf die beiden Leitungsbandminima, und der Zunahme der Phononenstreuung nimmt die Driftgeschwindigkeit und die Beweglichkeit bei allen Feldstärken mit zunehmender Temperatur ab (s. Abb. 2.10).

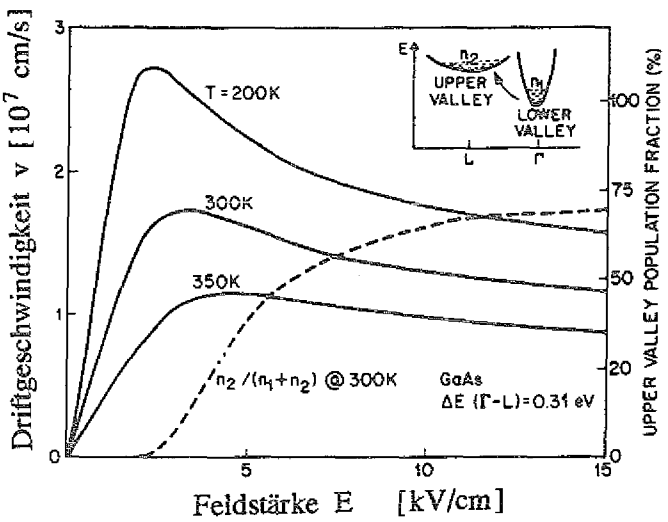


Abb. 2.10

Berechnete v-E-Charakteristik für Elektronen in GaAs, die sich auf zwei Leitungsbandminima verteilen. Bei ansteigenden Gittertemperaturen nehmen μ_0 und v_s ab, nach [Sze 81, Kap. 11.2.2].

Die Kurven in Abb. 2.10 sind mit einem einfachen Zwei-Minima-Modell für Elektronen bei einheitlicher Temperatur berechnet worden [Sze 81, Kap. 11.2.2] und geben qualitativ sowohl die gemessene v-E-Charakteristik von GaAs bei 300 K in Abb. 2.9 als auch den Temperaturverlauf richtig wieder [Sze 81, Kap. 1.6.4].

$$v_S \sim 1/T \qquad \text{Gl. 2.12}$$

Bei einer Kanallänge von 0,6 µm des PJBT wird das kritische Feld der maximalen Geschwindigkeit bereits bei einer Drainspannung von 0,25 V erreicht. Deshalb müßte in den obigen Funktionen für den Drainstrom im Sättigungsbereich (s. Gl. 2.7) und für den raumladungsbegrenzten Strom (s. Gl. 2.10) eine effektive Beweglichkeit μ_{eff} benutzt werden, die von der Feldstärke im gesamten Kanalbereich abhängt. Es ist zu erwarten, daß bei steigender Drainspannung der Drainstrom wegen der negativen differentiellen Beweglichkeit, d.h. der rückläufigen Geschwindigkeit, langsamer als erwartet ansteigt oder auch ein sättigendes Verhalten zeigt.

Die Geschwindigkeitsverminderung führt außerdem in einem gleich breiten Kanal zu einer Erhöhung der freien Ladungsträgerdichte [Mey 88] [Boz 80], die ihrerseits wieder Rückwirkungen auf das wirksame Feld und damit auf den gesamten Potentialverlauf im Kanal zeigt. Dieser Effekt wirkt dem oben beschriebenen Durchgriff entgegen und zusammen mit der abnehmenden Driftgeschwindigkeit erscheint sogar eine Abnahme des Drain-

stromes möglich, die sowohl numerisch durch Lösen der Boltzmann-Transport-Gleichungen als auch experimentell gefunden wurde [Kre 86] [Boz 85].

Beim PJBT wird aufgrund der kurzen Kanallänge keine stationäre Verteilung der Elektronen auf die drei Leitungsbandminima mehr erreicht, weil die Ladungsträger sich für eine kurze Zeit, also vor dem ersten Stoß, nahezu ballistisch mit einer Nicht-Gleichgewichtsgeschwindigkeit v_0 bewegen [Ruc 72] und dabei einen wesentlichen Teil des gesamten Weges zurücklegen.

$$v_0 \sim \mu_0(T) \cdot E \quad \text{auch für } E > E_K \qquad \text{Gl. 2.13}$$

In Abhängigkeit von der Feldstärke wird eine "overshoot"-Geschwindigkeit erreicht (s. Abb. 2.11), die bis zu dreimal höher ist als die maximale Geschwindigkeit (peak velocity) in Abb. 2.9 beim kritischen Feld E_K. Allerdings nimmt bereits nach 70 nm [Hay 86] die "overshoot"-Geschwindigkeit ab, und erreicht v_s desto eher je höher der overshoot war [Shu 76] [Hes 88]. Die Beweglichkeit in obiger Gleichung ist sowohl von der Dotierung als auch von der Temperatur abhängig. Wenn die Leistung im Bauelement bei hohen Spannungen und Strömen zu einer merklichen Erwärmung des Transistors führt, steigt die Gittertemperatur an und führt zu einer geringeren Beweglichkeit der Elektronen, die möglicherweise die erreichbare Nicht-Gleichgewichtsgeschwindigkeit v_0 auf jeden Fall aber die Sättigungsgeschwindigkeit v_s herabsetzen wird. Dieser Mechanismus sorgt also für eine Abnahme des Drainstromes, wenn der Transistor sich erwärmt.

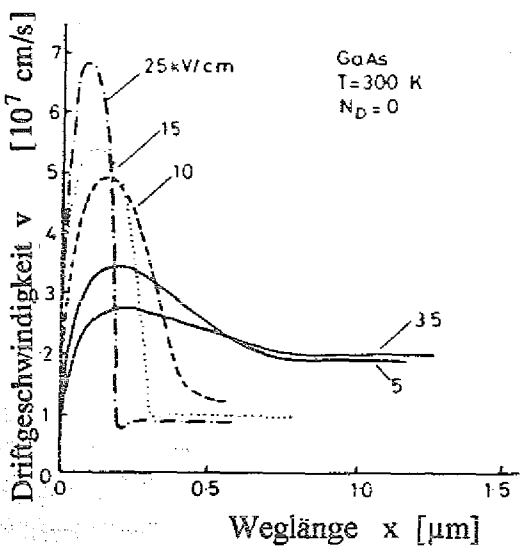


Abb. 2.11

Infolge des overshoot-Effektes werden für kurze Distanzen erhöhte Driftgeschwindigkeiten berechnet [Shu 76]. Bei einer Kanallänge von 0,6µm werden 10kV/cm bereits bei U_{DS} = 0,6V erreicht

Ein Geschwindigkeitsvorteil bei hohen Feldern ergibt sich somit nur für effektive Gatelängen unterhalb von 0,5 µm. Durch den velocity overshoot erhöht sich auch der Drainstrom, allerdings nur solange die Feldstärken nicht zu hoch sind, weil nur dann der Bereich, in dem der overshoot auftritt, die gesamte Kanallänge überdeckt. Die zu erwartende Grenzfrequenz f_T wird hierdurch für l_g = 0,3 µm in etwa verdoppelt [Shu 76].

2.3.5. Kleinsignalverhalten

Das Kleinsignalverhalten, d.h. die Änderung des Drainstromes bzgl. der anliegenden Spannungen, kann durch die Gleichstromkenngrößen extrinsische Steilheit g_m und Ausgangsleitwert G_{DS} beschrieben werden:

$$g_m := \left.\frac{\partial I_D}{\partial U_{GS}}\right|_{U_{DS}\,=\,\text{konstant}} \qquad \text{Gl. 2.14}$$

$$G_{DS} := \left.\frac{\partial I_D}{\partial U_{DS}}\right|_{U_{GS}=\,\text{konstant}} \qquad \text{Gl. 2.15}$$

Weil die wirksamen Mechanismen der Stromsteuerung stark vom jeweiligen Arbeitspunkt abhängig sind (s. obige Kapitel), kann keine allgemeine analytische Lösung für diese Größen angegeben werden. Die besten Verstärkungs- und Hochfrequenzeigenschaften des PJBT sind für Arbeitspunkte im Sättigungsbereich der Kennlinien (s. Abb. 2.5a) zu erwarten, für die zumindest eine analytische Beschreibung der Steilheit möglich ist.

Als Ausgangspunkt dient das Drift-Sättigungsmodell, das auf folgender Annahme beruht: die Elektronen bewegen sich im gesamten Kanal, dessen Breite b_k - $2w(U_{GS})$ nur durch die Gatespannung gesteuert wird, mit einer mittleren Driftgeschwindigkeit v_{sat} (L_g, U_{DS}). Der Drainstrom pro Einheitslänge I'_D (in z-Richtung d.h. entlang der Gatefinger) beträgt:

$$I'_D = q \cdot N_D \cdot \left(b_k - 2w(U_{GS})\right) \cdot v_{sat}\left(L_g, U_{DS}\right) \qquad \text{Gl. 2.16}$$

Im Folgenden sind alle Größen mit einem Strich auf die Einheitslänge normiert. Die effektive Driftgeschwindigkeit $v_{sat}(L_g, U_{DS})$ ist eine Mittelung über die feld- und ortsabhängige Geschwindigkeit der Elektronen im gesamten Steuerbereich des Gates. Sie kann nur in selbstkonsistenten Rechnungen (Monte Carlo) gefunden werden. Der Ausgangsleitwert wird dann durch die Änderung der mittleren Driftgeschwindigkeit gegeben:

$$G'_{DS} = q \cdot N_D \cdot \left(b_k - 2w(U_{GS})\right) \cdot \frac{\partial v_{sat}\left(L_g, U_{DS}\right)}{\partial U_{DS}} \qquad \text{Gl. 2.17}$$

Je nach dem, ob v_{sat} durch den overshoot-effect noch anwächst oder auf den Sättigungswert v_s abfällt, nimmt G_{DS} negative oder positive Werte an. Bei Variation der Gatespannung geschieht die Änderung des Drainstroms dI'_D proportional zur Änderung der Kanalbreite dw zu:

$$dI'_D = q \cdot N_D \cdot v_{sat}\left(L_g, U_{DS}\right) \cdot (-2dw) \qquad \text{Gl. 2.18}$$

Der Faktor 2 berücksichtigt die Kanalverengung -dw durch die Verarmungszone von beiden Seiten, deren Spannungsabhängigkeit für den eindimensionalen Fall aus Gl. 2.3a bekannt ist.

$$-d\,U_{GS} = d\,U = \frac{q}{\varepsilon} \cdot N_D \cdot w \cdot dw \qquad \text{Gl. 2.19}$$

Durch Division der letzten beiden Gleichungen ergibt sich die innere Steilheit g'_{mi}, bei der im Gegensatz zu g'_m vorausgesetzt wird, daß U_{DS} direkt am Kanal anliegt und nicht teilweise an Serienwiderständen abfällt.

$$g'_{mi} := \frac{\partial I'_D}{\partial U_{GS}} = \frac{2\varepsilon \cdot v_{sat}(L_g, U_{DS})}{w} \qquad \text{Gl. 2.20}$$

Die auf die Einheitslänge normierte innere Steilheit g'_{mi} ist also für möglichst hohe Driftgeschwindigkeiten, d.h. im Bereich des velocity overshoot, und bei möglichst geringen Weiten der Verarmungszone maximal. Sie ist nur indirekt von der Gatelänge abhängig. Dies zeigt sich in Gl. 2.19, die strenggenommen nur für lange Gates gilt. Je kürzer ein Gate wird, desto stärker wächst dU_{GS} / dw an, und infolgedessen wird g'_{mi} verringert. Durch nochmaligen Gebrauch von Gl. 2.3a läßt sich Gl. 2.20 umschreiben zu:

$$g'_{mi} = \sqrt{2\varepsilon \cdot q} \cdot v_{sat} \cdot \sqrt{\frac{N_D}{U_{bi} - U_{GS}}} \qquad \text{Gl. 2.21}$$

Diese Gleichung gilt nur für $U_{GS} < 1{,}1$ V , d.h. $U_{bi} - U_{GS} > 0{,}3$ V, weil sonst der pn-Übergang in Durchlaßrichtung geschaltet würde.

Die Abhängigkeit der inneren Steilheit von der Gatespannung ist in Abb. 2.12a für den Fall langer Gates und beliebig breiter Kanäle dargestellt. Die Näherung ist gut für große Werte von U_{GS} , wo maximale Steilheiten erzielt werden. Bei abnehmender Gatespannung jedoch sind die Annahmen immer schlechter erfüllt, weil die Verarmungszone breiter wird. Deshalb sind die in Abb. 2.12a eingetragenen Werte zu groß. Insbesondere sollte die Steilheit auf Null zurückgehen, sobald die Verarmungszone den ganzen Kanal einnimmt.

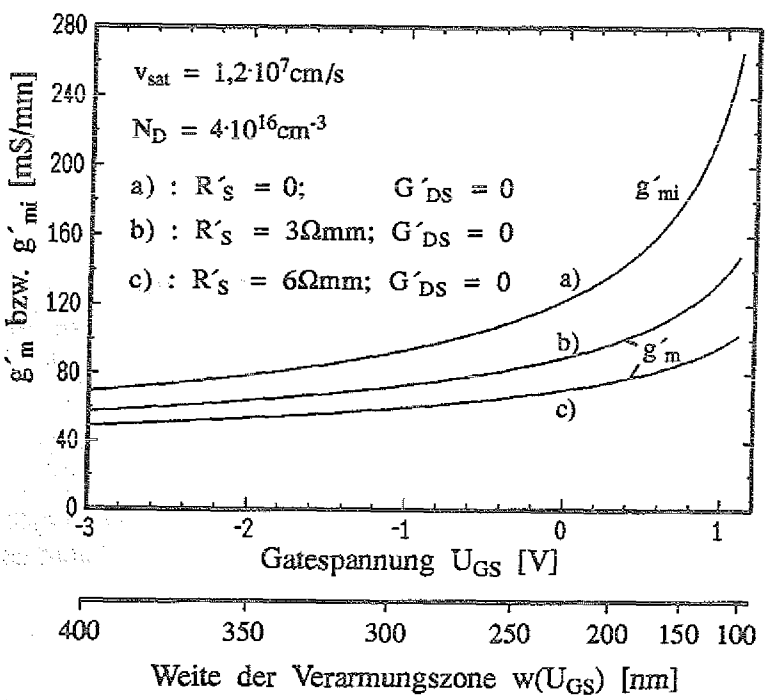


Abb. 2.12

Berechnete innere und äußere Steilheit für den Fall der Drift-Sättigung in beliebig breiten Kanälen.
Für begrenzte Kanalbreiten müssen g'_m und g'_{mi} auf Null abnehmen, wenn die Verarmungszone so breit wird wie $b_k/2$

Die meßbare äußere oder auch extrinsische Steilheit g'_m wird durch den Widerstand R'_s und den damit verbundenen Spannungsanstieg zwischen Source und Kanal beeinträchtigt (s. Abb. 2.13). Bei Öffnen des Gates bewirkt die Zunahme des Drainstromes, daß die Potentialdifferenz wegen $I_D \cdot R'_s$ zwischen Kanal und Gate zunimmt, und sich damit der Kanal wieder etwas verengt. Diese negative Rückkopplung verringert also den Stromanstieg. Die externe Steilheit g'_m berechnet sich zu [Sch 92, Kap. 4.4]:

$$g'_m = \frac{g'_{mi}}{1 + R'_S \cdot g'_{mi} + G'_{DS} \cdot \left(R'_S + R'_D\right)} \qquad \text{Gl. 2.22}$$

Für $R'_s = 3\ \Omega\text{mm}$ bzw. $R'_s = 6\ \Omega\text{mm}$ und $G'_{DS} = 0$ ist ihr Verlauf ebenfalls in Abb. 2.12b und c eingezeichnet. Das Zustandekommen dieser Gleichung veranschaulicht das arbeitspunktabhängige Kleinsignal-Ersatzschaltbild für den PJBT, das in Abb. 2.13 dargestellt ist. Neben den intrinsischen Größen wie g_{mi} und G_{DS} sind dort auch die Kontaktwiderstände und Kapazitäten eingezeichnet.

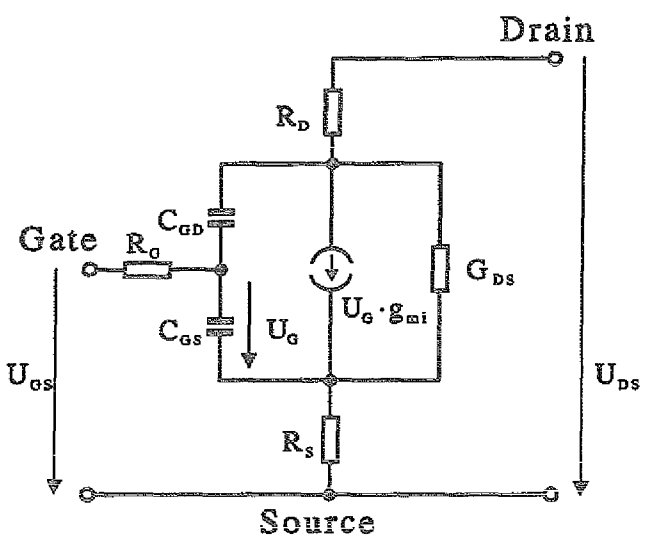


Abb. 2.13
Kleinsignal-Ersatzschaltbild des PJBT

Der Einfluß der einzelnen Ersatzschaltbildgrößen in Abb. 2.13 auf das Bauelementverhalten kann wie folgt beschrieben werden. Bei konstanter Drainspannung wird der Drainstrom hauptsächlich durch die Stromquelle $g_{mi}\ U_G$ eingeprägt, aber infolge der Spannungsabfälle an R_S und R_D aufgrund unvermeidlicher Bahn- und Kontaktwiderstände auch durch den parallel liegenden Ausgangsleitwert verändert. Dieser Effekt ist in der externen Steilheit g_m (s. Gl. 2.22) ebenso berücksichtigt wie die Potentialänderung im Kanal durch den Spannungsabfall an R_S , die U_G verändert.

Die Ansteuerung der Stromquelle geschieht über den Tiefpass $R_G \cdot C_T$, wobei C_T die beiden Kapazitäten C_{GS} und C_{GD} umfaßt. Die über C_{GS} , also über der Raumladungszone zwischen Source und Gate, abfallende Spannung U_G steuert den Drainstrom, der infolge des stromabhängigen Spannungsabfalls an R_D über C_{GD} (Miller-Kapazität) wieder auf U_G rückkoppeln kann.

2.4. Hochfrequenzverhalten des PJBT

Die Hochfrequenztauglichkeit und damit die erreichbaren oberen Grenzfrequenzen werden durch zwei Einflüsse begrenzt:

- die Frequenzabhängigkeit der Verstärkung, die durch den inneren (intrinsischen) Aufbau des Transistors gegeben ist
- parasitäre Kapazitäten, die zusammen mit Widerständen Tiefpässe bilden.

Hierbei ist speziell beim PJBT der Gatewiderstand zu berücksichtigen, weil die spezifische Leitfähigkeit des hochdotierten p^{++}-GaAs über eine Größenordnung schlechter ist als für Metalle.

Um die Hochfrequenzeigenschaften des PJBT zu beschreiben, kann das obige arbeitspunktabhängige Kleinsignal-Ersatzschaltbild (s. Abb. 2.13) für den PJBT herangezogen werden [Boz 82].

Die Stromverstärkung des PJBT ist frequenzabhängig, weil der kapazitive Gatestrom, der zur Spannungsänderung am Gate notwendig ist, mit der Frequenz zunimmt, während die dadurch erzeugte Änderung im Drainstrom gleich bleibt. Es gibt eine Grenzfrequenz f_T, bei der die Stromverstärkung auf 1 abgefallen ist. Sie berechnet sich zu [Tie 85]:

$$f_T = \frac{g_m}{2\pi \cdot C_T} = \frac{g'_m}{2\pi \cdot C'_T} \qquad \text{Gl. 2.23}$$

Zur Berechnung der Transitzeit fehlt noch ein analytischer Ausdruck für die Gatekapazität C_T, die sich aus verschiedenen Anteilen zusammensetzt (s. Abb. 2.14).

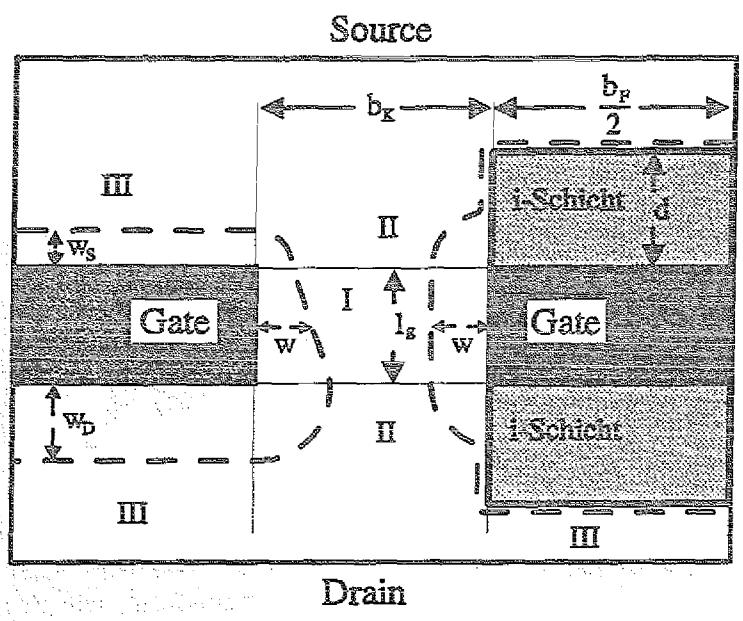


Abb. 2.14

Ausdehnung der Verarmungszone ohne (links) und mit $ip^{++}i$-Gate-Struktur (rechts)

Die gesamte Gatekapazität pro Längeneinheit setzt sich aus verschiedenen aktiven Bereichen (I, II und III in Abb. 2.14) und aus parasitären Anteilen der Pads und Zuleitungen zusammen. Für die Geometrie beim PJBT sollen die aktiven Kapazitätsanteile entsprechend der Berechnung beim Plattenkondensator proportional zur Fläche durch Abstand geteilt durch die Einheitslänge abgeschätzt werden. Diese Abschätzung wird auch für die Kreissegmente im Bereich II benutzt. Es ergeben sich folgende Ausdrücke für die Kapazitätsanteile pro Kanallänge.

$$C'_I = 2\varepsilon \cdot \frac{l_g}{w} \qquad \text{Gl. 2.24a}$$

$$C'_{II} = 2\varepsilon \cdot \left(\frac{\pi}{2} \cdot \frac{w_S}{w_S} + \frac{\pi}{2} \cdot \frac{w_D}{w_D} \right) = 2\varepsilon \cdot \pi \qquad \text{Gl. 2.24b}$$

für $ip^{++}i$-Gatestruktur mit w_S, $w_D \leq d$

$$C'_{III} = \varepsilon \cdot \left(\frac{b_F}{w_S} + \frac{b_F}{w_D} \right) \approx 2\varepsilon \cdot \frac{b_F}{d} \qquad \text{Gl. 2.24c}$$

Die unterschiedliche Weite der Verarmungszone zu Source bzw. Drain (w_S , w_D) in den Bereichen II und III spielt keine Rolle, weil sie sich herauskürzt bzw. durch die Dicke d der intrinsischen Schicht zu ersetzen ist. Durch Einsetzen von Gl. 2.20 und Gl. 2.24a-c in Gl. 2.23 ergibt sich für den PJBT mit $ip^{++}i$-Gatestruktur:

$$f_T = \frac{1}{2\pi} \cdot \frac{v_{sat}(L_g, U_{DS})}{l_g + w \cdot \left(\pi + \frac{b_F}{d} \right)} \cdot \frac{g_m}{g_{mi}} \qquad \text{Gl. 2.25}$$

für $w < \frac{b_F}{2}$ und $w < d$

Wenn l_g groß gegenüber den anderen Termen im Nenner ist, wird f_T in guter Näherung durch die Laufzeit der Elektronen l_g / v_{sat} bestimmt und heißt deshalb auch Transitfrequenz. Wenn aber l_g immer kürzer wird, kann die Verrundung der Verarmungszone nicht mehr vernachlässigt werden. Es ergibt sich nach dieser Abschätzung eine effektive Gatelänge L_g, die nach Gl. 2.25 wie folgt interpretiert werden kann:

$$L_g = l_g + \pi \cdot w \qquad \text{Gl. 2.26}$$

Der Term b_F /d in Gl. 2.25 kann dagegen als parasitäre Kapazität aufgefaßt werden, und ist gegebenenfalls noch durch die Kapazität von Pads und Zuleitungen zu vergrößern. Für v_{sat}= $1{,}2 \cdot 10^7$ m/s, also den 1,5fachen Wert der Sättigungsgeschwindigkeit bei hohen Feldern (40 kV/cm) und Gatelängen von l_g = 100 nm und 200 nm sind nach Gl. 2.25 die Grenzfrequenzen berechnet und in Abb. 2.15 eingetragen. Es ist eine starke Zunahme von f_T zu kleineren Verarmungszonen $w \sim \sqrt{U/N_D}$ zu erkennen, die zunehmend von l_g beeinflußt wird (vgl. a) mit b) in Abb. 2.15).

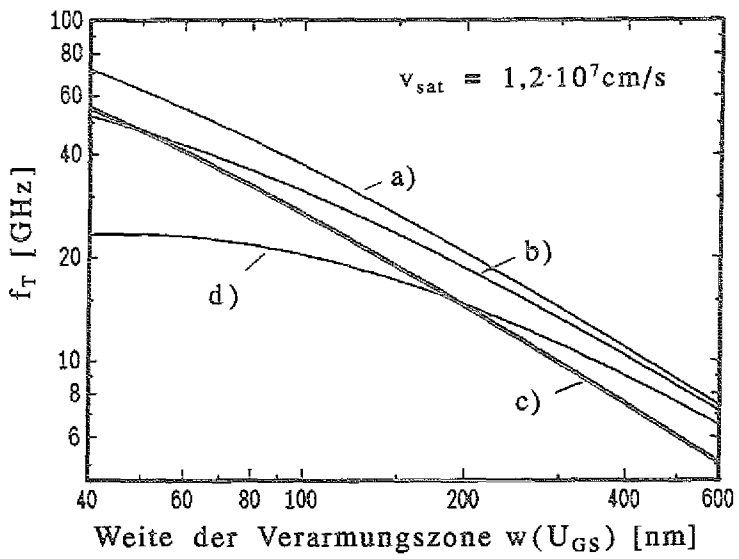


Abb. 2.15

Abschätzung der Transitfrequenz nach Gl.2.25

	l_g [nm]	b_F/d	g_m/g_{mi}
a)	100	1	1
b)	200	1	1
c)	100	3	1
d)	100	1	< 0,8 *

* g_m/g_{mi} entspricht dem in Abb. 2.12 dargestellten Verhältnis der Kurven b) : a).

Eine Verbreiterung der Gatefinger b_F oder, allgemeiner, eine Zunahme der parasitären Kapazitäten (s. Abb. 2.15 c) verringert f_T im gesamten Bereich. Für die in Abb. 2.15 gewählten Parameter ist der Einfluß von b_F/d auf f_T i.d.R. größer als die durch die Verdopplung der Gatelänge hervorgerufene Einbuße. In den Fällen a) - c) wurde f_T mit der inneren Steilheit g_{mi} berechnet. Wenn aber die extrinsische Steilheit berücksichtigt wird, verschlechtert sich f_T dort, wo die hohe intrinsische Steilheit eine hohe Transitfrequenz bewirkt hatte, besonders stark (s. Abb. 2.15 d). Die jeweilige Verschlechterung der Transitfrequenz durch parasitäre Kapazitäten und Widerstände, die hier getrennt diskutiert wurden, multiplizieren sich, d.h., daß sie in der logarithmischen Auftragung in Abb. 2.15 addiert werden können. Damit ergibt sich ein beträchtlicher Unterschied der Grenzfrequenzen für das intrinsische und das extrinsischen Bauelement.

Wenn der PJBT keine $ip^{++}i$-Gatestruktur hätte, träte im Nenner von Gl. 2.25 die Summe $l_g + w\pi + b_F$ auf, d.h., die effektive Gatelänge würde durch die Gatefingerbreite erhöht, wodurch die Grenzfrequenz besonders für kleine Verarmungsweiten enorm verschlechtert würde.

Zusammenfassend kann festgestellt werden, daß hohe Transitfrequenzen nur erreicht werden, wenn bei einer hohen Ladungsträgerdichte das Gate offen ist, und wenn die parasitären Kapazitäten klein und die Gatelängen kurz sind. Für die letzte Bedingung kommt noch hinzu, daß durch den overshoot Effekt v_{sat} vergrößert wird, was in Abb. 2.15 noch nicht berücksichtigt ist.

Während die Transitfrequenz von der Steilheit und von parasitären Kapazitäten beeinflußt wird, hängt die maximale Schwingfrequenz f_{max}, bei der die Leistungsverstärkung auf 1 zurückgeht, auch stark vom Gatewiderstand ab. Entsprechend dem Ersatzschaltbild berechnet sie sich wie folgt [Mou 90]:

$$f_{max} = \frac{\sqrt{g_m / R_g}}{2\pi \cdot C_T} \cdot \frac{1}{2 \cdot \sqrt{\frac{G_{DS}}{g_m} + \frac{C_{GD}}{C_T}}} \qquad \text{Gl. 2.27}$$

Die maximale Schwingfrequenz wird durch den reziproken Gatewiderstand, oder besser gesagt durch den Gateleitwert, genauso beeinflußt wie durch die externe Steilheit. Das geometrische Mittel dieser beiden Größen im Verhältnis zur Gatekapazität bestimmt f_{max} im wesentlichen. Der zweite Term liegt zwischen 0,5 und 1, weil G_{DS} kleiner ist als g_m (die numerischen Rechnungen in Kap 4 ergeben $G_{DS}/g_{mi} < 0{,}2$), und weil C_{GD} in etwa halb so groß ist wie C_T . Wenn also

$$R_G \leq \frac{1}{g_m} \qquad \text{Gl. 2.28}$$

ist, wird f_{max} in etwa so groß wie f_T (vgl. Gl. 2.23) sein. Dieses Ziel läßt sich sicherlich erreichen, indem die einzelnen Gatefinger verkürzt und parallel geschaltet werden. Aber durch die dafür notwendigen Verbindungen sollte C_T nicht erhöht werden, weil ansonsten der erzielte Vorteil wieder aufgehoben würde.

3. Dimensionierung und Design des PJBT

Hohe Grenzfrequenzen können nur bei einer passenden Dimensionierung von R_G, g_m, C_T und anderen Parametern erzielt werden. Dazu ist es notwendig, diese abzuschätzen und in Hinblick auf die Grenzfrequenzen einen optimierten Parametersatz zu finden, denn die Optimierung nur eines einzelnen Parameters kann die anderen nachteilig beeinflussen (s. Kap. 3.1-3.3). Die Randbedingungen hierfür sind die Materialeigenschaften sowie die Grenzen technologisch realisierbarer Strukturen. Durch ein verändertes Design wie z.B. zylinderförmige Stromkanäle (s. Kap. 3.4), die auf einfache Weise mit Stromkanälen beliebigen Querschnittes kombiniert werden können, kann eine Integration von mehreren PBT's mit unterschiedlichen Kennlinien realisiert werden (s. Kap. 3.5).

3.1. Reduzierter Gatewiderstand durch Fingerstruktur

Um maximale Schwingfrequenzen zu erreichen, die nicht kleiner als die Transitfrequenz sind, muß der Gatewiderstand R_G kleiner sein als der Kehrwert der externen Steilheit (wie in Kap. 2.4 gezeigt wurde):

$$R_G \leq \frac{1}{g_m} = \frac{1}{Z \cdot g'_m} = \frac{1}{i \cdot z \cdot g'_m} \qquad \text{Gl.3.1}$$

Die gesamte Gateweite Z ist die Summe der einzelnen Längen z der insgesamt i Gatefinger (s. Abb. 3.1).

Der Gatewiderstand verursacht einen Spannungsabfall entlang der Gatefinger, der durch den Strom zur Aufladung der sie umgebenden Kapazität C'_T entsteht. Weil aber der Strom zum Fingerende hin linear abnimmt, fließt er im Mittel nur entlang eines halben Gatefingers, und der Widerstand R_{G1} eines einzelnen Gatefingers ergibt sich:

$$R_{G1} = \frac{1}{2} \cdot \rho_{p^{++}} \cdot \frac{z}{b_F \cdot l_g} \qquad \text{Gl.3.2}$$

mit dem spezifischen Widerstand $\rho_{p^{++}}$. Der Gatewiderstand R_G ergibt sich aus dem in Serie geschalteten Kontakt- und Zuleitungswiderstand R_K mit den parallelen Widerständen der einzelnen Gatefinger .

$$R_G = \frac{R_{G1}}{i} + R_K(Z) \qquad \text{Gl.3.3}$$

Durch Einsetzen von Gl.3.2 und Gl.3.3 in Gl.3.1 folgt:

$$z \leq \sqrt{\frac{2b_F \cdot l_g \cdot (1 - R_K \cdot Z \cdot g'_m)}{\rho_{p^+} \cdot g'_m}} \qquad \text{Gl.3.4}$$

Für $R_K \cdot Z \cdot g'_m = R_K \cdot g_m << 1$

sowie $\rho_{p^+} = 1\ m\Omega\ cm$ und $g'_m = 100\ mS/mm$ folgt:

$$z \leq \sqrt{2000 \cdot b_F \cdot l_g} \quad \text{falls } R_K \cdot g_m << 1 \qquad \text{Gl.3.5}$$

Für $b_F = 0{,}5\ \mu m$ und $l_g = 0{,}1\ \mu m$ ergibt sich somit eine Gatefingerlänge $z \leq 10\ \mu m$, für die $f_{max} \geq f_T$ ist. Durch Parallelschaltung von i gleichlangen Gatefingern (s. Abb. 3.1a) kann die Summe aller Gatefingerlängen auf $Z = i \cdot z$ und damit g_m und I_D entsprechend vergrößert werden, ohne daß f_{max} sich ändert, sofern $R_K \cdot g_m << 1$ bleibt .

Da aber mit der Kontaktierung und den notwendigen Pads auch parasitäre Kapazitäten C_K verbunden sind, die zu C_T beitragen, können f_T und f_{max} sogar verbessert werden, wenn die parasitären Flächen der Pads relativ gesehen langsamer ansteigen als die Fingeranzahl zunimmt (s. Abb. 3.1b), vorausgesetzt, daß die nachteiligen Auswirkungen durch den Anstieg von R_K und damit auch $R_K \cdot g_m$ nicht überwiegen. Ideal wäre also eine Struktur, bei der gleichzeitig R_K und C_K möglichst klein bleiben. Das ist der Fall, wenn die Kontaktflächen sich auf dickem isolierenden Material befinden. Technologisch kann dies beispielsweise durch Ionenimplantation mit Protonen erreicht werden, wenn die Gitterschäden nicht ausgeheilt werden [Boz 80].

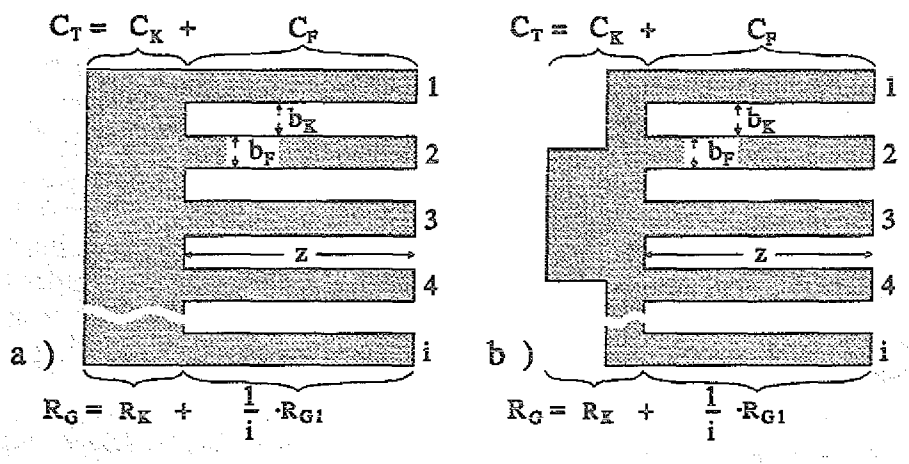


Abb. 3.1

Durch i parallele kürzere Gatefinger kann der Widerstand des einzelnen Gatefingers verringert werden. Die Zunahme der parasitären Kapazitäten C_K und Kontaktwiderstände R_K kann dabei durch ihre Geometrie so gewählt werden, daß die Grenzfrequenzen Maximalwerte erreichen. In a) ist C_K größer als in b), während R_K sich umgekehrt verhält.

3.2. Dotierung und Abmessungen des Kanals

Die Kanaldotierung N_D ist wohl der wichtigste und am schwierigsten zu optimierende Parameter im PJBT, weil hierdurch die Beweglichkeit und damit die mittlere Geschwindigkeit v_{sat} der Elektronen beeinflußt wird. Ebenso bestimmt sie die Weite der Verarmungszone (s. Gl. 2.3a) und damit auch die effektive Gatelänge, die Steilheit g_m (s. Gl. 2.21) und Teile der Kapazität C_T (s. Gl. 2.24a).

Solange für kurze Gatelängen die Verarmungszonen an den Rändern des Gates in Rechnung zu stellen sind, steigt f_T etwas langsamer als $\sqrt{N_D}$ an. Dieser Zusammenhang ergibt sich durch Einsetzen von Gl. 2.3a in Gl. 2.25 zu:

$$f_T = \frac{1}{2\pi} \cdot \frac{v_{sat}(L_g, N_D) \cdot \sqrt{N_D}}{\sqrt{N_D} \cdot l_g + \left(\pi + \frac{b_F}{d}\right) \cdot \sqrt{\frac{2\varepsilon \cdot U}{q}}} \cdot \frac{g_m}{g_{mi}} \qquad \text{Gl.3.6}$$

Aus diesem Grunde erscheint es zweckmäßig, N_D möglichst groß zu wählen. Aber ebenso wie f_T wächst auch g_{mi} an (s. Gl. 2.21). Damit verschlechtert sich einerseits g_m/g_{mi} (s. Gl. 2.22) und andererseits muß, damit f_{max} weiterhin proportional zu f_T bleibt, bei gleich langen Gatefingern z deren Querschnitt $b_F \cdot l_g$ aus Gl.3.4 um einen Faktor proportional $\sqrt{N_D}$ vergrößert werden.

Sobald $\sqrt{N_D} \cdot l_g$ im Nenner von Gl.3.6 so groß wird wie der zweite Summand, und $b_F/d > \pi$ ist, kann f_T durch Erhöhung von N_D nicht mehr verbessert werden. Denn die wegen f_{max} erforderliche Vergrößerung von l_g oder b_F führt zur Nivellierung oder wegen der Abhängigkeit von v_{sat} (N_D) sogar zur Reduzierung von f_T .

Die Kanalbreite sollte in Abhängigkeit von der Dotierung so gewählt werden, daß der Kanal noch abgeschnürt werden kann, bevor Tunnel- oder Avalanche-Durchbruch auftritt. Der Avalanche-Durchbruch in GaAs tritt bei einer Dotierung von 10^{16} bis 10^{17} cm^{-3} bei einer Feldstärke von $4 \cdot 10^5$ bis $6 \cdot 10^5$ V/cm auf [Sze 81, Kap. 2.5.3]. Da die Ausdehnung der Raumladungszone im Bereich der i-Schichten auf ca. 200 nm begrenzt ist, ist hier ab 8 V ein Durchbruch zu erwarten. Die gleiche Spannung kann im Kanal bei Dotierungen bis zu $1 \cdot 10^{17}$ cm^{-3} erreicht werden, wenn man berücksichtigt, daß infolge der größeren Felder an den Kanten des Gates nur etwa die halbe Durchbruchspannung erreicht wird wie für planare pn-Übergänge. Oberhalb dieser Dotierung dominiert der Tunneldurchbruch [Sze 81, Kap. 2.5.3].

Durch die maximale Sperrspannung von 8 V zwischen Gate und Drain ist die Ausdehnung der Verarmungszone (s. Gl. 2.3a) auf das 2,5 fache des Wertes w_0 begrenzt, der sich ohne äußere Spannung ergibt. Die optimale Breite für den Kanal sollte jedoch geringer sein, weil der Strom in der Kanalmitte kaum gesteuert wird, und weil der Ausgangsleitwert bei größerem Verhältnis der Kanalbreite zur Gatelänge wegen des Durchgriffs zunimmt. Da sich G_{DS} ungünstig auf die externe Steilheit auswirkt, sollte der Kanal also möglichst schmal sein, so daß er bei $U_{GS} = 0$ bereits abgeschnürt ist [Boz 80]. Die Kanalbreite sollte

demzufolge enger sein als die zweifache Sperrschichtweite $w_0 = w\,(U_{GS} = 0\,V)$, die nach Gl. 2.3a berechnet wird:

$$\frac{b_k}{2} < w_0 = 450\,nm \cdot \sqrt{\frac{1 \cdot 10^{16}\,cm^{-3}}{N_D}} \qquad \text{Gl.3.7}$$

Die Kanallänge kann beim PJBT sehr kurz gehalten werden. Dadurch werden die Bahnwiderstände in R_S und R_D vermindert und die effektive Gatelänge L_g nach oben begrenzt. Durch die verringerten Abstände werden allerdings die parasitären Kapazitäten proportional um den Faktor b_F /d ober- und unterhalb der Gatefinger vergrößert. Im kürzeren Kanal gewinnt der overshoot Effekt an Gewicht und wird bei Feldern bis zu 25 kV/cm umso effizienter, je größer der Anteil des mit overshoot zurückgelegten Weges an der gesamten Kanallänge ist. Letztendlich kann die Kanallänge nur zusammen mit der Kanalbreite unter Berücksichtigung der nichtlinearen v-E Charakteristik und des auftretenden overshoot Effektes numerisch optimiert werden.

3.3. Kapazitätserniedrigung durch $ip^{++}i$ - Gatestruktur

Durch die intrinsischen Schichten, in die das Gate eingebettet ist, kann die Gatekapazität C_T verringert werden, falls die Schichten dicker sind, als es die Raumladungszone bei hohen Dotierungen wäre. Bereits in Kap. 2.4 wurden die Kapazitäten in der $ip^{++}i$-Gatestruktur abgeschätzt, um eine analytische Näherung für f_T zu finden. Dort wurde deutlich, daß f_T für kleine Verarmungszonen stark anwächst, aber es wurde nicht gezeigt, inwieweit gerade die $ip^{++}i$-Gatestruktur dieses Ergebnis beeinflußt. Dies soll durch einen Vergleich der in Abb. 2.14 skizzierten Gatestrukturen mit und ohne i-Schichten der Dicke d = 200 nm geschehen .

In Kap. 2.4 wurde für die $ip^{++}i$-Gatestruktur die Gatekapazität nach der Formel für den Plattenkondensator abgeschätzt. Wenn die i-Schichten fehlen, ist die Sperrschichtweite zwischen Gate und Source (w_S) bzw. Drain (w_D) unterschiedlich, weil für $U_{DS} \neq 0V$ andere Potentialdifferenzen zwischen den Kontakten bestehen. Für einen Arbeitspunkt mit $U_{GS} = +1V \Rightarrow U = 0{,}4V$, $U_{DS} = +1{,}2V$ und der Annahme, daß das Potential im Kanal mit $U_{kan} = +0{,}5V$ beschrieben wird, berechnet sich die Weite der jeweiligen Sperrschicht zu:

$$w_i \sim \sqrt{U + U_i} \qquad U_i = U_S = 0V\ ,U_{kan}\ ,U_{DS} \qquad \text{Gl.3.8}$$

Damit ergibt sich folgende Relation:

$$w_S : w_{kan} = w : w_D \quad \text{wie} \quad 2:3:4 \quad \text{wie} \quad \sqrt{0{,}4\,V} : \sqrt{0{,}9\,V} : \sqrt{1{,}6\,V}$$

die auch in Abb. 2.14 dargestellt ist. In beiden Fällen berechnet sich die Kapazität C_T als Summe der Gl. 2.24a-c unter obiger Annahme für die Verarmungszonen.

Das Verhältnis der berechneten Kapazitäten ist umgekehrt proportional zu dem Verhältnis der Transitfrequenzen; es ergibt sich:

$$\frac{C_T}{C_{T_{ipi}}} = \frac{l_g + \frac{9}{8}\cdot b_F + \pi\cdot w}{l_g + \left(\pi + \frac{b_F}{d}\right)\cdot w} \approx \frac{f_{T_{ipi}}}{f_T} \qquad \text{Gl.3.9}$$

Der Verlauf dieser Funktion ist für $d = 200$ nm, $l_g = 100$, 200 nm und $b_F/d = 2{,}4$ in Abb.3.2 geplottet:

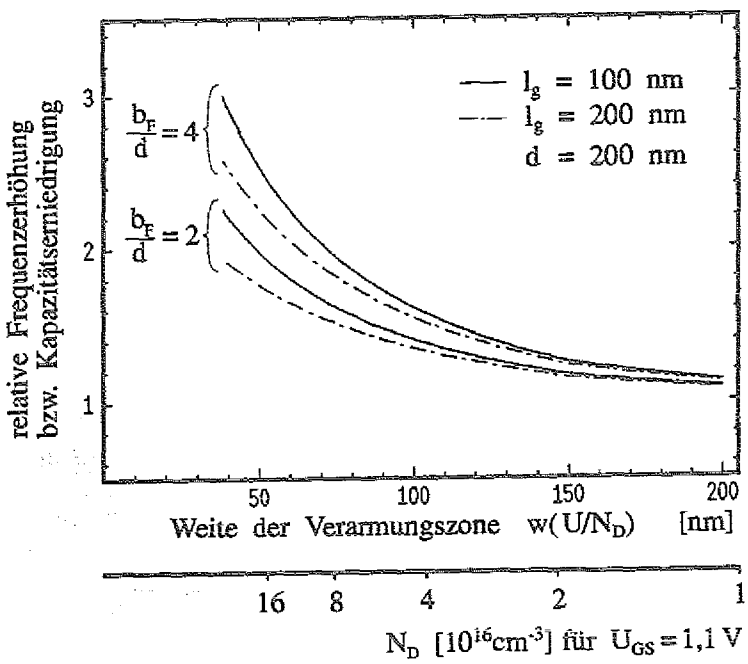


Abb. 3.2

berechnete Kapazitätserniedrigung bzw. Frequenzerhöhung durch Einfügen der i-Schichten für unterschiedliche Gatelängen l_g und Verhältnisse b_F/d der Fingerbreiten zur Dicke der i-Schichten. Für die max. Gatespannung U_{GS}=1,1V sind die zu w (U/N_D) entsprechenden Dotierungen eingezeichnet.

Es zeigt sich, daß der Vorteil aus der ip^{++}i-Struktur besonders bei kurzen Gatelängen und breiten Gatefingern wirksam wird, wenn die Sperrschichtweite kleinere Werte als d/2 annimmt. Für die Gatespannung von +1,1 V sind für verschiedene Dotierungen die entsprechenden Werte eingezeichnet.

Beim PJBT darf wegen des Gatewiderstandes der Querschnitt $b_F \cdot l_g$ der Gatefinger nicht zu klein werden (s. Kap. 3.1). Wenn also aus diesem Grund die Gatefingerbreite b_F z.B. verdoppelt werden muß, so wird der Kapazitätszuwachs durch die ip^{++}i-Gatestruktur langsamer erfolgen. Das gleiche trifft zu, wenn die Kapazitäten der Pads und Querleitungen zwischen den einzelnen Gatefingern berücksichtigt werden müssen. Durch sie erhöht sich gewissermaßen die Fingerbreite b_F, wenn man zu jedem Finger seinen Anteil an den parasitären Flächen hinzurechnet.

3.4. Zylinderförmige Stromkanäle

Die Effektivität der Stromsteuerung ist umso höher, je schneller die Querschnittsfläche des stromführenden Kanals abnimmt und je geringer die dazu erforderliche Änderung der Gatespannung ist. Beide Faktoren sind für zylinderförmige Stromkanäle günstiger als für die bislang betrachteten Fingerstrukturen, deren Kanäle einen langgezogenen rechteckigen Querschitt aufweisen. Hierfür sind zwei Gründe ausschlaggebend:

Der kreisrunde Querschnitt der zylinderförmigen Stromkanäle wird von allen Seiten her und damit effektiver bei gleicher angelegter Spannung eingeengt, so daß durch die Ausweitung der Verarmungszone der Strom schneller abnimmt. Im Bereich der Drift-Sättigung ändert sich der Drainstrom proportional zum Kanalquerschnitt [Zul 67b]:

$$dI_{D_{Zyl}} = q \cdot N_D \cdot v_{sat} \cdot (-2\pi r_0)\, dr_0 \qquad \text{Gl.3.10}$$

r_0 ist der Radius des nicht verarmten Kanals.

Der zweite Grund folgt aus der Feldverteilung, die für zylinderförmige Koordinaten der Poissongleichung

$$\frac{1}{R} \cdot \frac{\partial}{\partial R}\left(R \cdot \frac{\partial \Phi(R)}{R} \right) = \frac{-q}{\varepsilon} \cdot \left(p - n + N_D^+ - N_A^- \right) \qquad \text{Gl.3.11}$$

eine analytische Lösung mit folgendem Potentialverlauf [Weg 59] hat:

$$\Phi(r_0, r) = \frac{q \cdot N_D}{4\varepsilon} \cdot \left(r^2 - R^2 - 2r_0^2 \cdot \ln \frac{r}{R} \right) \qquad \text{Gl.3.12}$$

mit $r_0 < r < R$

R ist der geometrische Radius des Kanals. Der Funktionsverlauf $\Phi(r_0, r)$ ist in Abb. 3.3 (dünne Linien) für $r_0 = 0$, $r_0 = 0{,}2 \cdot R$ und $r_0 = 0{,}6 \cdot R$ aufgetragen. Zum Vergleich ist dort auch der Potentialverlauf $\Phi(w,x)$ in einer Kanalhälfte für den planaren pn-Übergang eingezeichnet (vgl. Kap 2.3.1), der für $r_0 > 0{,}6 \cdot R$ nur noch geringfügig von dem zylinderförmigen abweicht.

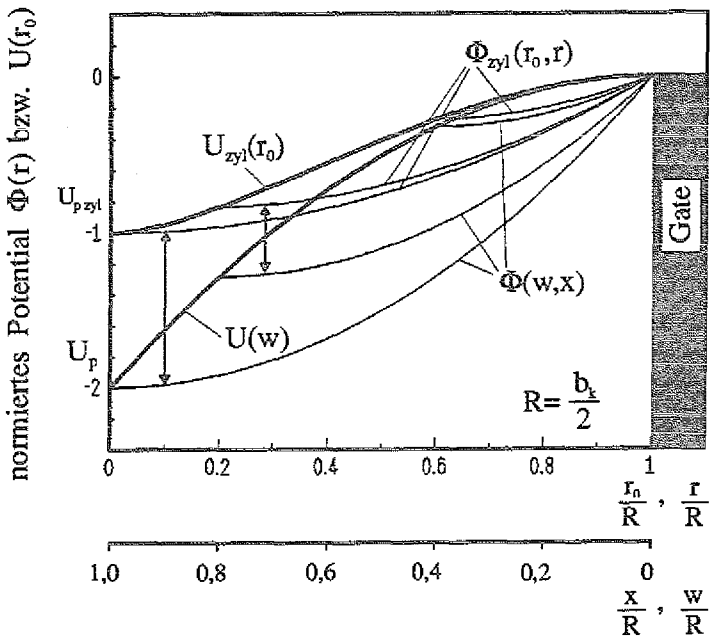


Abb. 3.3

Der Potentialverlauf $\Phi(r_o,r)$ im verarmten Kanal (dünne Linien) ist für zylinderförmige Kanäle (oben) und für planare pn-Übergänge aufgetragen. Die Spannung $U(r_o)$, die zur Abschnürung des Kanals bis r_o nötig ist (fette Linien), fällt für den zylinderförmigen Kanal langsamer ab, und folglich ist die Pinch-off-Spannung nur halb so groß wie für den planaren Fall.

Die Spannungen $U_{zyl}(r_0)$ bzw. U(w), die notwendig sind, um den Kanal bis auf r_0 bzw. auf $b_k/2$-w abzuschnüren, sind ebenfalls in Abb. 3.3 für beide Fälle als fette Linie eingezeichnet. Es fällt auf, daß bei offenem Kanal der Potentialverlauf fast identisch ist, bei weiterer Abschnürung aber für den zylinderförmigen Kanal immer langsamer abfällt. Dies liegt daran, daß in den immer kleiner werdenden Zylindern die Anzahl der insgesamt noch vorhandenen Elektronen proportional zu r_0 schnell abnimmt. Für $r = r_0 = 0$ resultiert aus Gl..3.12 die pinch-off Spannung,

$$U_{p_{zyl}} = \frac{q \cdot N_D}{4\varepsilon} \cdot R^2 = \frac{1}{2} \cdot U_p \quad \text{wenn } R = \frac{b_k}{2} \qquad \text{Gl.3.13}$$

die nur halb so groß ist, wie für den planaren Übergang. Die halbe Spannung ist also ausreichend, um den Kanal vollständig abzuschnüren. Anders betrachtet, kann mit dergleichen Spannung ein zylinderförmiger Kanal abgeschnürt werden, der um den Faktor $\sqrt{2}$ breiter ist [Tez 64]. Mit

$$\frac{dU}{dr_0} = \frac{q \cdot N_D}{\varepsilon} \cdot r_0 \cdot \ln \frac{r_0}{R} \qquad \text{Gl.3.14}$$

und der Näherung

$$\ln \frac{r_0}{R} = \ln\left(1 - \frac{w}{R}\right) \approx -\frac{w}{R} \quad \text{für } w < R \qquad \text{Gl.3.15}$$

berechnet sich

$$g_{mi_{zyl}} = \frac{2 \cdot \varepsilon \cdot v_{sat}}{w} \cdot \pi \cdot R = g'_{mi_{zyl}} \cdot L_{Zyl} \qquad \text{Gl.3.16}$$

Um diese Größe mit der auf die Einheitslänge normierten Steilheit g'_{mi} aus Gl. 2.20 vergleichen zu können, muß noch eine Länge L_{zyl} der fingerförmigen Kanäle definiert werden, bei der die Steilheiten verglichen werden sollen.

Wenn die Steilheit auf den Strom normiert wird, beschreibt diese Größe die Effektivität der Steuerung [Tes 64]. Das heißt, daß in beiden Fällen der gleiche Strom fließen muß, und deshalb die Querschnittsflächen gleich sein müssen. Daraus ergibt sich für eine Kanalbreite $b_k = 2R$ folgende "Länge" L_{zyl} für Flächengleichheit:

$$L_{zyl} = \frac{\pi \cdot R^2}{b_k} = \frac{\pi}{2} \cdot R \qquad \text{Gl.3.17}$$

und somit für die intrinsischen Steilheiten:

$$g_{mi_{zyl}} = 2 \cdot g_{mi} \qquad \text{Gl.3.18}$$

Die intrinsische Steilheit ist also für zylinderförmige Kanäle doppelt so groß, wenn die Kanalquerschnitte gleich sind.

In Hinblick auf eine bessere Vergleichbarkeit der Grenzfrequenzen erscheint es aber sinnvoller, L_{zyl} als halben Umfang - also $\pi \cdot R$ - zu definieren. Dann sind für beide Fälle die Steilheit und die Kapazitäten C_I (im Bereich I aus Abb. 2.14) gleich groß, so daß durch die Kapazitätsanteile in den anderen Bereichen und durch die verbleibenden Ersatzschaltbildgrößen bestimmt wird, für welche Geometrie die besseren Hochfrequenzeigenschaften erzielt werden.

Bei gleichen Abmessungen ($2R = b_k$) ist die Abschirmung des Durchgriffs aufgrund der Geometrie für zylinderförmige Kanäle besser [And 90]. Deshalb nehmen die Felder in Flußrichtung bei Erhöhung der Drainspannung langsamer zu, als dies für fingerförmige Kanäle der Fall ist. Ob hierdurch ein größerer oder geringerer Stromanstieg resultiert, hängt von den absoluten Größen der Felder und dem Einsetzen des overshoot Effektes ab. Die Voraussetzungen für den overshoot Effekt sind günstig, denn solange die Elektronen sich noch nicht in der Drift-Sättigung befinden, nimmt infolge der axialen Einengung des Kanals das elektrische Feld in Flußrichtung sehr schnell zu. Wenn die Elektronen dann ballistisch durch den engen Kanal am Gate gelangen, und der Kanal sich wie eine Trompete aufweitet, werden die langsamer werdenden Elektronen sich weniger stark verdichten und durch ihre Ladung den Durchgriff nicht so effizient abschirmen, wie es im fingerförmigen Kanal der Fall ist. Der Feldverlauf im oberen Kanal, durch den der Strom gesteuert wird, sollte also wegen der effizienteren geometrischen Abschirmung langsamer ansteigen und, solange die kritische Feldstärke nicht überschritten wird, eine stärkere Zunahme des Drainstromes als für fingerförmige Kanäle bewirken.

3.5. Bauelemente mit einstellbaren Ausgangskennlinien

Durch die vertikale Ausrichtung der Stromkanäle im PJBT können nicht nur sehr kurze Kanal- und Gatelängen und die vorteilhafte Fingerstruktur realisiert werden, sondern durch sie werden auch der Querschnitt und die Kanalbreite zu lateralen und deshalb zu einfach veränderbaren Größen, mit denen auch die zugehörigen Ausgangskennlinien variieren.

Die Übertragungsfunktion von FET's wird durch alle geometrischen Parameter und die Dotierung beeinflußt. Für unterschiedliche Gatelängen und Dotierprofile ergeben sich prinzipiell sehr ähnliche Übertragungsfunktionen bzgl. der normierten Gatespannung U/U_p [Sze 81 Kap. 6.2.2 und 6.3.3]. Für die pinch-off Spannung U_p gilt bei homogener Dotie-

rung und langen Gates $U_p \sim N_D \cdot b_k^2$ (vgl. Gl.2.6). Sie ist für die real anzulegende Gatespannung und damit für die Übertragungskennlinie ausschlaggebend. Somit erscheinen die Gatelänge und verschiedene Dotierprofile im Kanal weniger geeignet, die Übertragungskennlinie gezielt zu variieren, als die mittlere Dotierung und die Kanalbreite.

Bei der Herstellung von unterschiedlichen Bauelementen, speziell auf einem Chip, ist die Technologie für die Realisierbarkeit maßgebend. Die simultane Erzeugung lateral unterschiedlicher Strukturen mittels Lithographie ist einfach, während lokal unterschiedliche vertikale Strukturen (Längen, Dotierungen, Dotierprofile) nur sequentiell erzeugt werden können und deshalb aufwendig und kompliziert sind. Aus technologischen Gründen ist daher die Variation lateraler Strukturen mittels Lithographie die am einfachsten durchzuführende Methode.

Beim planaren FET kann durch diese Methode die Geometrie der Kontakte, insbesondere die Gatelänge, verändert werden, wodurch allerdings nur geringe Änderungen der Übertragungskennlinie zu erreichen sind. Beim PJBT können jedoch durch die Lithographie Kanalbreite und -querschnitt variiert werden, wodurch die Kennlinie viel effizienter verändert werden kann, weil die Steuerbarkeit des Stromes von beiden abhängt. Folglich ergeben sich bei vorgegebener Dotierung unterschiedliche pinch-off Spannungen. Andererseits wird die Stromsteuerung aber auch durch die Kurzkanal-Effekte (overshoot und Durchgriff) beeinflußt, die bei vorgegebener Gate- und Kanallänge wegen unterschiedlicher Breiten-Längenverhältnisse und Querschnittsformen des Kanals mehr oder weniger ausgeprägt sind. Aus diesen Gründen sind unterschiedliche Ausgangskennlinien für verschiedene Geometrien zu erwarten.

Wenn verschiedenartige Kanäle in einem Bauelement zusammengefaßt werden, kann durch geschickte Kombination der sich addierenden Einzelkennlinien eine erwünschte Übertragungsfunktion maßgeschneidert werden. Eine stufenlose Abstimmbarkeit ergibt sich, wenn verschiedene Kanalbreiten und -formen in einer oder mehreren sich aufweitenden und beliebig gekrümmten Fläche integriert sind, deren einzelne Kanalabschnitte entsprechend ihrer Breite bei unterschiedlichen Spannungen abgeschnürt werden. Deshalb tragen sie nur in bestimmten Spannungsintervallen zum Gesamtstrom bei. Kurze Gatefinger können wegen ihrer "abgerundeten" Enden bereits als Integration von finger- und zylinderförmigen Stromkanälen aufgefaßt werden.

Eine andere Möglichkeit, den Kennlinienverlauf zu beeinflussen, bietet sich durch sogenannte Dual-Gates [Gru 87], [Sch 92] oder Doppeldecker-Gates [Voj 84], bei denen die Stromsteuerung durch zwei unabhängig anzusteuernde Gates entweder in einer oder in zwei Ebenen erfolgt. Durch den zweiten Gatekontakt, der auch offen gelassen werden kann, bleibt die Übertragungsfunktion auch nach Fertigstellung noch veränderbar. So kann durch die Wahl der zweiten Gatespannung ein Transistor quasi ein- oder ausgeschaltet und damit einfach programmiert werden.

3.6. komplementäre PJBT's

Die Einstellung der pinch-off Spannung durch lokal unterschiedliche Strukturbreiten ist im Vergleich zu lokal variierenden Dotierungsschichten technologisch nicht nur einfacher realisierbar, sondern auch effizienter. Aber nur durch die Dotierung, also durch n- oder p-leitende Kanäle, kann das Vorzeichen der pinch-off Spannung und damit die Stromzunahme in eine -abnahme bei ansteigender Gatespannung umgekehrt werden. Durch die Integration von n- und p-leitenden Kanälen auf einem Chip eröffnet sich die Möglichkeit, eine komplementäre Logik wie CMOS aufzubauen, die sich besonders durch eine geringe Leistungsaufnahme auszeichnet.

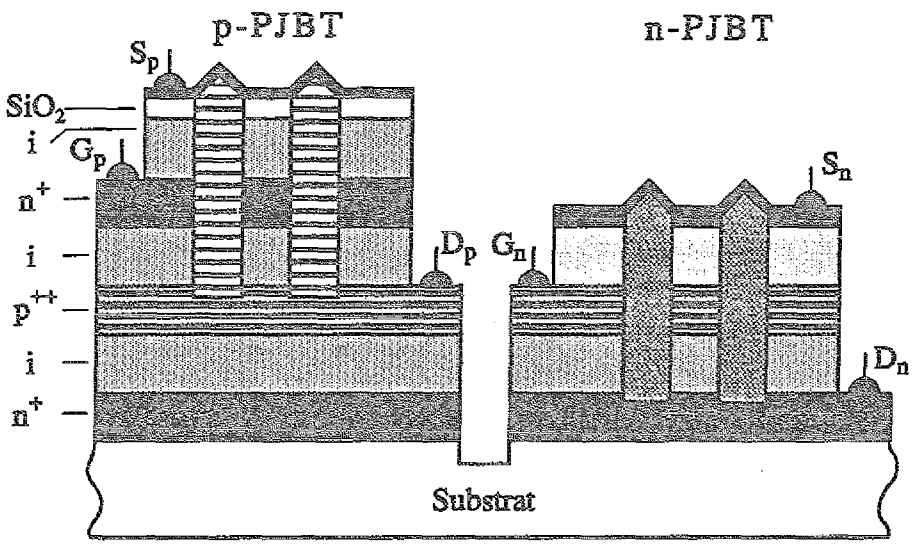


Abb. 3.4

Auf einem Chip integrierte p-PJBT und n-PJBT, mit denen leistungsarme komplementäre Schaltungen realisiert werden können.

Mit der in Kap. 5 ausführlich beschriebenen Technologie des PJBT ist es möglich, p- und n-leitende Kanäle auf einem Wafer herzustellen, der schematische Ablauf ihrer Herstellung soll hier nur skizziert werden.

- Die für den n-Kanal PJBT (n-PJBT) übliche epitaktische $n^+ip^{++}i$-Schicht wird zu $n^+ip^{++}in^+i$ erweitert (s. Abb. 3.4).
- Durch eine aufgebrachte SiO_2-Schicht werden die Gräben nur für den p-PJBT bis zur p^{++}-Schicht geätzt und in einer zweiten selektiven Epitaxie die p-dotierten Kanäle aufgefüllt.
- Durch eine <u>zusätzliche</u> SiO_2-Schicht, die den fertigen p-PJBT versiegelt, werden die Gräben nur für den n-PJBT bis zur unteren n^+-Schicht geätzt und in einer dritten Epitaxie die n-dotierten Kanäle aufgefüllt.
- Die zweite SiO_2-Schicht wird wieder entfernt, und beim n-PJBT wird die obere i- und n^+-Schicht entfernt.

Damit sind n- und p-PJBT bis auf die Kontaktierung der leitenden Schichten fertig. Eine Isolierung kann z.B. durch Mesa-Ätzung erfolgen (s. Abb. 3.4). Durch die Verbindung der Kontakte zwischen den beiden PJBT können dann komplementäre Schaltungen hergestellt werden. Bei der Realisierung eines komplementären Darlington-Verstärkers [Tie 85], bei dem der Drainstrom des p-PJBT das Gate des n-PJBT ansteuert, könnten die Kontakte D_p und G_n sowie der Isoliergraben eingespart werden, weil die p^{++}-Schicht in idealer Weise beide Transistoren verbindet. Diesen Aufbau kann man dann schon als 3D-Integration betrachten, weil der p-PJBT direkt über der p^{++}-Schicht, also dem Gate des n-PJBT, liegt, und diese Schicht ein Bestandteil von beiden Bauelementen ist. Dadurch kann zusätzlich der Platz für Kontakte eingespart werden, der nötig wäre, wenn diese nicht direkt zusammenlägen.

Bei der komplementären Inverter-Schaltung, die aus der CMOS Technologie bekannt ist [Tie 85], sind die Gates verbunden und die Kanäle in Serie geschaltet, so daß je nach anliegender Gatespannung immer ein PJBT sperrt, und deshalb nur beim Umschalten ein größerer Drainstrom fließt. Diese Schaltung ist deshalb besonders leistungsarm.

4. Ergebnisse numerischer Simulationen

Die Optimierung eines Bauelementes setzt ein quantitatives Verständnis des Bauelementverhaltens in Abhängigkeit von Parametern wie der Geometrie, der Dotierung und der Arbeitspunkte voraus. Dazu ist es notwendig, den Ladungstransport im Detail zu beschreiben, was durch eine selbstkonsistente Lösung der Poisson- und Kontinuitätsgleichung für den stationären Fall geschieht [Hes 90]. Bei Vernachlässigung der Löcher- und Akzeptordichten gilt:

$$\Delta\varphi = \frac{-q}{\varepsilon}\cdot(N_{D^+} - n) \qquad \text{Gl. 4.1}$$

$$\nabla \cdot j_n = 0 \qquad \text{Gl. 4.2}$$

$$j_n = q \cdot n \cdot \mu_n \cdot E + q \cdot D_n \cdot \nabla n \qquad \text{Gl. 4.3}$$

Die Lösung dieser Differentialgleichungen wird durch die nichtlineare Kopplung der Beweglichkeit μ_n und der Diffusionskonstante D_n erschwert. Die Beweglichkeit ist u.a. von der Feldstärke E und infolge des overshoot Effektes vom Ort x abhängig:

$$\mu_n = \mu_n(N_{D^+}, E, T, x) \qquad \text{Gl. 4.4}$$

Die Diffusionskonstante wird für nichtentartete Halbleiter im thermischen Gleichgewicht durch die Einstein-Relation beschrieben [Sze 81, Kap. 1.5]:

$$D_n = \left(\frac{kT}{q}\right)\cdot \mu_n \qquad \text{Gl. 4.5}$$

Das obige Gleichungssystem muß für die vorliegende Geometrie des PJBT und die sich daraus ergebenden Randbedingungen gelöst werden. Zu diesem Zweck wird der Kanalquerschnitt in eine Symmetriefläche mit k·l Flächenelementen unterteilt (s. Abb. 4.1), denen jeweils eine ortsabhängige Dotierung N_D zugeordnet wird. Für Flächenelemente, die im Gate liegen, wird ein festes Potential, das Gatepotential, vorgegeben; gleiches gilt für Source- und Drain-Kontakte.

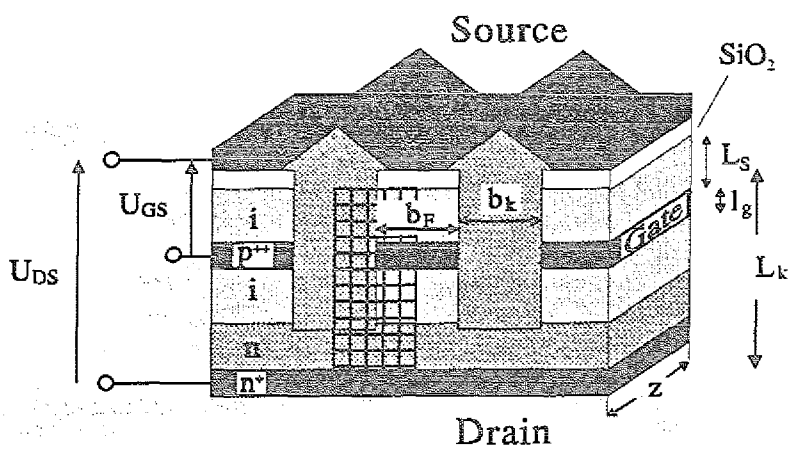


Abb. 4.1
Für die Bauelement-Simulation wird eine Symmetriefläche des PJBT in Gitterpunkte unterteilt. Die Abmessungen des Gitters entsprechen der Kanallänge L_k und der Summe der halben Kanalbreite $b_k/2$ und Fingerbreite $b_F/2$. Die Geometrie am Source kann durch das rechtwinklige Gitter nur schlecht angepaßt werden.

Weil entlang des Kanals (in z-Richtung) bzw. bei zylinderförmigen Kanälen in tangentialer Richtung aus Symmetriegründen die differentiellen Funktionen sich nicht verändern, können die Gleichungen 4.1 - 4.3 in Finite-Differenzenformen für ein zweidimensionales Gitter überführt werden [Ric 83]. Als Ergebnis liefern sie u.a. Ladungs-, Feld- und Potentialverteilungen des intrinsischen Bauelementes.

Das Ergebnis einer Simulation für das obige Gleichungssystem wird in starkem Maße durch die nichtlinearen Kopplungen oder besser gesagt durch die zugrunde gelegte Näherung dieser Funktionen bestimmt, die die im Bauelement ablaufenden physikalischen Prozesse nur teilweise berücksichtigt.

4.1. Drift-Diffusions-Modell

Bei der Drift-Diffusions Methode (DD) wird ein stationärer, d.h. temperatur- und ortsunabhängiger Zusammenhang für die Beweglichkeit entsprechend Abb. 2.10 angenommen und die Diffusionskonstante nach Gl. 4.5 berechnet. Dieser Ansatz kann deshalb overshoot Effekte nicht berücksichtigten.

Die Methode liefert eine Lösung der zweidimensionalen Poissongleichung. Ein möglicher Potentialverlauf ist bereits in der Abb. 2.7 in Kap. 2 dargestellt. Er bestimmt die Breite des stromführenden Kanals und der darin herrschenden elektrischen Felder, durch die der Elektronentransport und damit auch die Elektronenverteilung selbstkonsistent zum Potential selbst bestimmt wird.

Für einen 600 nm breiten Kanal mit einer Dotierung von $N_D = 1 \cdot 10^{16}\ cm^{-3}$ und einer Kanallänge L_k= 650 nm und L_S = 200 nm wurde eine Kennlinie (s. Abb. 4.2) berechnet [Mar 93]: die in qualitativer Übereinstimmung zur gemessenen Kennlinie in Abb. 2.5 sowohl einen pentodenförmigen als auch einen triodenförmigen Kennlinienverlauf zeigt. Um den Einfluß des Abstandes L_S zwischen Source und Gate auf das Stromverhalten beurteilen zu können, sind in Abb. 4.2 ebenfalls die berechneten Werte für einen um 100 nm zum Source hin verlängerten Kanal mit L_S = 300 nm eingezeichnet.

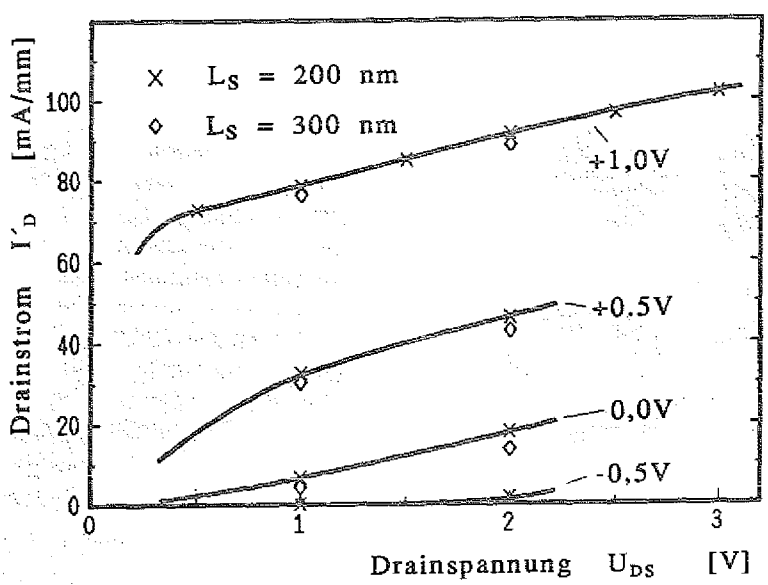


Abb. 4.2

Mittels Drift-Diffusion berechnete Punkte der Ausgangskennlinie eines intrinsischen PJBT mit
N_D (Kan) = $1 \cdot 10^{16}\ cm^{-3}$
N_D (i) = $1 \cdot 10^{15}\ cm^{-3}$
b_k = 600 nm , b_F = 600 nm
L_S = 200 nm, 300 nm,
entspr. L_k= 650 nm ,750 nm
l_g= 200 nm
U_G= 1,0V ; 0,5V ; 0V und -0,5V

Der mit DD berechnete Drainstrom wird durch die Verlängerung von L_S nur minimal beeinflußt. Wegen der kurzen Gatelänge, die hier 200 nm beträgt, tritt infolge des Durchgriffs keine Sättigung mehr ein. Die Zunahme des Drainstromes mit der Drainspannung erfolgt oberhalb von U_{DS} = 0,5V aber sehr viel langsamer, als dies bei Änderung der Gatespannung erfolgt. Diese beiden Änderungen des Drainstromes entsprechen dem Ausgangsleitwert G_{DS}, der als Steigung der Kennlinien aufgefaßt werden kann, und der inneren Steilheit g_{mi}, die proportional zum Abstand zweier Kennlinien ist. Während die Steilheit oberhalb U_{GS}= 0V Werte zwischen 50 und 95mS/mm annimmt, bleibt der Ausgangsleitwert zwischen U_{DS} =1V und 2V auf Werte unterhalb 14 mS/mm beschränkt. Für hohe Gatespannungen, also bei offenem Kanal, gilt $G_{DS}/g_{mi} < 5$. Damit ist die in Gl.2.27 gemachte Annahme gerechtfertigt, derzufolge G_{DS} bei der Berechnung von f_{max} nur eine untergeordnete Rolle spielt. Bei kleineren Gatespannungen (z.B. -0,5V) bewirkt der Durchgriff, daß zu höheren Drainspannungen hin die anliegende Gatespannung nicht mehr ausreicht, um den Drainstrom zu unterdrücken, der infolge der in Kap. 2.3.3 diskutierten Erniedrigung der Potentialbarriere ansteigt.

Wie in Kap. 2.3.2 bereits angesprochen, wird der insgesamt fließende Drainstrom durch den Widerstand im oberen Kanal (s. Abb. 2.8), der auch ohne die injizierten Elektronen nicht verarmt wäre, bestimmt. In diesem Bereich nahe am Source sind die elektrischen Felder vergleichsweise gering und werden zum Drain hin immer stärker. Demzufolge wird der Drainstrom durch die Beweglichkeit bei den dort herrschenden Feldern bestimmt werden. Zur Überprüfung wurde in zwei Simulationen ein unterschiedlicher Funktionsverlauf der Driftgeschwindigkeit angenommen (s. Abb. 4.3a und b), der durch Gleichungen Gl. 4.6a und b beschrieben wird.

Der Verlauf in a) berücksichtigt den für III-V Halbleitern typischen Rückgang der Driftgeschwindigkeit bei hohen Feldern. In b) ist hingegen eine stetige Zunahme der Driftgeschwindigkeit gegeben, die qualitativ der v-E-Charakteristik von Silicium entspricht, dessen Driftgeschwindigkeit aber deutlich geringer ist.

a) $$v = \frac{\mu_0 \cdot E + v_s \cdot (E/E_t)^4}{1 + (E/E_t)^4} \qquad \text{Gl. 4.6a}$$

mit μ_0=6500 cm/Vs , v_s=8,5·10^6 cm/s , E_t=4500 V/cm

b) $$v = \frac{\mu_1 \cdot E}{1 + (\mu_1 \cdot E / v_s)} \qquad \text{Gl. 4.6b}$$

mit μ_1=7000 cm/Vs , v_s=4·10^7 cm/s

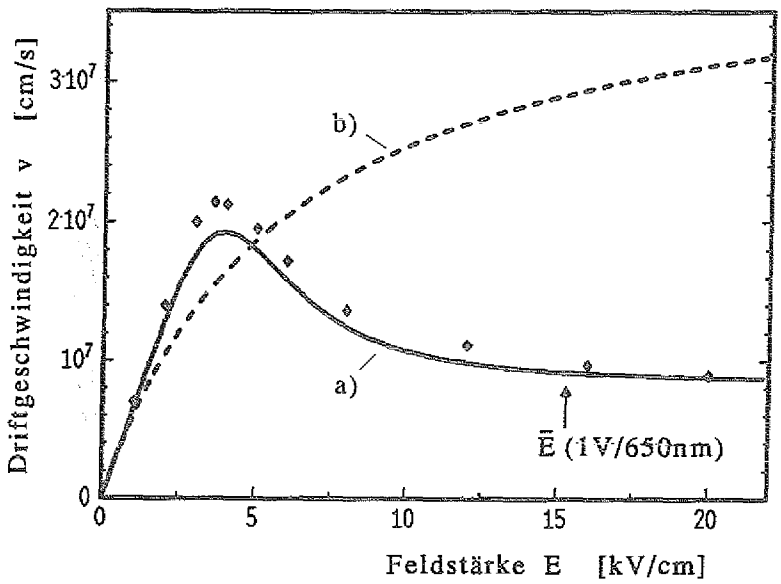


Abb. 4.3

Die gemessene v-E-Charakteristik für GaAs bei $N_D = 1 \cdot 10^{16} cm^{-3}$ (◇) wird durch die Funktionen a) und b) genähert, mit denen die Kennlinien in Abb. 4.3 a) und b) berechnet wurden. Der Pfeil kennzeichnet die Feldstärke $\overline{E}$ eines homogenen Feldes zwischen Source und Drain für U_{DS}=1V und L_k= 650nm.

Das Ergebnis der Simulation in Abb. 4.4 zeigt, wie empfindlich der Drainstrom von der Beweglichkeit der Elektronen abhängt.

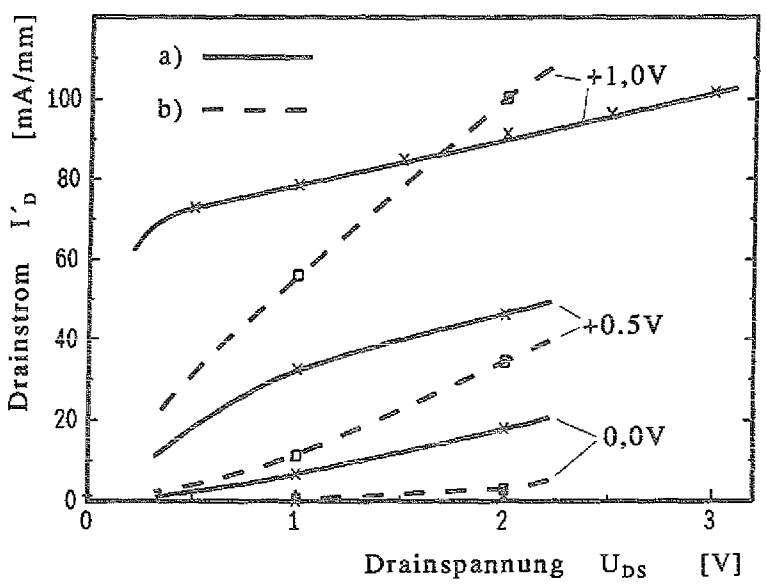


Abb. 4.4

Die berechneten Kennlinien a) und b) werden bei kleinen Gatespannungen durch die Beweglichkeit bei geringen Feldstärken dominiert (Erklärung s. Text) .

Für den Fall a) ist die Driftgeschwindigkeit und damit die Beweglichkeit bei kleinen Feldern ($E \leq 5kV/cm$) nur geringfügig höher als im Fall b). Die Annahme, daß der Drainstrom im oberen Kanalbereich gesteuert wird, wo die elektrischen Felder in Stromrichtung am geringsten sind (s. Abb. 2.7), wird durch den in der Simulation berechneten Strom, der im Fall a) größer ist, direkt bestätigt. Die höhere Beweglichkeit in diesem Bereich führt zu einem höheren Strom.

Die für a) geringere Beweglichkeit bei Feldern oberhalb 5 kV/cm spielt dabei eine untergeordnete Rolle, obwohl bereits bei U_{DS} = 1V die mittlere Feldstärke im Kanal $\overline{E}$ = 5,4kV/cm betrüge, wenn ein homogenes Feld angenommen würde. Die Abnahme der Driftgeschwin-

digkeit in a) bewirkt aber, daß der Drainstrom zu hohen Drainspannungen sehr viel langsamer ansteigt, als es für die sättigende v-E-Charakteristik aus b) der Fall ist.

Dieses Ergebnis hat zweierlei Konsequenzen:

1) Bei einer höheren Beweglichkeit bei **geringen Feldstärken** (wie in Abb. 4.3 a) werden bei kleinen Spannungen höhere Ströme und Steilheiten erreicht (als für Fall b). Das bedeutet, daß für III-V Halbleiter wie GaAs und $Ga_xIn_{x-1}As$ bei gleicher Dimensionierung eines PBT's höhere Ströme und Steilheiten zu erwarten sind als für Si, obwohl dessen Sättigungsgeschwindigkeit bei hohen Feldern größer ist.
2) Eine zusätzliche Erhöhung der Elektronengeschwindigkeit infolge des overshoot Effektes kann, auch wenn sie räumlich nur auf den oberen Kanalbereich (am Source) beschränkt ist, in gleicher Weise den Drainstrom und damit die Steilheit des PJBT vergrößern. Dieser Einfluß kann aber nicht mit dieser Methode berechnet werden, sondern nur im Vergleich mit Monte-Carlo Simulationen abgeschätzt werden.

4.2. Monte-Carlo-Simulation

Bei der Monte-Carlo Simulation wird im Gegensatz zur Drift-Diffusions Methode kein funktionaler Zusammenhang zwischen Beweglichkeit und elektrischem Feld angenommen. Sie beschreitet einen anderen Weg, der einen wesentlich höheren Rechenaufwand erfordert, dafür aber auch nicht stationäre Funktionalitäten berücksichtigt, die eine nicht mehr zu vernachlässigende Rolle spielen, falls die Abmessungen der Bauelemente die Größenordnung der freien Weglänge der Elektronen von ~ 0,2 µm erreichen (vgl. Abb. 2.11).

Die Monte-Carlo Simulation (MC) ist eine Methode, mit der die Boltzmann Verteilung, d.h. die Verteilung der Elektronen im Phasenraum, berechnet wird. Einzelne Elektronen bewegen sich entsprechend der aus der Bandstruktur ergebenden Dispersionsfunktion $\omega(\mathbf{k})$ "frei" im Phasenraum, bis sie nach einer ihrer energetischen Lage entsprechende Streuwahrscheinlichkeit in andere Zustände gestreut und erneut beschleunigt werden. Gerade bei hohen Feldern, wo aufgrund der raschen Beschleunigung der Elektronen kein thermisches Gleichgewicht und wegen der kurzen Strukturen keine stationäre Verteilung mehr erreicht wird, ist die Monte-Carlo Methode besonders geeignet, den Übergang vom ballistischen zum diffusiven Elektronentransport zu beschreiben [Hes 90].

Mit dieser Methode wurde für die gleichen Arbeitspunkte der Kennlinienverlauf berechnet [Pab 92] (s. Abb. 4.5). Im Vergleich zu den Drift-Diffusions Rechnungen mußte allerdings die Symmetriefläche auf den Kanal selbst beschränkt und das Potential am Rand des Kanals, d.h. an den Grenzflächen zu den i- und der p^{++}-Schicht vorgegeben werden. Auf den berechneten Strom, der hauptsächlich in der Kanalmitte fließt, hat dies nur geringe Auswirkungen. Nur die Kapazitäten werden nicht richtig berechnet, weil die parasitären Anteile ober- und unterhalb vom Gate nicht mitgezählt werden.

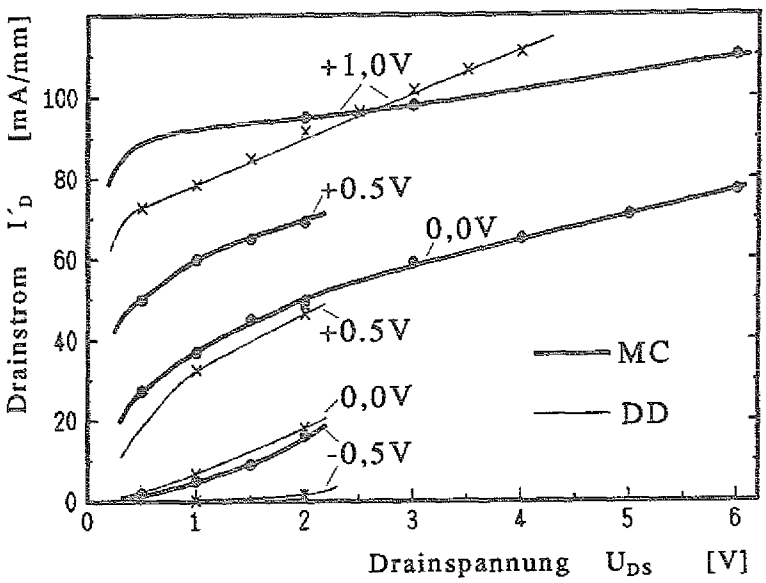


Abb. 4.5

Mittels Monte-Carlo berechnete Punkte der Ausgangskennlinie eines PJBT für die gleichen Parameter wie in Abb. 4.4.
Zum Vergleich sind die mit DD berechneten Kennlinien eingezeichnet

Das Ergebnis der Berechnung in Abb. 4.5 zeigt einen Kennlinienverlauf, der sich in zwei Punkten von den Ergebnissen der DD Berechnung unterscheidet. Zum einen ergeben sich unterhalb U_{DS} = 2V höhere Drainströme, die relativ gesehen umso größer sind, je niedriger U_{GS} ist. Dies ist auf den overshoot Effekt zurückzuführen, durch den die Driftgeschwindigkeit überhöht wird. Dieses Ergebnis kann als Fortführung des Vergleichs der unterschiedlichen v-E-Charakteristika a) und b) in Abb. 4.3 im vorherigen Kapitel aufgefaßt werden, weil das Stromverhalten in der gleichen Weise verändert wird. Zweitens verläuft der Anstieg der Kennlinien flacher als für die DD Methode. Der Ausgangsleitwert ist also geringer, und bei U_{GS} = 1V wird fast eine Sättigung des Stromes vorausgesagt.

Für die berechnete intrinsische Steilheit ergibt MC nur höhere Werte, wenn $U_{GS} \leq 0V$ ist, das heißt, wenn nach der Diskussion in Kap. 2.3.2 der offene Kanal schmal und daher kurz ist. Dann führt der overshoot zu einem schnelleren Stromanstieg. Wenn allerdings der Kanal immer weiter (U_{GS} =1V) und damit länger wird, können die Elektronen nicht mehr ballistisch durch den ganzen Kanal gelangen und werden gestreut. Damit kehrt sich der Vorteil des overshoot Effektes ins Gegenteil, und der Strom wächst langsamer an, da die mittlere Geschwindigkeit abnimmt. Ebenso verringert sich die Steilheit g_m in diesem Bereich (vgl. Abb. 4.5).

In Abb. 4.6 ist die berechnete Geschwindigkeit aller Elektronen gemittelt über die gesamte Kanalbreite als Funktion des Ortes in Source-Drain Richtung aufgetragen. Das Gate erstreckt sich von 200 nm bis 400 nm. Bei Spannungen U_{DS} =1V, U_{GS} =0V wird im Bereich des Gates eine mittlere Geschwindigkeit von $4{,}5 \cdot 10^7$ cm/s berechnet, die damit gut doppelt so hoch ist wie der Maximalwert der stationären Geschwindigkeitsverteilung in Abb. 2.9.

Die Elektronen erreichen in Abb. 4.6 unter dem Gate eine maximale Driftgeschwindigkeit, die infolge der dort einsetzenden Streuung in die Nebenminima wieder verringert wird. In einer ortsaufgelösten Darstellung, die nicht in dieser Arbeit abgebildet ist, können vom Gate zum Drain hin zunehmend mehr Elektronen dem L- und X-Minimum im Leistungsband zugeordnet werden.

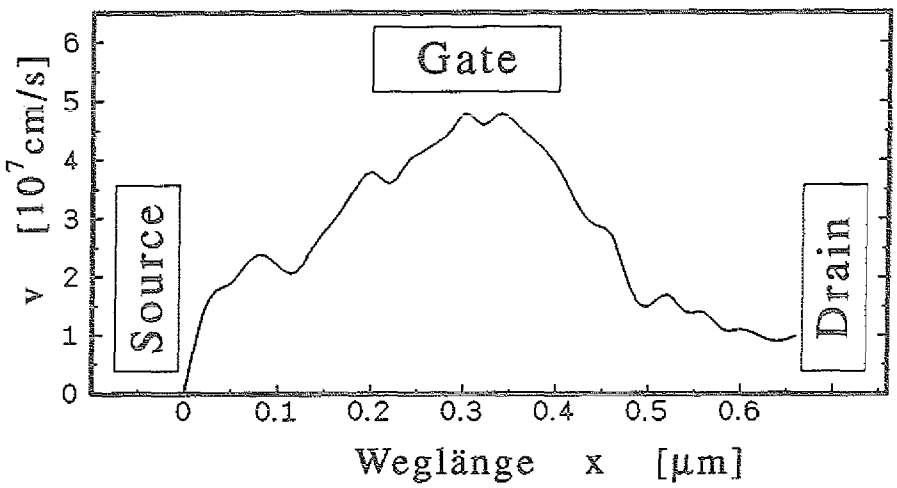


Abb. 4.6
Mit MC berechnete mittlere Driftgeschwindigkeit aller Elektronen im Kanal als Funktion des zurückgelegten Weges. U_{GS}= 0V, U_{DS} = 1V. Die Welligkeit der Kurve ist ein Maß für die statistische Ungenauigkeit.

In der folgenden Tabelle sind für verschiedene Drainspannungen die Verteilung aller Elektronen im Kanal auf die Minima, ihre mittlere Driftgeschwindigkeit und die Elektronentemperatur T aufgeführt. Die Gatespannung beträgt immer U_{GS} = 0,0 V.

U_{DS} [V]	0,5	1,0	1,5	2,0
Γ [%]	87	61	47	37
L [%]	13	37	48	53
X [%]	0	2	5	10
T K]	537	728	881	1007
$\overline{E}$ [kV/cm]	7,5	15	22,5	30
$\overline{v}$ [10^7 cm/s]	1,7	1,9	1,8	1,6
I'_D [mA/mm]	27,5	37	45	49,5

Tab. 4.1
Mittels MC berechnete Verteilung der Elektronen auf die Leitungsbandminima bei U_{GS} = 0V für zunehmende Drainspannungen. Die Elektronentemperatur und mittlere Geschwindigkeit sind ebenfalls aufgeführt.

Bei zunehmender Drainspannung werden immer mehr Elektronen aus dem Γ-Minimum in die L- und X-Minima gestreut. Entsprechend ihrer Verteilung steigt auch die Elektronentemperatur sehr stark an.

Obwohl die mittlere Driftgeschwindigkeit ab U_{DS} = 1 V leicht zurückgeht, steigt der Strom weiter an, weil zunehmend mehr Elektronen im Kanal sind.

4.3. Vergleich der berechneten Steilheiten

Aus den mit DD und MC berechneten Drainströmen kann die mittlere Steilheit zwischen zwei Punkten berechnet werden. Wenn zusätzlich die Änderung der Ladung im Kanal bekannt ist, kann die Transitfrequenz nach Gl. 2.23 berechnet werden In Abb. 4.7 sind die in den Simulationen berechneten Steilheiten eingetragen und werden mit der analytischen Funktion nach Gl.2.21 verglichen.

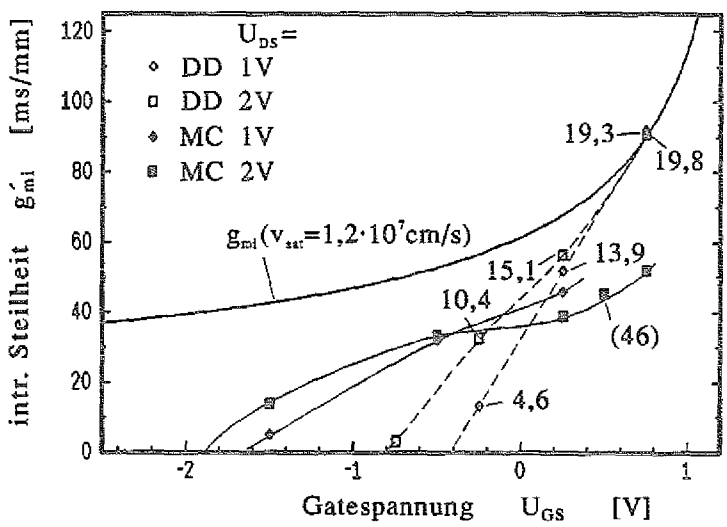


Abb. 4.7

Vergleich der mit DD und MC berechneten intrinsischen Steilheiten für $N_D = 1\cdot10^{16}$ cm^{-3} und $b_k = 600$ nm und der analytischen Funktion nach Abb. 2.12. Die Zahlenwerte stehen für die berechnete Transitfrequenz in GHz bei den entsprechenden Arbeitspunkten. Der Wert (46) GHz für MC ist zu groß, weil die Kapazitäten nur teilweise berücksichtigt wurden.

MC ergibt im Vergleich nur bei kleineren Gatespannungen ($U_{GS} < 0,5$ V) höhere Steilheiten, weil nur dort der steuernde Kanal kurz genug ist, damit der overshoot Effekt wirksam wird. Wenn der Kanal breiter und damit der steuernde Bereich länger wird, steigt der Strom geringer an als bei DD, wo er vorher kleiner war. Deshalb ergeben sich für DD in diesem Bereich höhere Steilheiten, die sich für $U_{GS} > 0,5$ V den Steilheiten aus dem numerischen Modell in Kap. 2.3.5 nähern. Der Funktionsverlauf g_{mi} ($v_{sat} = 1,2\cdot10^7$ cm/s) ist für $U_{GS} < 0$ V zu korrigieren, weil bei $U_{GS} \approx -1,2$ V der Kanal abgeschnürt ist und deshalb g_{mi} auf Null abfallen müßte.

Zu höheren Drainspannungen wächst der Strom infolge des Durchgriffs an und der Kanal kann erst bei geringeren Gatespannungen abgeschnürt werden. Entsprechend werden auch gleiche Steilheiten bei geringeren U_{GS} erreicht. Für die MC-Werte geht dieser Gewinn allerdings zu Lasten der Steilheit bei offenem Gate, wo eine Verschlechterung aus den oben beschriebenen Gründen auftritt.

Die in Abb. 4.7 eingetragenen Zahlen geben die berechnete Transitfrequenz in GHz an. Bei DD ist eine stetige, aber nicht lineare Zunahme mit der Steilheit verbunden. Der Wert für MC ist auf jeden Fall zu groß, weil in der Simulation nicht die ganze Symmetriefläche aus Abb. 4.1 berechnet wurde und deshalb zu geringe Kapazitäten angesetzt wurden. Für die analytische Funktion ergibt sich bei $U_{GS} = 0,75$ V die Weite der Verarmungszone zu $w \approx 280$ nm, so daß aus Abb. 2.15b eine Transitfrequenz für den intrinsischen PJBT von

14,5 GHz abgelesen werden kann. Mit DD sind für den gleichen Arbeitspunkt vergleichsweise 19 GHz berechnet worden.

Für einen PJBT mit längerem Abstand zwischen Source und Gate (L_S = 300 nm, vgl. Abb. 4.7) reduziert sich die mit DD berechnete Transitfrequenz um 10% auf 17,2 GHz, weil die Gatekapazität in dem verlängerten Kanal zunimmt. Durch die Verlängerung des Kanals werden zusätzlich noch die Bahnwiderstände vergrößert, so daß insgesamt die meßbare Grenzfrequenz noch stärker abnehmen dürfte, als für das intrinsische Bauelement.

Die Simualtionsergebnisse haben gezeigt, daß bereits bei der vorgegebenen Kanalbreite b_k = 0,6 µm und einer Dicke der p^{++}-Schicht und der i-Schicht von jeweils 0,2 µm der overshoot Effekt auftritt, und bei geringeren Drainspannungen die Kennlinien beeinflußt.

5. Die Prozeßfolge bis zum Hochfrequenz-PJBT

Der Erfolg neuer Bauelement-Konzepte wird dadurch bestimmt, inwieweit sie sich technologisch umsetzen lassen. Die in den Simulationen vorausgesetzten kleinen Strukturen müssen in ihren geometrischen Abmessungen und ihren Dotierprofilen verwirklicht werden; zusätzlich müssen ohmsche Kontakte geschaffen werden, die die Verbindung zur Außenwelt (Schaltkreis oder Meßapparatur) herstellen und die Funktion des intrinsischen Bauelementes nicht wesentlich einschränken.

Der Aufbau eines PJBT, so wie er technologisch realisiert wurde, ist als Schnittbild in Abb. 5.1 illustriert. Die giebelförmig aufgefüllten Kanäle verbinden Source und Drain. Sie werden von der p^{++}-Schicht eingeschlossen, die seitlich versetzt für den Gatekontakt freigelegt wird. Die Prozessierung bis zum Hochfrequenz-PJBT kann in fünf Abschnitte eingeteilt werden.

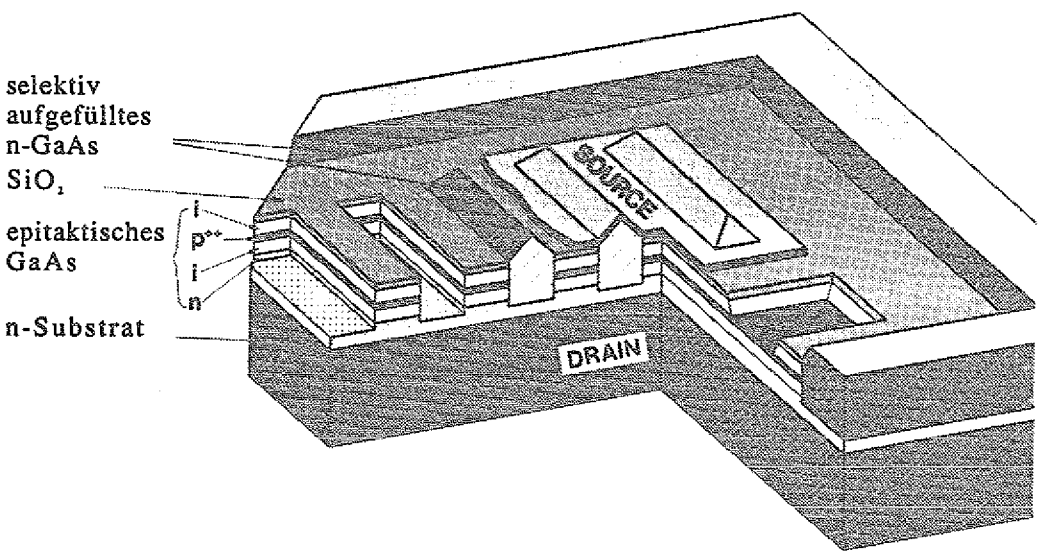


Abb. 5.1
Schnittbild des Permeable Junction Base Transistors
Von links nach rechts sind einzelne Herstellungsstufen dargestellt.

- epitaktische Schichtenfolge mit abgeschiedener SiO_2-Schicht
- mit RIE geätzte Gräben mit senkrechten Flanken
- selektiv aufgefüllte Kanäle und Peripherie
- aufgedampfte Source-Metallisierung
- durch naßchemisches Ätzen freigelegtes Gate

Zuerst wird die vertikale Schichtstruktur erzeugt (s. Abb. 5.1), die aus epitaktisch abgeschiedenem GaAs und einer aufgedampften SiO_2-Schicht besteht. Zur Erzeugung der lateralen Sruktur ist es notwendig, lithographisch sub-µm Strukturen zu erzeugen, und diese in die epitaktischen Schichten zu übertragen, so daß vertikale Flanken entstehen. Die hierzu entwickelte Technologie ist in Kap. 5.2 beschrieben. Die geätzten Kanäle werden in einer 2.

selektiven Epitaxie wieder aufgefüllt (Kap. 5.3). Die Herstellung ohmscher Kontakte (Kap. 5.4) bereitet besonders beim Source-Kontakt Probleme, weil er niederohmig aber gleichzeitig auch sehr flach sein muß, um eine Zerstörung des direkt darunterliegenden pn-Überganges zu vermeiden.

Damit die Hochfrequenzeigenschaften des PJBT gemessen werden können, müssen noch durch eine Polyimidschicht voneinander isolierte Koplanarleitungen an die Kontakte des PJBT herangeführt werden (Kap. 5.5)

5.1. Die vertikale Schichtstruktur

Ausgangsmaterial für die erste - ganzflächige - Epitaxie sind semi-isolierende oder n-dotierte, exakt orientierte 2 Zoll GaAs-Wafer (100). Nach der Reinigung in einer H_2SO_4 : H_2O_2 : H_2O - Ätzlösung (10:1:1) wird auf den Wafern mittels Metalorganic Molecular Beam Epitaxy (MOMBE) folgende Schichtfolge abgeschieden, die zur Kapazitätsreduzierung aus abwechselnd isolierenden und möglichst gut leitenden Schichten besteht:

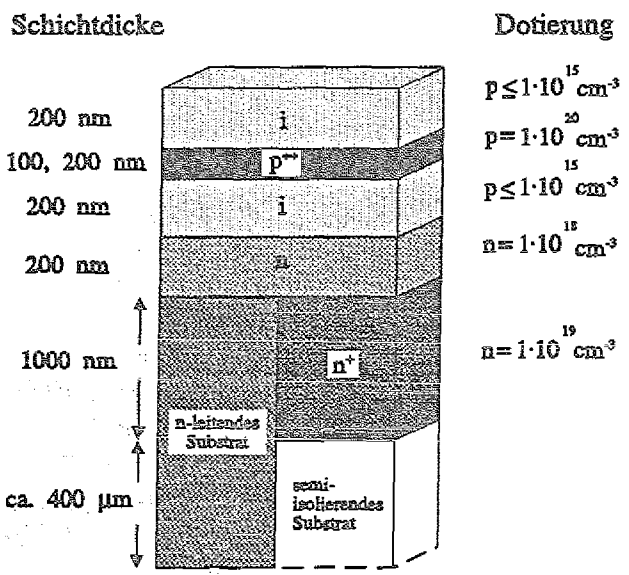


Abb. 5.2
Mit MOMBE abgeschiedene Schichtfolge auf n-dotiertem bzw. semi-isolierendem Substrat

Prinzipiell sind semi-isolierende Substrate für Hochfrequenzanwendungen besser geeignet als dotierte, weil die parasitären Kapazitäten der Zuleitungen entfallen. Um das Kontaktieren der vertikalen Stromkanäle durch einen seitlich versetzten Drain zu ermöglichen, wird zunächst eine 1 µm dicke n^+-Schicht ($\rho = 0{,}4\ \mu\Omega cm$) direkt auf dem Substrat abgeschieden.

Das obige Dotierprofil mit abwechselnd gut isolierenden und sehr gut leitenden, d.h. möglichst gering und hoch dotierten Schichten, erfordert eine maximale Dotierstoffkonzentration und gleichzeitig eine minimale Diffusion. Diese Anforderungen werden in GaAs idealerweise von Kohlenstoff als p- und Tellur als n- Dotierstoff erfüllt, die in der MOMBE

eingesetzt werden. Mit beiden Elementen werden jeweils höchste Dotierungen und geringste Diffusion in GaAs erreicht [Kam 92].

Um den Einfluß der Gatelänge, die der p^{++}-Schichtdicke entspricht, auf die Eigenschaften des Bauelementes experimentell zu untersuchen, wurde diese variiert, während alle anderen Parameter konstant gehalten wurden. Die 200 nm dicke n-Schicht dient als Puffer, um unterschiedliche Einflüsse, wie die der Substratoberfläche bzw. der hochdotierten n^+-Schicht, auf das $ip^{++}i$-Dotierprofil im Steuerbereich zu minimieren.

Direkt nach der Epitaxie wird eine 60 nm dicke SiO_2-Schicht mit PECVD (Plasma Enhanced Chemical Vapour Deposition) oder mittels Elektronenstrahlverdampfung abgeschieden. Im letzteren Falle wird die geringere Qualität des SiO_2 durch zweiminütiges Tempern bei 550 °C verbessert. Die SiO_2-Schicht bietet bei dem anschließenden Ätzprozeß und der Epitaxie entscheidende technologische Vorteile.

5.2. Die laterale Strukturierung

Zur Erzeugung von vertikalen Stromkanälen durch die $ip^{++}i$ / SiO_2-Schichten sollen lithographisch möglichst kleine laterale Strukturen hergestellt werden, weil nur für Kanalbreiten < 1 µm die Vorteile der kurzen Gatelänge (≈ Dicke der p^{++}-Schicht) zum Tragen kommen. Diese Strukturen müssen mit maximaler Präzision in den Halbleiter übertragen werden, weil die Stromsteuerung empfindlich von Schwankungen der Kanalbreite abhängt.

Mit optischer Lithographie können sub-µm Auflösungen erzielt werden. Die Dicke der SiO_2-Schicht wurde mit 60 nm so gewählt, daß sie für die i-Linie ($\lambda = 365$ nm) des UV-Belichters eine reflektionsvermindernde Schicht ($d = \lambda/4 \cdot n_{SiO_2}$) ist. Nach Optimierung der Prozeßparameter (s. Anhang A) für den Umkehrlack AZ 5206 E, insbesondere der 1. Belichtungszeit, konnten optisch 0,4 µm Auflösung erzielt werden. Auf einem ganzen 2-Zoll Wafer werden in jeweils 6 Zellen pro Viertelwafer alle Transistor- und Teststrukturen erzeugt, die hauptsächlich Fingerstrukturen mit Kanalbreiten von 0,4 µm bis 1,2 µm und zylinderförmige Strukturen mit Durchmessern von 0,6 µm bis 1,5 µm enthalten. Die zu ätzenden Stromkanäle haben mit 500 nm - 700 nm Tiefe teilweise ein Aspektverhältnis größer als 1, d.h. sie sind tiefer als breit. Es ist deshalb nicht möglich, mit naßchemischen Ätzen zu arbeiten, da sie sich isotrop verhalten und folglich den Lack unterätzen würden. Dagegen bieten Trockenätzverfahren wie RIE (Reactive Ion Etching) die Möglichkeit, sehr steile Ätzflanken zu erzeugen [Wil 84], wenn die Selektivität, d.h. das Verhältnis der Ätzrate zur Abtragsrate des Lackes ausreichend ist.

Die vorliegende Schichtenfolge " strukturierter AZ-Lack / SiO_2 / GaAs " erfüllt diese Bedingung sehr gut. So wird mit RIE die Struktur des Lackes zuerst mit CHF_3 in die SiO_2-Schicht übertragen, und dann der Lack mit O_2-Plasma entfernt. Die freigelegte GaAs-Oberfläche wird weder von CHF_3 noch von O_2 angegriffen. Beide Prozesse werden außerdem mit einem Laserinterferometer kontrolliert, so daß sie gezielt nach dem vollständigen Abtrag der jeweiligen Schicht beendet werden können.

Zur Ätzung des GaAs bietet sich der CH_4 : H_2 Prozeß an, der auch als MORIE (Metalorganic RIE) bezeichnet wird [Nig 85] [Law 89], weil sich unter anderem die flüchtigen Stoffe $Ga(CH_3)_3$ und AsH_3 bilden. Im Vergleich zu Prozessen, die Chlor oder Chlorverbindungen enthalten, werden erstens Sicherheits- und Korrosionsprobleme vermieden [Hen 87], und zweitens werden bessere Ätzergebnisse bzgl. der Oberflächenrauhigkeit und Reproduzierbarkeit erzielt. Noch wichtiger ist, daß Strahlenschäden, die wegen der Ätzspannung von einigen Hundert Volt durch ionisierte Atome oder Moleküle hervorgerufen werden, beim Tempern oberhalb 360 °C wieder ausheilen [Che 87] [Col 90]. Außerdem sind in CH_4 und H_2 nur die Elemente C und H enthalten, die auch während der Epitaxie (MOMBE und MOVPE) mit GaAs in Berührung kommen. Es können also keine Fremdstoffe beim MORIE-Ätzen in die PJBT Struktur implantiert werden oder eindiffundieren [Col 90].

Die SiO_2-Schicht ist für MORIE mit CH_4 : H_2 eine sehr gute Maske, die es erlaubt, im Vergleich zu Photolack bei höheren Leistungen und damit höheren Ätzraten zu arbeiten [Hen 87]. Im Gegensatz zu AZ-Lacken degradiert SiO_2 nicht während des Prozesses, so daß steile Flanken und glatte GaAs-Oberflächen sowohl in den Gräben erzeugt werden als auch unter der SiO_2-Schicht erhalten bleiben (s. Abb. 5.3 und Abb. 5.4). Während des CH_4 : H_2 Prozesses bildet sich auf den SiO_2-Flächen und an den Flanken ein passivierendes Polymer, wodurch erst die steilen Ätzflanken ermöglicht werden. Es wird durch O_2-Veraschung direkt nach dem Ätzen entfernt. Die genauen Parameter der RIE-Prozesse sind im Anhang B aufgeführt.

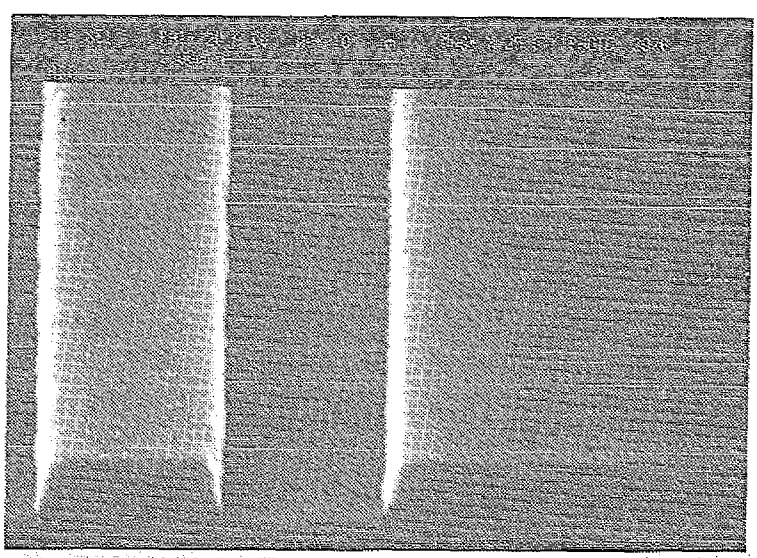


Abb. 5.3
Mittels MORIE geätzte Kanäle
Die SiO_2-Schicht wurde nachträglich außer am rechten Rand entfernt .

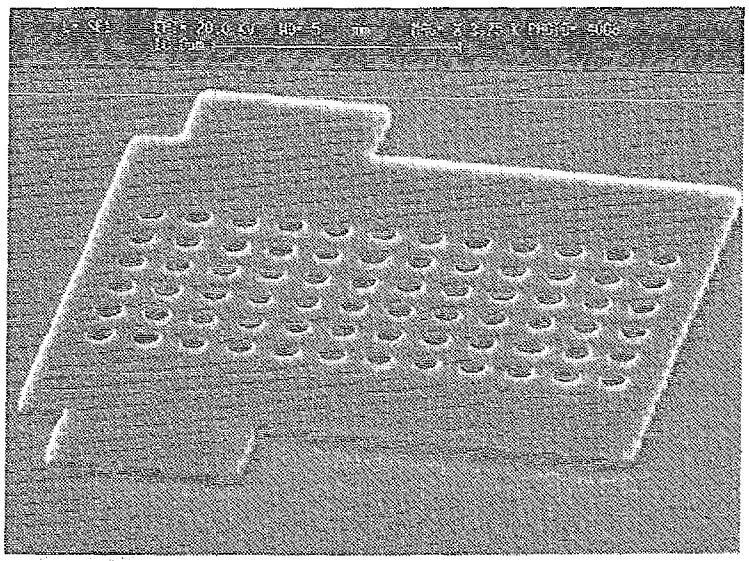


Abb. 5.4
Geätzte $ip^{++}i$ / SiO_2 -Schichten mit zylinderförmigen Kanälen (Durchmesser 1 µm)
Die erhobenen Flächen bilden das Gate beim fertigen PJBT

5.3. Auffüllen der Kanäle mit selektiver Epitaxie

Ziel der selektiven Epitaxie ist, die geätzten Kanäle mit GaAs einer auf die Kanalbreite eingestellten Dotierung aufzufüllen und gleichzeitig im Gatebereich eine maximale Beweglichkeit zu erzielen. Im Bereich der Kontakte sollte die Dotierung möglichst hoch sein, um niederohmige Kontakte zu gewährleisten.

Durch die Beschaffenheit der Oberfläche in den geätzten Kanälen unmittelbar vor dem epitaktischen Auffüllen werden die Eigenschaften des fertigen Transistors stark geprägt, denn das Interface und damit alle möglichen Kontaminationen oder Versetzungen können ebenso wie die Form der Kanäle selbst die Ladungsträgerdichte und deren Beweglichkeit direkt im Steuerbereich des PJBT beeinflussen. Deshalb sollte sowohl die Vorreinigung als auch die Epitaxie selbst mit großer Sorgfalt und deshalb mit hoher Reproduzierbarkeit durchgeführt werden. Die Reinigung des strukturierten, geätzten und geviertelten Wafers umfaßt folgende Schritte:

- Spülen in DI-Wasser unter Ultraschall zur Entfernung von möglichen Partikeln

Nacheinander werden drei RIE-Prozesse zunächst für die Rückseite und danach für die Vorderseite ausgeführt (Parameter s. Anhang C):

- 150 sec O_2-Plasma zur Veraschung von Polymerresten
- 90 sec RIE mit CH_4 : H_2 (5:30)
- 150 sec O_2-Plasma,

direkt vor dem Einbau zur Epitaxie werden folgende Schritte durchgeführt:

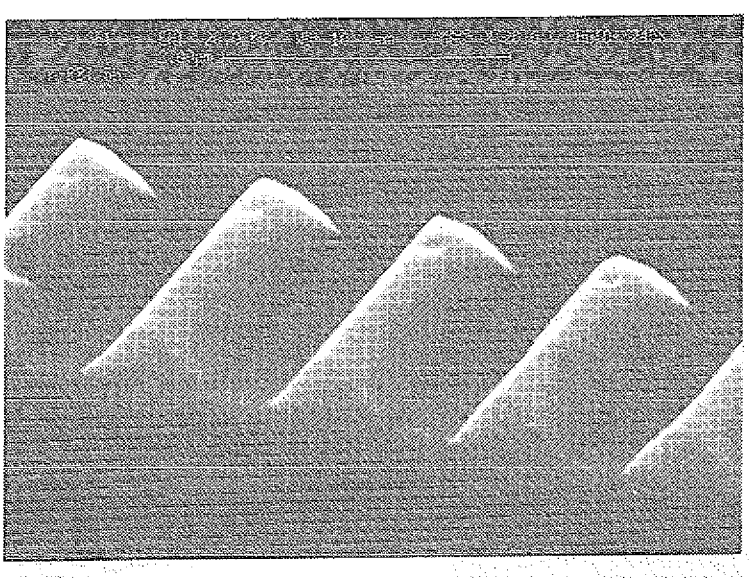
- 1 min $H_2SO_{4(konz)}$ und ausgiebiges Spülen mit DI-Wasser
- 1 min H_2SO_4 : H_2O_2 : H_2O (800:1:200)
  diese schwache Ätze entfernt ca. 20 nm GaAs
- spülen mit DI-Wasser, bis im abfließenden Wasser ca. 16 MΩcm erreicht werden
- Einbau in die MOVPE bzw. MOMBE und Abheizen des Oxids unter As-Stabilisierung

Während der anschließenden Epitaxie wird ein Dotierprofil abgeschieden, bei dem während der ersten 10 nm eine fallende Dotierung von $n = 5 \cdot 10^{17}$ cm^{-3} bis $n_{kan} \approx 4 \cdot 10^{16}$ cm^{-3} und zum Schluß 50 nm mit $n \geq 1 \cdot 10^{19}$ cm^{-3} eingestellt wird, um eine mögliche Kohlenstoffkontamination am Interface zu kompensieren, bzw. um ein hochdotiertes Cap-Layer für ohmsche Kontakte abzuscheiden .

Für die Epitaxie konnten geeignete Parameter (s. Anhang C) gefunden werden, die so gewählt sind, daß auf den freien GaAs-Flächen epitaktisches Wachstum stattfindet, während die SiO_2-Flächen frei bleiben. Dieses selektive Wachstum resultiert daraus, daß die Halbleiteroberfläche die Zerlegung der Reaktanden und damit das Wachstum katalysiert, während auf den SiO_2-Flächen die Desorption dominiert [Kay 91] [Hei 86] [Azo 81].

Bei der selektiven Epitaxie, die sowohl mit H_2 und N_2 als Trägergas [Har 92] in der MOVPE als auch ohne Trägergas in der MOMBE möglich ist, bleibt also die SiO_2-Schicht frei, während die geätzten Kanäle aufgefüllt werden. Das Wachstum und damit auch die Dotierung in den Kanälen werden von den angebotenen Materialflüssen, von den momentanen Oberflächen (Orientierung, Größe) und deren Reaktionsmechanismen (Einbau, Desorption) sowie Transportmechanismen (Diffusion, Migration) zwischen diesen Flächen in komplizierter Weise beeinflußt (s. auch Kap. 5.3.1).

Abb. 5.5 zeigt eine elektronenmikroskopische Aufnahme der Spaltkante einer selektiv überwachsenen Fingerstruktur. Die nach hinten verlaufenden Kanäle sind aufgefüllt und werden nach oben durch giebelförmige Facetten begrenzt, die durch Kristallebenen ([111] As) mit der geringsten Wachstumsrate gebildet werden. Ein Interface des geätzten Kanals zum eingefüllten GaAs ist nicht erkennbar.



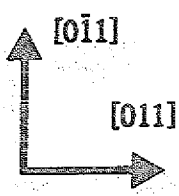


Abb. 5.5
SEM-Aufnahme der Spaltkante einer mit MOVPE überwachsenen Fingerstruktur

Die Anwendung der selektiven Epitaxie zur Auffüllung der geätzten Kanäle hat einige Vor- und Nachteile verglichen mit dem Fall, daß die SiO_2-Schicht vor der Epitaxie teilweise oder ganz entfernt werden würde:

Nachteile der selektiven Epitaxie:

- Selektives Wachstum tritt nur bei bestimmten Parametern (Temperatur, Gasflüsse) auf, so daß die Prozeßparameter (MOMBE, MOVPE) eingeschränkt sind.
- Insbesondere bei MOVPE hängt die Wachstumsrate vom Bedeckungsverhältnis des SiO_2 ab (aber auch von der Oberfläche einer strukturierten GaAs-Oberfläche (Topologie)).

Vorteile der selektiven Epitaxie:

- Kapazitätserniedrigung, weil der obere Kontakt auf die Kanalöffnungen bzw. die Fläche des Kontaktmetalles beschränkt ist (s. Abb. 5.1).
- Isolation und Passivierung zwischen den Kontakten durch die SiO_2-Schicht
- Das p^{++}-Gate liegt in bekannter Tiefe unter der Oberfläche, weil die SiO_2 -Schicht frei bleibt. Im anderen Fall würde die Dicke der abgeschiedenen Schicht infolge der Oberflächenmorphologie variieren und deshalb das Freilegen der dünnen p^{++}-Schicht erschweren.
- Kürzere, regulierte Kanallängen sind möglich, weil durch die Facettierung nach dem Auffüllen das Wachstum quasi gestoppt wird. Die Kanallänge nimmt aber mit der Kanalbreite zu (s. Abb. 5.6), so daß der Abstand zwischen Top-Kontakt und Gate mit der Kanalbreite korreliert.

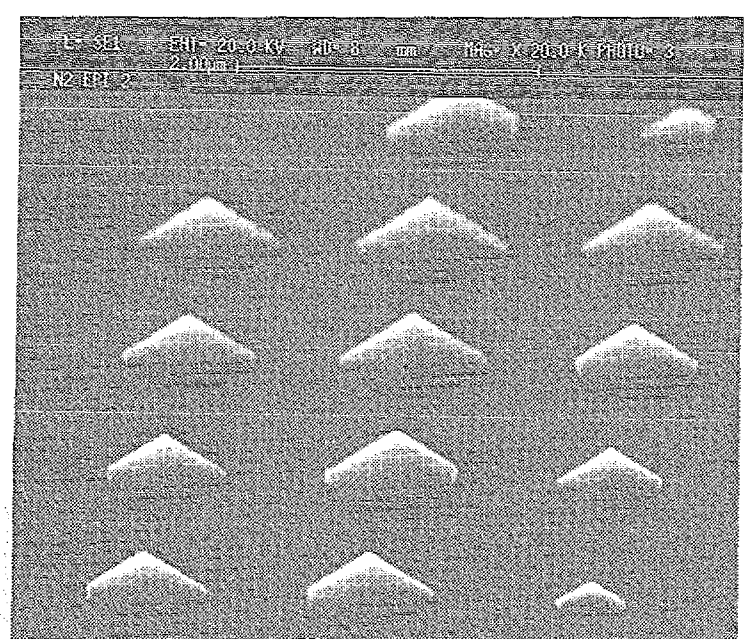


Abb. 5.6
Selektiv aufgefüllte zylinderförmige Kanäle mit variablem Querschnitt. Die Facettierung stoppt quasi das selektive Wachstum.

5.3.1. Facettenbildung bei der selektiven Epitaxie

Die Facettenbildung, die zu einer Verlangsamung des Kristallwachstums und damit gewissermaßen zu einem Wachstumsstop führen kann, ist eine direkte Folge der anisotropen Struktur des GaAs. Im Folgenden soll die Abhängigkeit der Wachstumsrate von der Kristallorientierung und die sich daraus ergebenden Konsequenzen erklärt werden.

In dieser Arbeit werden exakt orientierte GaAs (100)-Wafer benutzt, deren Spaltkanten in [011]- und [01$\bar{1}$]-Richtung verlaufen (s. Abb. 5.7a).

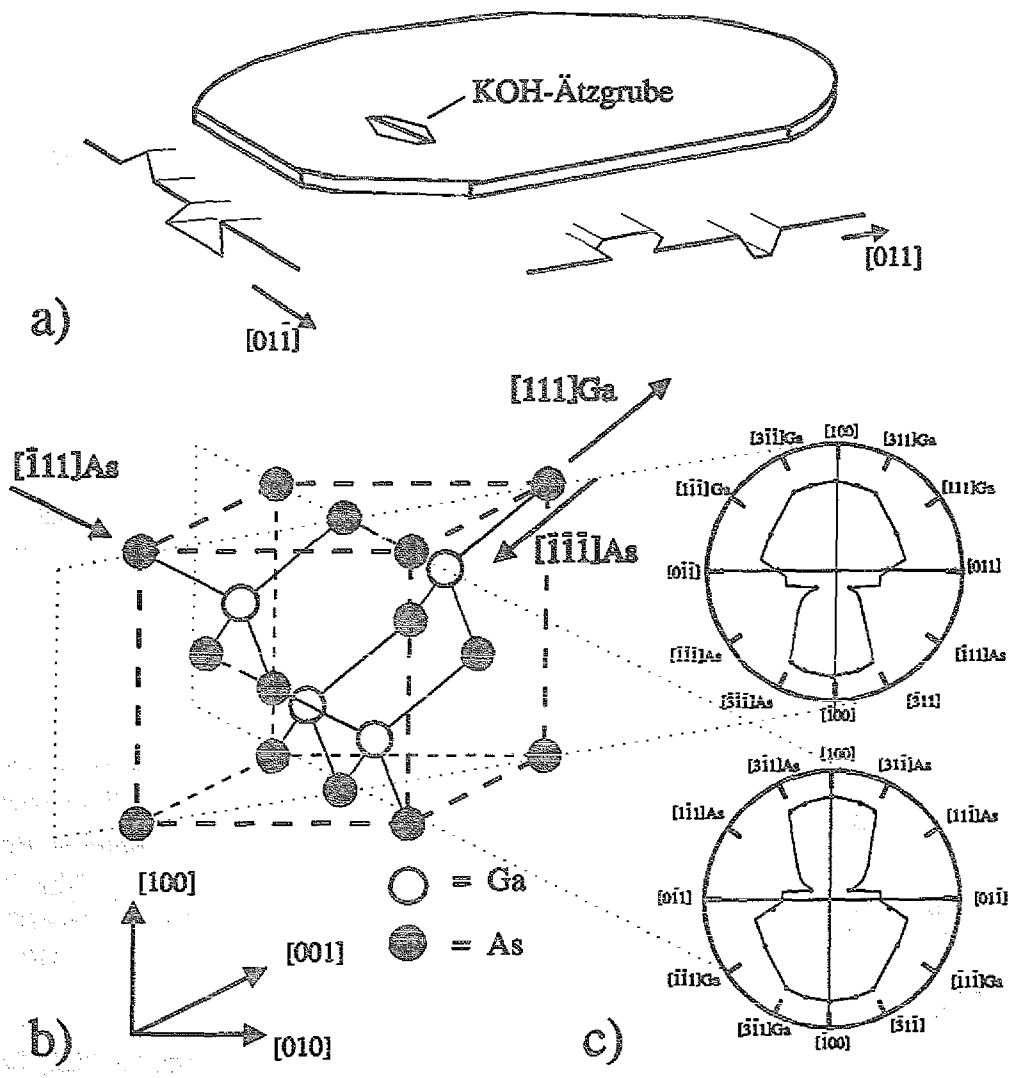


Abb. 5.7 a) GaAs (100) Wafer mit Profilen an den Spaltkanten, die selektiv gewachsen bzw. naßchemisch geätzt wurden,
b) Einheitszelle des GaAs-Kristalls, und
c) Abhängigkeit der Wachstumsraten von der Orientierung für MOVPE als Polardiagramm nach [Jon 90]

Wenn z.B. durch eine SiO_2-Maske GaAs selektiv abgeschieden bzw. naßchemisch geätzt wird, ergeben sich je nach Kristallrichtung charakteristische Profile [Hei 86]. Die Querschnitte solcher Profile, deren Maskenränder parallel zu den Spaltkanten ausgerichtet sind, sind ebenfalls in Abb. 5.7a eingezeichnet.

Die Ursache für dieses anisotrope Wachstum bzw. Ätzverhalten liegt in der Kristallstruktur des GaAs [How 85], die in Abb. 5.7b eingezeichnet ist. Die Bindungsverhältnisse, d.h. die Zahl und die Ausrichtung von Bindungen von einer Kristallebene zur nächsten, sind für {100}-, {110}- und {111}-Ebenen sehr unterschiedlich. So gehen z.B. von jedem Atom der {100}-Fläche (s. Grundfläche des Würfels) zwei Bindungen zur nächsten Ebene aus, während bei {111}-Ebenen (s. Ebenen senkrecht zur $\{\bar{1}\bar{1}\bar{1}\}$As) entweder nur eine oder sogar drei Bindungen zur nächsten Ebene bestehen. Die jeweiligen Bindungsverhältnisse bewirken unterschiedliche chemische Potentiale, die die Reaktionsgeschwindigkeit für Prozesse auf den entsprechenden Ebenen bestimmen [Kay 91].

In Abb. 5.7c sind exemplarisch die Wachstumsraten von GaAs für unterschiedlich orientierte ganze Wafer für MOCVD (bei Atmosphärendruck und 750 °C nach [Jon 90]) als Polardiagramm eingezeichnet. Die Wachstumsraten sind von den jeweiligen Prozeßparametern abhängig [Hei 86], und deshalb nicht identisch mit den Wachstumsraten in der "Low Pressure - MOVPE" dieser Arbeit. Qualitativ sind sie aber zutreffend, wie ein Vergleich u.a. mit [Kay 91] zeigt.

Es fällt auf, daß nicht nur für {100}-, {110}- und {111}-Ebenen unterschiedliche Wachstumsraten bestehen, sondern daß insbesondere {111} As-Ebenen viel langsamer wachsen. Der Unterschied von der (111)Ga zur $(\bar{1}\bar{1}\bar{1})$As-Ebene liegt in der Richtungsabhängigkeit, so daß im ersten Fall das Ga dreifach an die untere Lage gebunden ist, während dies bei Richtungsumkehr für das As zutrifft (siehe Abb. 5.7b). Anders ausgedrückt ist das Ga für {111}Ga-Oberflächen dreifach zum Substrat gebunden, während es für {111}As nur über eine Bindung am Substrat gehalten wird. Die unterschiedlichen Bindungsverhältnisse bewirken andere Reaktionsmechanismen, die wiederum verschiedene Wachstumsraten nach sich ziehen.

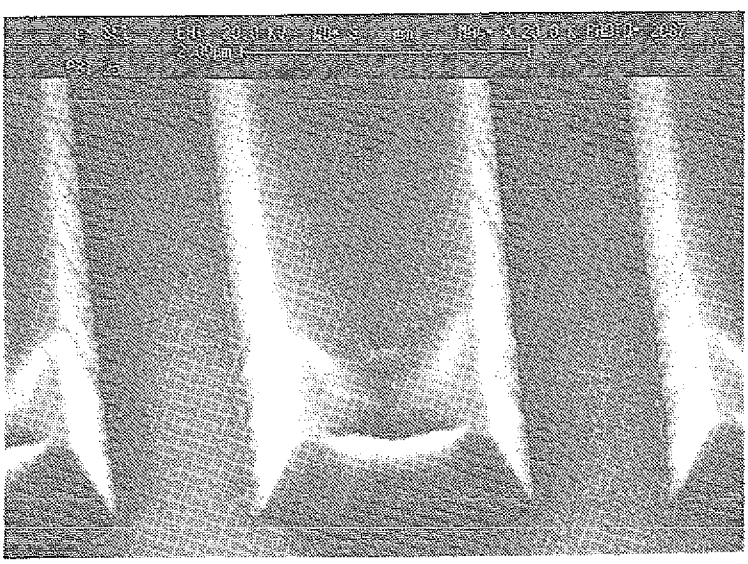
Mit Hilfe einer Wulff-Konstruktion kann aus den Polardiagrammen das "steady-state"-Profil der Wachstumsfront konstruiert werden [Jon 90]. Explizit sei hier nur darauf hingewiesen, daß die geringen Wachstumsraten der $(1\bar{1}1)$As- und $(11\bar{1})$As-Ebenen im unteren Polardiagramm zu der Ausbildung der entsprechenden giebelförmigen Facetten in Abb. 5.7a (links oben) führen. Dagegen sehen die konstruierten Profile von Streifen die um 90° gedreht sind, ganz anders aus, weil sie nicht durch die langsam wachsenden {111}As-Ebenen dominiert werden.

Bei der selektiven, einfüllenden Epitaxie, bei der geätzte Kanäle aufgefüllt werden, liegen unterschiedlich orientierte Ebenen, also Ebenen mit unterschiedlichen Wachstumsraten, direkt nebeneinander. Die Reaktionsmechanismen (Adsorption, Zerlegung, Einbau, Desorption) sind für alle Orientierungen der GaAs-Oberfläche und für die SiO_2-Maske unterschiedlich. Hinzu kommt, daß Transportmechanismen (Diffusion in der Gasphase, Oberflächenmigration) die Unterschiede in den Wachstumsraten noch verstärken können

[Kay 90] weil im Bereich der Diffusionslänge von einigen µm [Jon 90] [Kay 91] ein zusätzlicher Transport von den langsam zu den schnell wachsenden Facetten stattfindet.

Speziell an den Enden der geätzten Fingerstrukturen bzw. in den zylinderförmigen Stromkanälen liegen unterschiedlich orientierte Facetten direkt beieinander, die sich in ihrem Wachstum gegenseitig hemmen oder fördern, so daß sich dort Facetten ausbilden, die besonders langsam (s. Abb. 5.8) oder auch schneller (s. Abb. 5.9) als die unmittelbare Umgebung wachsen.

In Abb. 5.8 sind die Enden von 2 µm breiten überwachsenen Kanälen zu sehen, die nach der selektiven, einfüllenden Epitaxie noch eine tiefe Einschnürung zeigen, deren Facetten wiederum durch {111}As gebildet werden. Diese Vertiefungen führen bereits beim Einlegieren der Metallisierung zu Kurzschlüssen zum Gate oder sie verschlechtern das Durchbruchverhalten des Transistors.



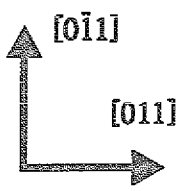
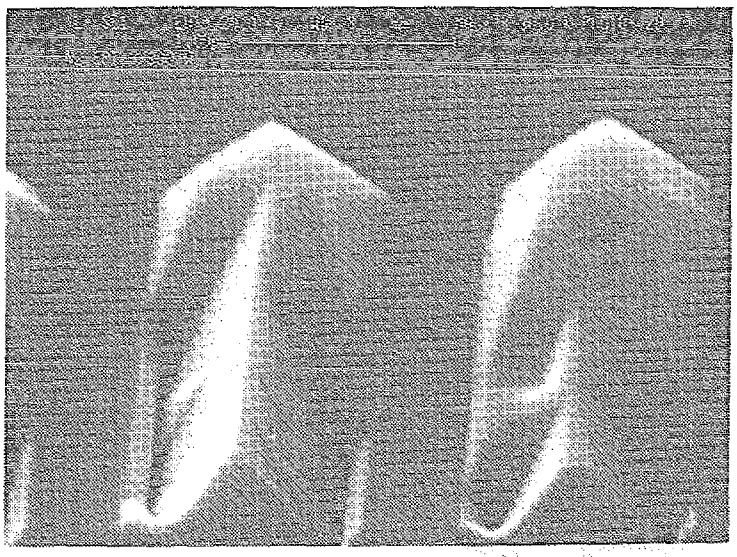


Abb. 5.8
In [0$\bar{1}$1] ausgerichtete, 2 µm breite Fingerstruktur, die nach der selektiven Epitaxie noch tiefe Einschnürungen an den Fingerenden aufweist.

Wenn die Finger um 90° zum obigen Fall gedreht werden, wird das Problem verschoben. In diesem Falle wachsen die Enden der in [011] orientierten Finger schneller (s. Abb. 5.9), weil die langsam wachsenden Facetten an den langen Kanten der Fingerstruktur auftreten. Das vollständige Auffüllen der Kanäle dauert länger und ist inhomogen, wodurch eine gleichmäßige Kanallänge, also ein konstanter Abstand zwischen Source und Drain, nicht möglich ist.



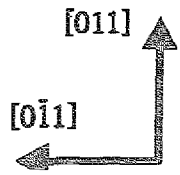
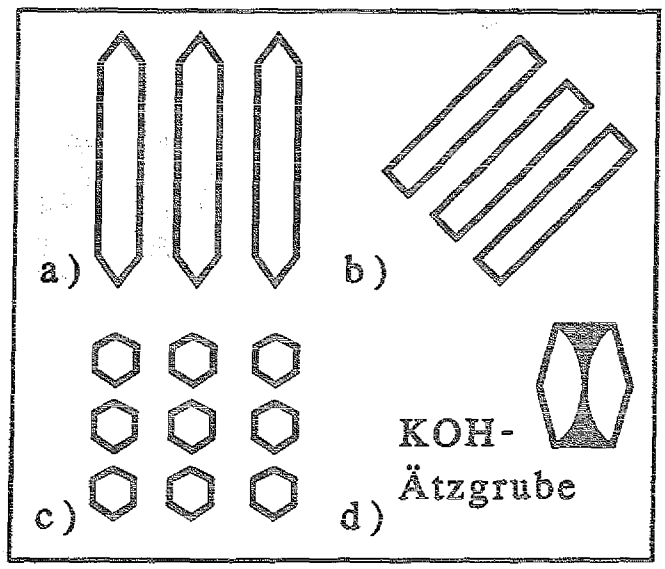


Abb. 5.9
In [011] ausgerichtete Fingerstruktur. Die Fingerenden werden schneller aufgefüllt, wodurch unterschiedlich hohe Giebel entstehen, die zu verschiedenen Kanallängen führen.

Da Strukturränder, deren Kanten in [011]-Richtung zeigen, langsamer aufgefüllt werden, sollten sie beim Entwurf der Maske vermieden werden. Dies gelingt durch "Anspitzen" der Fingerenden, die jetzt in [010] oder [001]-Richtung verlaufen (s. Abb. 5.10a). Ähnlich wird mit den zylinderförmigen Kanälen verfahren, die als gleichseitige Sechsecke konstruiert werden (s. Abb. 5.10b). Hierdurch können in allen kritischen Bereichen Kanten in [011]-Richtung ausgeschlossen werden, soweit es aufgrund einer unvermeidbaren Verrundung bei der Lithographie möglich ist. Ebenso können die Finger entlang [100]-Kanten, also diagonal zu den Spaltkanten ausgerichtet werden (s. Abb. 4.10c).



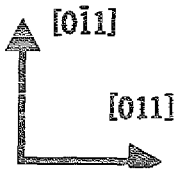


Abb. 5.10
Beim Entwurf der Finger a) und c) bzw. der "zylinderförmigen" Kanäle b) werden Kanten in [011] vermieden, so daß niemals Kanten parallel zu den kurzen Stirnseiten der KOH-Ätzgrube d) verlaufen.

Durch die Vermeidung von Maskenrändern entlang der [110]-Kanten kann bei einer ausreichenden Wachstumszeit erreicht werden, daß die Kanäle vollständig und gleichmäßig aufgefüllt werden. Verbleibende Unterschiede in den Wachstumsraten werden dadurch ausgeglichen, daß durch die Facettierung nach Auffüllen der Kanäle (s. Abb. 5.6) das Wachstum stoppt und deshalb noch zurückliegende Bereiche aufholen können. Es gibt aber ein Dotierungsproblem, weil die Einbaueffizienz von Dotierstoffen wegen der Abhängigkeit der chemischen Potentiale ebenfalls von der Orientierung der Oberflächen abhängen wird.

Es sind keine Untersuchungen bzgl. des Dotierverhaltens bei selektiver Epitaxie bekannt, deshalb kann an dieser Stelle nur auf Untersuchungen für das das ternäre System InGaAs/InP verwiesen werden. Dort wurden in der MOVPE Abhängigkeiten der Komposition von der Maskengeometrie (Größe und Abstand der Fenster) bei selektiver Epitaxie [Kay 91] gefunden, die auf unterschiedliches Diffusionsverhalten der In- bzw. Ga-Verbindungen in der Gasphase zurückgeführt werden.

Aus den gleichen Gründen kann eine Abhängigkeit der Dotierung von der Maskengeometrie und der Oberflächentopologie erwartet werden. Deshalb ist es wahrscheinlich, daß die Dotierung in den Kanälen nicht exakt die Werte annimmt, die bei einer planaren Epitaxie unter identischen Bedingungen erzielt werden.

5.4. Herstellung ohmscher Kontakte

Nach dem selektiven Überwachsen ist der intrinsische PJBT fertig. Es fehlen noch die Metallisierungen, die die nebeneinanderliegenden Stromkanäle miteinander verbinden bzw. eine Verbindung zu den vergrabenen Kontakten herstellen.

Die überwachsenen Viertelwafer werden erneut gespalten, so daß 6 quadratische Proben (7x7 mm^2), die jeweils eine Zelle mit allen PJBT Strukturen enthalten, vorliegen. Durch optische Lithographie werden die Kontaktflächen definiert; falls notwendig, wird bis zur entsprechenden Schichttiefe hinuntergeätzt und dann die Metallisierung aufgedampft. Nach dem lift-off werden die Source- und Drain-Kontakte einlegiert.

Source- und Drain-Kontakte

Die Bezeichnung der Kontakte an beiden Enden des Kanals als Source und Drain ist austauschbar, weil erst durch die Meßschaltung bestimmt wird, welcher Kontakt als Source dient. Bei beiden soll durch die Metallisierung ein möglichst gut leitender ohmscher Kontakt zu dem n-leitenden Kanal hergestellt werden.

Obwohl in der zweiten selektiven Epitaxie ein hochdotiertes Cap-Layer abgeschieden wird, kann aufgrund der Wachstumsverringerung durch die Facetten nicht sichergestellt werden, daß ein ohmscher Kontakt einfach durch Aufdampfen eines Metalles erreicht werden kann. Deshalb wird ein Metallsystem benutzt, das auch auf geringer dotiertem n-GaAs ohmsche Kontakte ermöglicht. Mit dem üblichen Kontaktsystem Ni/AuGe/Ni/GaAs werden sehr gute ohmsche Kontakte mit dem Kontaktwiderstand $R_{\square} \approx 10^{-6}\ \Omega\ cm^2$ erreicht [Bra 81] [Mil 80), wenn eine Kurzzeittemperung bei 450-470 °C zum Legieren erfolgt. In den legierten Kontakten liegen je nach maximaler Temperatur und Temperaturverlauf vor allem

AuGa- und NiAsGe-Kristallite vor, die im Verhältnis zu den aufgedampften Metallschichten um das 0,7fache also ca. 190 nm in den Halbleiter eindringen [Oga 80]. Miller berichtet sogar von bis zu 1 µm tiefen metallischen Ausscheidungen [Mil 80], die den in nur 200 nm Tiefe liegenden pn-Übergang zerstören.

Da der obere Kontakt des PJBT unmittelbar über dem Gate liegt, ist es also notwendig, ein dünnes Schichtsystem mit passender Zusammensetzung zu finden, ohne daß die Leitfähigkeit der Kontakte verschlechtert wird. Dies kann dadurch erreicht werden, daß Metalle mit hohem Schmelzpunkt (refractory metals) wie Ti, W oder Pt als Zwischenschicht zwischen dem Kontakt und einer Kontaktverstärkung aus Au eingefügt werden [Lee 81].

Der Mechanismus der Kontaktbildung ist sehr komplex und wird von allen Metallen des AuGeNi-Systems, deren quantitativem Verhältnis sowie von den Temperbedingungen beeinflußt. So wird dem Ge die Rolle eines Donators zugeschrieben, während Au das Ga bindet und damit freie Ga-Plätze für das Ge bereitstellt. Ni hingegen diffundiert sehr schnell in GaAs und katalysiert sowohl die Ge Diffusion ins GaAs als auch die Bildung der AuGa-Phase. Dadurch wird ein gleichmäßigeres Legierungsverhalten erzielt und eine Tropfenbildung der AuGe- bzw. AuGa-Phase bei Erreichen der Eutektikumstemperatur von 341 °C bzw. 351 °C verhindert [Oga 80].

Durch sequentielles Aufdampfen von Au/Ge kann ein geringerer Au-Anteil als bei Benutzung des üblichen AuGe-Eutektikums (88 % Au) erreicht werden, wodurch flachere und thermisch stabilere Kontakte entstehen, weil niedrig schmelzende Au-Legierungen vermieden werden [Lus 91]. Bei einem Ni/Ge Schichtdickenverhältnis von 1:4 [May 92] [Vid 79] können gute Kontakte erzielt werden, deren Tiefe und thermische Stabilität durch einen geringen Au-Anteil [Lus 91] erreicht wird. Die einzelnen Schichtdicken müssen noch reproduzierbar sein, weil das quantitative Verhältnis der Metalle wichtig ist. Nach folgendem Rezept wurden erfolgreich flache und niederohmige Source- und Drain-Kontakte hergestellt, die den pn-Übergang nicht zerstörten:

- Definition der Kontaktflächen für Source und Drain mit optischer Lithographie (Umkehrlack AZ 5214, Parameter s. Anhang A)
- Entfernung des Oberflächenoxids durch Sputtern (200 V, 5 mA für 5 sec)
- Elektronenstrahlverdampfung von
  Ni / Au / Ge // Ti / Au
  5 nm / 10 nm / 20 nm // 20 nm / 50-100 nm
- lift-off
- Kurzzeit-Tempern bei 380 °C

Der Gate Kontakt

Weil das Gate mit $p^{++} = 1 \cdot 10^{20}$ cm^{-3} extrem hochdotiert ist, kann ein ohmscher Kontakt einfach durch Aufdampfen eines Metalles hergestellt werden; für Dotierungen N_A oberhalb 10^{19} cm^{-3} dominiert der Tunnelstrom, deshalb können sehr gute Kontakte hergestellt werden, deren Kontaktwiderstand R_C bei wachsender Dotierung exponentiell mit $\Phi_{Bn} / \sqrt{N_D}$ abnimmt [Sze 81, Kap. 5.7]. Φ_{Bn} ist die Barrierenhöhe des Kontaktsystems.

Um das vergrabene Gate für die Metallisierung zu öffnen, sind folgende Prozesse notwendig:

- Lithographie mit AZ 5214
- Öffnen der SiO_2-Schicht mit CHF_3-Trockenätzen (analog Kap. 5.2 laterale Strukturierung)
- 10 sec O_2-Plasma zur Entfernung der polymerisierten Lackoberfläche; dies ermöglicht später den lift-off Prozeß
- Naßchemisches Ätzen der oberen i-GaAs Schicht bis ins p^{++} Gate mit
  $H_3PO_4 : H_2O_2 : H_2O$ (3: 1:50) mit R = 80 nm/min
  Der Ätzprozeß ist kinetisch begrenzt, so daß flache, gleichmäßig tiefe Ätzgruben entstehen, die durch ansteigende (111)-Facetten an den Rändern begrenzt werden [Mor 78].
- Sputtern
- Aufdampfen von Ti/Au (5 nm / 100 nm)
- lift off

Bei dieser Prozeßfolge erweist sich die SiO_2-Schicht ein weiteres Mal als vorteilhaft, weil sie lateral weniger unterätzt wird als Photolack, der direkt auf dem zu ätzenden GaAs wäre.

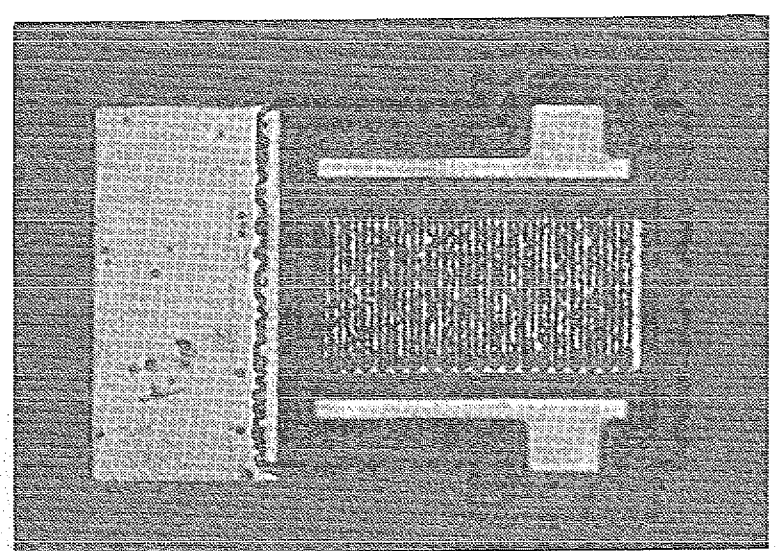


Abb. 5.11
PJBT mit Top- (Mitte),
2 Gate- (oben und unten)
und Substrat-Kontakten (links)

5.5. Koplanarleitungen für Hochfrequenzmessungen

Um an dem PJBT Hochfrequenzmessungen durchführen zu können, müssen geeignete verlustarme Koplanarleitungen die notwendige Verbindung zwischen den Transistoren und dem Tastkopf der Meßapparatur herstellen.

Ideal wäre, eine Koplanarleitung mit dem gleichen Wellenwiderstand wie dem der Meßleitung herzustellen, weil dann - einen optimalen Übergang vorausgesetzt - die Koplanarleitung ein Teil der Meßleitung wäre, und somit die Eigenschaften des Transistors nicht beeinträchtigen würde.

Gelingt dies nicht, so muß die - in Bezug auf die Wellenlänge - kurze Koplanarleitung als parasitärer Bestandteil des Transistors aufgefaßt werden. Durch die zusätzlichen Kapazitäten werden die Hochfrequenzeigenschaften der Transistoren verschlechtert. Deshalb ist es notwendig, die Kapazität der Leitungen gering zu halten. Hierzu werden in der Umgebung der PJBT die leitenden Schichten auf den semi-isolierenden Wafern abgeätzt und dicke Polyimidschichten (≈ 1,2 µm) zur Isolation und Kapazitätsreduzierung zwischen den aufgedampften Leitungen und der verbliebenen Mesa aufgebracht.

Folgende Prozeßschritte sind für die Herstellung der Hochfrequenz-Zuleitung auf semi-isolierenden Wafern notwendig:

- Lithographie zur Maskierung des Transistors
- Mesa-Ätzung (Entfernung der leitenden Schichten, ca. 2,0 µm)
- Aufschleudern des photoempfindlichen Polyimids Selectilux HTR 3-50 [Mer 87] und Öffnung der Kontaktlöcher durch lithographischen Umkehrprozeß (s. Anhang A)
- Ausbacken des Polyimids bei 300 °C im Vakuum, Dicke ≈ 1,2 µm
- Lithographie zur Definition der Leiterbahnen
- Aufdampfen von Cr (5 nm) / Au (100 nm - 200 nm)
- lift off

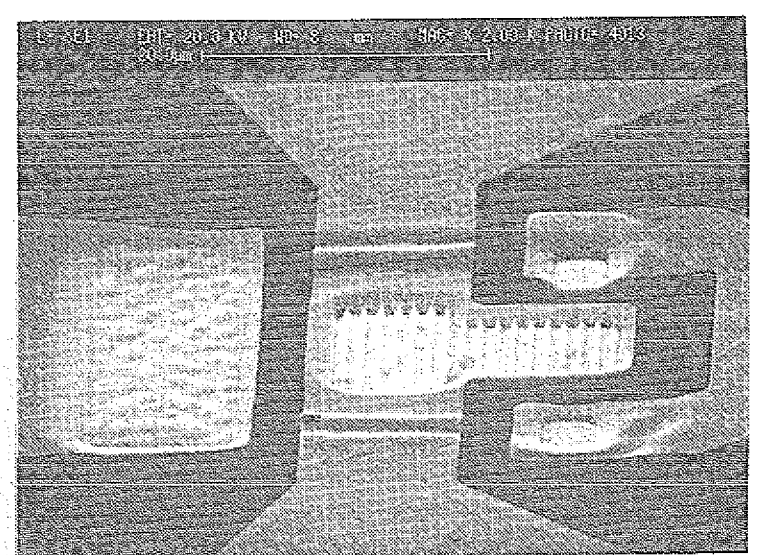


Abb. 5.12
Hochfrequenz-PJBT mit Koplanarleitung auf Polyimid.
Die Außenleiter sind der Source-Kontakt ($U_{GS} = 0$ V), der hier der obere Kontakt zu den Kanälen ist (Source on Top).
Die Innenleiter sind Gate (rechts) und Drain

6. Messung und Diskussion der Transistoreigenschaften

Im Rahmen dieser Arbeit wurden PJBT's mit optischer Lithographie, reaktivem Ionenätzen und selektiver Epitaxie hergestellt. Bei den ersten Transistoren bereitete die Herstellung eines ohmschen Top-Kontaktes (oberhalb der Kanäle) Probleme, weil beim Legieren der Metallisierung sehr oft der pn-Übergang des Gates zerstört wurde.

Bei den funktionstüchtigen Transistoren der ersten Proben wiesen die Dioden zwischen Gate und Top-Kontakt wesentlich höhere Sperrströme auf als die Dioden zum Substrat. Dieser Nachteil wirkt sich weniger stark aus, wenn der Top-Kontakt als Source (Source on Top) geschaltet wird.

Beim Entwurf einer neuen Maskenfolge, mit der die im vorigen Kapitel beschriebene Technologie umgesetzt werden kann, wurde deshalb diese Kontaktanordnung für das layout der Hochfrequenzzuleitungen bevorzugt. Später gelang es, mit einem veränderten Kontaktsystem flachere Kontakte herzustellen (s. Kap. 5.4), mit denen in beiden Anordnungen funktionsfähige PJBT's mit einer Ausbeute von bis zu 90% hergestellt wurden.

6.1. Gleichstromeigenschaften

Die Messung der Ausgangskennlinien und Steilheit wurden mit einem Netzwerkanalysator der Fa. Hewlett Packard (4145B Semiconductor Parameter Analyser) durchgeführt. Mit automatisch ablaufenden Meßprogrammen können die Daten in digitaler Form aufgenommen und ausgewertet werden. Die einzelnen Transistoren werden durch feine Wolframspitzen, die einfach auf die Metallisierungen aufgesetzt werden, kontaktiert. Bei Messungen, bei denen der Einfluß der Geometrie auf die Gleichstromeigenschaften untersucht wird, werden Transistoren miteinander verglichen, die sich jeweils auf einer Probe befinden, und deshalb unter identischen Bedingungen hergestellt wurden.

6.1.1. Ausgangskennlinien bei verschiedenen Dotierungen

Die Gleichstromeigenschaften des PJBT werden von der Dichte und Beweglichkeit der Ladungsträger, der Ausdehnung der steuernden Raumladungszonen und auch von den Kontaktwiderständen beeinflußt. Alle diese Größen hängen wiederum von der Kanaldotierung ab. Deshalb sollen exemplarisch die Ausgangskennlinien (s. Abb. 6.1a und b) für zwei PJBT's, die sich nur durch die Kanaldotierung unterscheiden, ansonsten aber unter identischen Bedingungen prozessiert wurden, verglichen werden. Die genaue Dotierung im Kanal ist nicht bekannt (vgl. Kap. 5.3.1). Sie wird deshalb im Folgenden mit der gemessenen Dotierung in den planar abgeschiedenen Schichten gleichgesetzt, die für die Probe PJ10A als $3 \cdot 10^{16}$ cm^{-3} und für PJ10C als $6 \cdot 10^{16}$ cm^{-3} gemessen wurden. Das Ätzen der Kanäle mit MORIE (s. Kap. 5.2) wurde für diese Proben in zwei Stufen durchgeführt, um nach dem 1. Schritt die Ätztiefe zu bestimmen und dann im 2. Schritt die gewünschte Ätztiefe zu erreichen. Dieses Vorgehen führte dazu, daß sich die Kanalbreite stufenförmig verjüngt. Elektronenmikroskopische Aufnahmen ergeben, daß hierdurch die Kanalbreite auf etwa die Hälfte des nominellen Wertes, der in der Maske vorgegeben ist, abnahm.

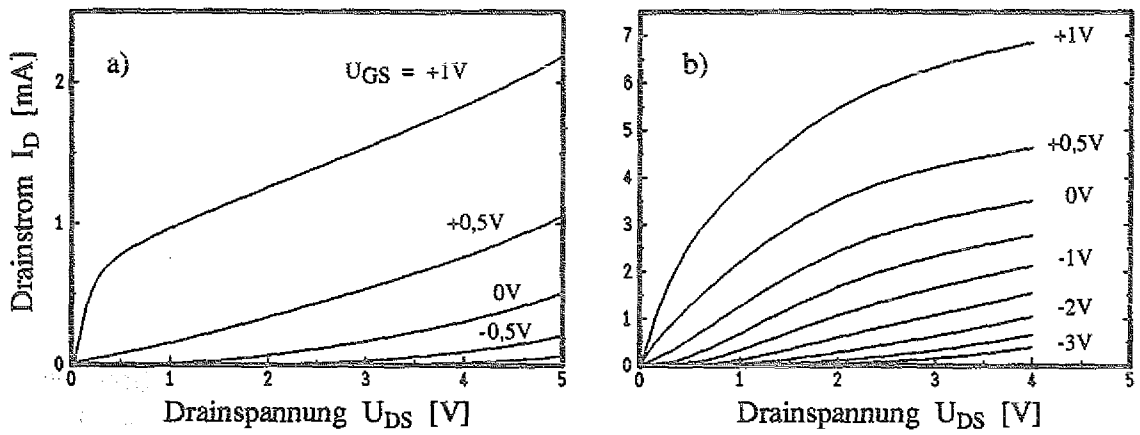


Abb. 6.1
Ausgangskennlinien mit Source on Top (S on T) für PJBT's mit der Kanaldotierung
a) $N_D = 3 \cdot 10^{16}$ cm^{-3} (Probe PJ10A) b) $N_D = 6 \cdot 10^{16}$ cm^{-3} (Probe PJ10C)
In beiden Fällen beträgt $b_k \approx 0{,}3$ µm und Z = 84 µm. Für die jeweils obere Kennlinie ist U_G = +1 V und wird schrittweise um -0,5 V verringert.

Für die geringere Dotierung in a), die nur halb so hoch ist wie in b), ergibt sich ein maximaler Drainstrom in a), der fast um einen Faktor 4 geringer ist als in b). Entsprechend ist der größte Abstand zwischen zwei Kennlinien und damit die Steilheit g_m in b) absolut gemessen doppelt so groß. Bei einer Gatespannung U_G = 1,2 V ergibt sich eine maximale extrinsische Steilheit für a) von $g'_{m,max}$ = 85 mS/mm und b) von 115 mS/mm.

Diese Werte stimmen mit den theoretisch erwarteten gut überein. Die nach Gl. 2.21 und 2.22 berechneten Werte der extrinsischen Steilheit weichen um weniger als 20% von den gemessenen ab.

Bei der höheren Dotierung in b) ist eine höhere Sperrspannung U_p = -4 V gegenüber U_p = -1 V in a) erforderlich, um bei U_{DS} = 4 V den Kanal abzuschnüren. Andererseits wird durch die höhere Dotierung der Durchgriff stärker abgeschirmt, was an der Krümmung der Kennlinien zu erkennen ist, die in b) über einen größeren Bereich pentodenförmig verlaufen. Dadurch verbessert sich das Verhältnis G_{DS} / g_m zu kleineren Werten. Weitere Vorteile der höheren Dotierung sind die geringeren Bahn- und Kontaktwiderstände R_S und R_D , deren Summe aus dem maximalen Anstieg bei offenem Kanal abgeschätzt werden kann. Die Widerstände sind zwar für b) günstiger als für a), aber in beiden Fällen noch recht hoch.

6.1.2. Ausgangskennlinien bei verschiedenen Kanalbreiten

Für die Probe PJ13B wurde eine Dotierung $n_{kan} = 8 \cdot 10^{16}$ cm^{-3} gemessen, und die Kontakte wurden mit einem erhöhten Au-Anteil hergestellt. Dadurch sind die Bahn- und Kontaktwiderstände geringer. Außerdem wurden die Kanäle bei höherer Leistung und ohne Unterbrechung geätzt, so daß die Verjüngung der Kanäle, die bei den Proben PJ10A und PJ10C auftritt, vermieden wird. Aus diesen Gründen können die Kennlinien aus Kap. 6.1.1 nicht mit denen in diesem und den folgenden Abschnitten verglichen werden.

Durch die Breite des offenen Kanals, die sich aus der geometrischen Kanalbreite und bei vorgegebener Dotierung in Abhängigkeit von den Arbeitspunkten ergibt, wird der Strom im Sättigungsbereich bestimmt (vgl. Kap. 2.3.5). Mit der geometrischen Kanalbreite variiert wegen der giebelförmig aufgefüllten Kanäle (s. Abb. 5.5) aber auch die Kanallänge, die wiederum den Potentialverlauf und damit den Strom beeinflußt. Für PJBT's, die sich auf derselben Probe befinden und deren Kanalbreite b_k = 0,4; 0,6 und 1,0 µm beträgt, sind die Ausgangskennlinien aufgenommen und in Abb. 6.2 dargestellt. Die Gateweite Z verhält sich umgekehrt proportional zur Kanalbreite, so daß die Querschnittsfläche aller Kanäle in etwa gleich ist.

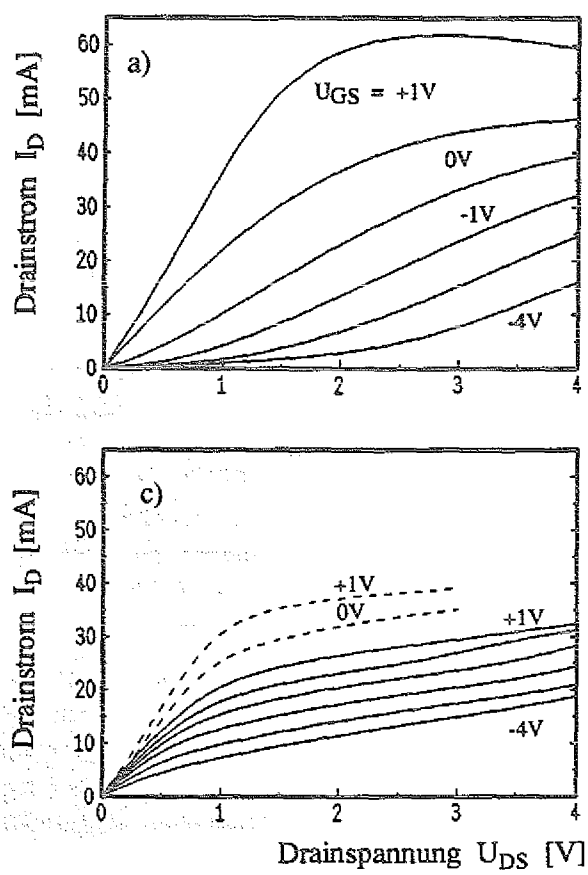


Abb. 6.2
Ausgangskennlinien für PJBT's von Probe PJ13B mit $n_{Kan} = 8 \cdot 10^{16}$ cm^{-3}
a) b_k = 0,4 µm Z = 0,240 mm
b) b_k = 0,6 µm Z = 0,168 mm
c) b_k = 1,0 µm Z = 0,096 mm

Die Gateweite Z ist so gewählt, daß in allen Fällen der Kanalquerschnitt $Z \cdot b_k$ gleich groß ist.
Die durchgezogenen Linien sind für S on T die gestrichelten für D on T.

Die durchgezogenen Linien in Abb. 6.2 sind bei Source on Top (S on T) für U_{GS} = +1 V, 0 V, ..., -4 V aufgenommen und direkt miteinander vergleichbar, da alle Skaleneinteilungen gleich sind. Erwartungsgemäß läßt sich der Strom bei engeren Kanälen über einen weiteren Bereich steuern als bei breiten Kanälen, die schließlich nicht mehr abgeschnürt werden können. Weil die Steuerung des Stromes für verschieden breite Kanäle durch die Verarmungszone in gleicher Weise vom Rand her geschieht, kann die Verbreiterung eines Kanals auch als Parallelschaltung eines nicht steuerbaren Kanals aufgefaßt werden. Durch diesen wird zwar der insgesamt fließende Strom erhöht, der auch zu einer Zunahme des Ausgangsleitwertes führt, aber die Steuerbarkeit durch die Gatespannung, d.h. die Steilheit, bleibt - von Rückkopplungen abgesehen - unverändert. Durch Verkürzung der Gateweite wird die Steilheit reduziert. Entsprechend liegen die Linien für jeweils gleiche Gatespannungen in a) weiter auseinander als in c). Da der Querschnitt der Kanäle bei offenem Kanal (U_{GS} = 1 V) in etwa gleich groß ist, überrascht allerdings die Abnahme des maximalen Stromes bei S on T zu breiteren Kanälen hin (vgl. a) mit c)).

Der wirklich offene Kanal und damit der zu erwartende Strom für S on T müßte in a) kleiner sein als in c), weil der auch bei U_{GS} = 1 V noch verarmte Bereich in a) relativ zur Kanalbreite b_k stärker ins Gewicht fällt. Diese Abweichung kann durch Ungenauigkeiten der Strukturübertragung beim Ätzen oder beim anschließenden Reinigen (naßchemisches Ätzen) noch verstärkt bzw. abgeschwächt werden. Zur Erklärung des geringeren Stromes (S on T) bei breiteren Kanälen kommen aber noch zwei zusätzliche Argumente in Betracht: erstens kann die Einbaueffizienz der Dotierung in den Kanälen von deren Breite abhängen und somit den Strom verringern. Zweitens wird die Verlängerung der Kanäle, die durch die giebelförmigen Facetten beim Überwachsen entsteht, bei breiteren Kanälen den Abstand zwischen Source und Gate erhöhen.

Für die erste Möglichkeit müßten mit abnehmender Dotierung die Kennlinien stärker triodenförmig gekrümmt sein, was in Abb. 6.2 nicht erkennbar ist. Zum anderen verbessert eine geringere Dotierung die Abschnürbarkeit des Stromes (s. Kap. 6.1.1), die allerdings durch die Verbreiterung der Kanäle wiederum verschlechtert wird.

Die zweite Möglichkeit läßt sich dadurch überprüfen, daß Source- und Drainkontakt vertauscht werden. Jetzt (Drain on Top, D on T) wird der Abstand zwischen Source und Gate nicht mehr durch die Facettenbildung beeinflußt, sondern er ist für alle Kanalbreiten in gleicher Weise durch den Schichtaufbau der ersten Epitaxie vorgegeben. Die Meßergebnisse sind teilweise ebenfalls in Abb. 6.2 als gestrichelte Linie eingezeichnet und ergeben in etwa gleich große maximale Drainströme, die unabhängig von der Kanalbreite sind. Dieses Ergebnis spricht gegen die Anahme einer unterschiedlichen Dotierung in den Kanälen, da sie zu unterschiedlich großen Drainströmen für beide Kontaktanordnungen führen müßte.

Der Anstieg des Drainstromes beim Wechsel von S on T zu D on T bei gleicher Gatespannung in Abb. 6.2b) und c) verdeutlicht, daß die Stromeigenschaften von der Geometrie abhängen. Ebenso wie der Strom nimmt auch die gemessene Steilheit zu (s. Tab. 6.1), die nach Gl. 2.22 durch die intrinsische Steilheit und die Bahn- und Kontaktwiderstände (R_S, R_D) beeinflußt wird. Erwartungsgemäß verändern sich bei unterschiedlichen Abständen

zwischen den Kontakten sowohl die Transporteigenschaften (Felder) als auch die Bahnwiderstände und verursachen deshalb unterschiedliche Kennlinien.

b_k [µm]	0,4	0,6	0,8	1,0	1,2
Z [mm]	0,240	0,168	0,120	0,096	0,084
S on T					
I_D [mA]	61,8	40,0	37,5	29,5	28,8
g_m [mS]	17,8	8,3	6,1	2,8	2,3
g'_m [mS/mm]	85,6	49,2	50,7	29,2	26,8
D on T					
I_D [mA]	--	44,3	42,3	39,2	41,7
g_m [mS]	--	15,7	6,4	2,9	2,3
g'_m [mS/mm]	--	93,5	53,3	30,2	27,4

Tab. 6.1
Gemessene Drainströme und Steilheiten bei U_{DS} = 3 V, U_{GS} = +1 V für Kontaktanordungen S on T und D on T

Die Gleichstromeigenschaften der untersuchten Transistoren verbessern sich bei kleineren Kanalbreiten wegen der - auf die Gateweite bezogenen - größeren Steilheit g'_m. Dieses Ergebnis entspricht der theoretischen Erwartung (Einfluß von R_S, R_D) und belegt, daß die Technologie des selektiven Überwachsens geeignet ist, die erforderlichen Strukturen zumindest bis zu b_k = 0,4 µm herzustellen. Bei Berücksichtigung der Kennlinien aus Kap. 6.1.1 kann die technologisch nutzbare Strukturgrenze mit den bisher vorliegenden Ergebnissen sogar mit ≤ 0,3 µm angegeben werden.

6.1.3. Einfluß der Bahn- und Kontaktwiderstände und der Kontaktanordnung

Die Bahn- und Kontaktwiderstände, die im Ersatzschaltbild als R_S bzw. R_D bezeichnet werden, setzen sich aus folgenden Anteilen zusammen:

- Widerstand der Meßleitung bis zur Wolframspitze
- Engewiderstand der Wolframspitze zur Metallisierung
- Widerstand der Metallisierung (Geometrie)
- Kontaktwiderstand des ohmschen Metall-Halbleiter-Kontaktes
- Bahnwiderstände im Halbleiter (im Kanal sowie vom Kanal zur Metallisierung des seitlich versetzten "unteren" Kontaktes)

Bei Variation der Geometrie des PJBT unterscheiden sich obige Anteile grob in zwei Kategorien. Die eine Kategorie, die z.B. die Widerstände der Meßleitung und Spitzen enthält, kann als konstanter Anteil betrachtet werden, da sich z.B. bei einer Verlängerung der Gateweite die Widerstände nicht ändern. Dies gilt aber keineswegs für die Bahnwiderstände im Kanal, die bei Verlängerung der Gateweite durch Parallelschaltung reduziert werden. (vgl. Kap. 3.1, wo diese Thematik für den Gatewiderstand diskutiert wurde).

Der Widerstand R_S kann gemessen werden, wenn über das Gate in Durchlaßrichtung ein Strom I_G eingeprägt wird, der durch die Bahn- und Kontaktwiderstände begrenzt wird. Wenn die Drainspannung so gewählt wird, daß kein Drainstrom fließt, fällt die gesamte Drainspannung an R_S ab, der sich wie folgt berechnet. R_D kann analog bestimmt werden.

$$R_S = \frac{U_{DS}\big|_{I_D=0}}{I_G} \qquad \text{Gl. 6.1}$$

Auf der Probe PJ13B wurden für Transistoren mit einer Kanalbreite von 0,6 µm für verschiedene Geometrien, d.h. Gateweiten Z folgende Kontaktwiderstände R_S und R_D gemessen, die als R_{Top} bzw. R_{Sub} bezeichnet werden, um eine von der Schaltung unabhängige Zuordnung zu gewährleisten. Zum besseren Vergleich sind auch die normierten Werte R'_{Top} bzw. R'_{Sub} angegeben.

Z [mm]	0,084	0,168	0,240	0,480
i·z [µm]	7·12	14·12	20·12	20·24
R_{Top} [Ω]	48	20	14,5	12,0
R_{Sub} [Ω]	15	7	5,5	5,5
R'_{Top} [Ω mm]	4,1	3,4	3,5	5,8
R'_{Sub} [Ω mm]	1,26	1,17	1,32	2,6

Tab. 6.2
Gemessene Bahn- und Kontaktwiderstände für PJBT's mit b_K = 0,6 µm für unterschiedliche Gateweiten Z.

Die Widerstände der "Top-Kontakte" R_{Top} sind für alle Gateweiten mehr als doppelt so groß wie die entsprechenden Widerstände der unteren Kontakte. Die unterschiedlichen Gateweiten führen zu einer unterschiedlichen Gewichtung der oben aufgezählten Anteile am gesamten Widerstand. So ist bei kurzen Gateweiten zu vermuten, daß die konstanten Anteile der Meßleitung und Spitzen ein stärkeres Gewicht haben, und deshalb die normierten Widerstände größer sind. Bei der größten Gateweite dürften jedoch die im Mittel längeren Zuleitungen von der Spitze bis zum einzelnen Kanal für den Anstieg der Werte verantwortlich sein.

Die Auswirkungen der recht unterschiedlichen Kontaktwiderstände auf die Ausgangskennlinien und auf die als Funktion der Gatespannung aufgetragene Steilheit soll am Beispiel des Bauelementes mit der Gateweite Z = 0,240 mm für die Schaltungen S on T und D on T verglichen werden (s. Abb. 6.3). Entsprechend der Schaltung ändert sich der Einfluß von R_{Top} und R_{Sub} auf das Stromverhalten, was auch durch die entsprechende Zuordnung zu den Ersatzschaltbildgrößen R_S und R_D beschrieben werden kann. Der Stromanstieg im Anlaufgebiet wird durch die Serienwiderstände R_S und R_D begrenzt.

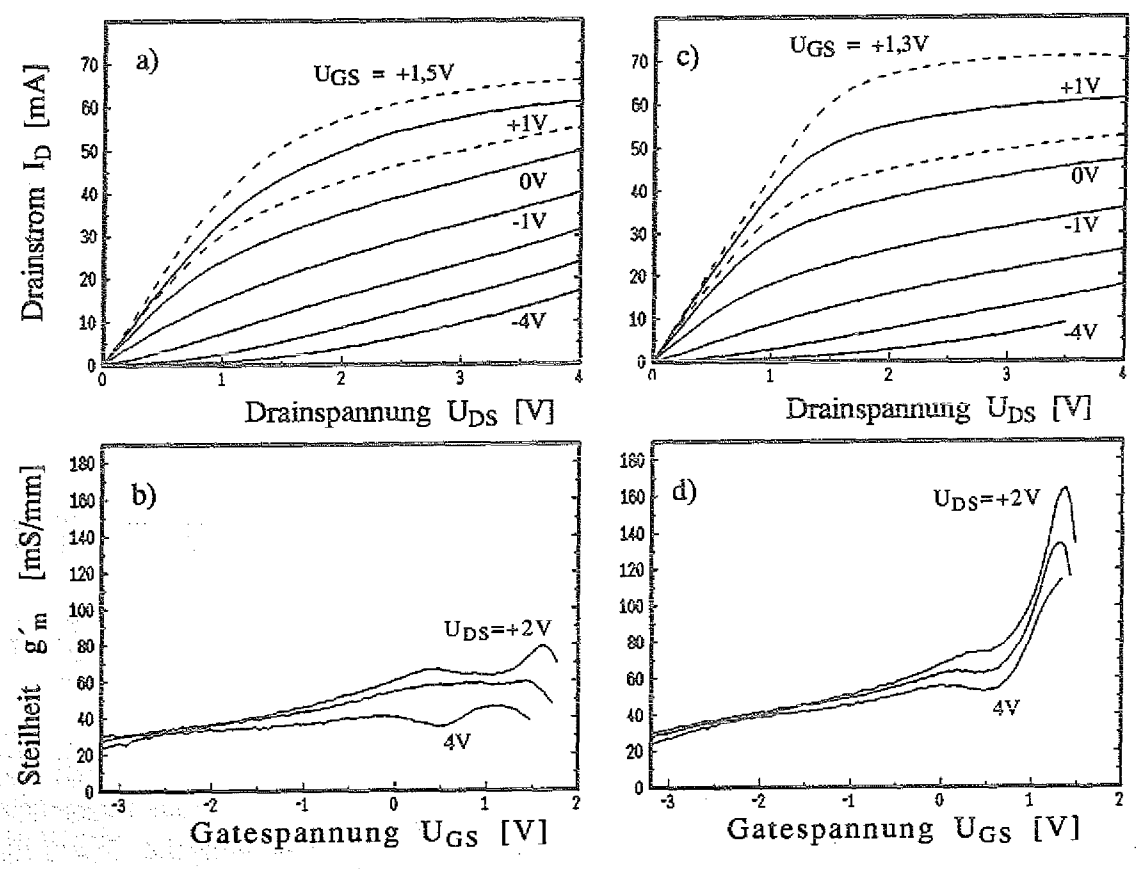


Abb. 6.3
Ausgangskennlinien und zugehörige normierte Steilheit eines PJBT von Probe PJ13B mit b_K = 0,6 µm und Z = 0,240 mm bei Schaltung als S on T in a) und b) und D on T in c) und d)

Bei Vergleich der Ausgangskennlinien in Abb. 6.3a) und c) fällt auf, daß für D on T die Kennlinien flacher verlaufen (zwischen U_{DS} = 2 V und 3 V beträgt G_{DS} (U_{GS} = +1 V) = 6,2 mS in a) im Vergleich zu 4,8 mS in b). Da G_{DS} geringer ist, laufen die beiden Kennlinien bei U_{GS} = +1 V und 0 V bei hoher Drainspannung in c) nicht so stark aufeinander zu wie in a). Bei U_{GS} = -4 V sind die Drainströme in c) geringer, also die Abschnürbarkeit besser. Allerdings sind die Gateströme größer. Das Ende der Kennlinie in Abb. 6.3d) bei U_{DS} = 3,3 V ist durch die Strombegrenzung des Gatestromes auf $I_G \leq 1$ mA bedingt, die hier eintritt und eine Zerstörung des Transistors infolge eines Durchbruchs verhindert. Bei S on T wird dieses Limit auch bei U_{GS} = -5 V nicht erreicht.

Die von der Gatespannung abhängigen Steilheiten in Abb. 6.3b und d unterscheiden sich im wesentlichen durch den Peak, der nur bei D on T auftritt. Dort wird eine doppelt so hohe externe Steilheit erreicht wie für S on T. Um diesen deutlichen Unterschied der maximalen Steilheit zu erklären, sei noch einmal Gl. 2.22, die die Abhängigkeit der meßbaren normierten Steilheit von den Kleinsignal-Ersatzschaltbildgrößen beschreibt, in Erinnerung gerufen:

$$g'_m = \frac{1}{\frac{1}{g'_{mi}} + R'_S + \frac{G'_{DS}}{g'_{mi}} \cdot \left(R'_S + R'_D\right)} \qquad \text{Gl. 6.2}$$

Die Gl. 6.2 verdeutlicht, daß g'_m von drei Summanden im Nenner bestimmt und durch jeden einzelnen von ihnen begrenzt wird, so daß $g'_m \leq g'_{mi}$ und $g'_m \leq 1 / R'_S$ gilt, solange kein Summand negativ wird. Die Werte R'_S , R'_D, G'_{DS} und g'_m können aus den Messungen bestimmt werden. Mit diesen Werten kann dann g'_{mi} berechnet werden.

Für die gemessenen Werte ergibt sich empirisch folgender Zusammenhang, der die Unterschiede der maximalen Steilheit für S on T und D on T teilweise auf die Kontaktwiderstände zurückführt:

$$g'^{\,S\,on\,T}_{m\,max} = \frac{0{,}28}{R'_{Top}} = 80\ \text{mS / mm} \qquad \text{Gl. 6.3}$$

$$g'^{\,D\,on\,T}_{m\,max} = \frac{0{,}22}{R'_{Sub}} = 160\ \text{mS / mm} \qquad \text{Gl. 6.4}$$

So ergibt sich für S on T mit einem 2,6fachen Wert von R_S nur eine halb so große maximale Steilheit wie für D on T. Die Faktoren 28% bzw. 22% berücksichtigen das Gewicht der anderen Summanden in Gl. 6.2.

Der Hauptanteil fällt mit 61% bzw. 66% auf die berechnete intrinsische Steilheit, die für S on T zu 130 mS/mm berechnet wurde, und für D on T mit 240 mS/mm fast doppelt so hoch ist.

Wenn man die gemessenen Steilheiten für beide Schaltungen in Abb. 6.3b) und d) noch einmal vergleicht, so ergibt sich nur bei Gatespannungen U_{GS} > 0,5 V ein wesentlicher Unterschied, der zu höheren Drainspannungen hin absolut gesehen abnimmt. Wenn man weiterhin berücksichtigt, daß an den Widerständen R_S und R_D wegen des Drainstromes von > 60 mA (für U_{GS} > 1 V) mehr als 1,2 V abfallen, so findet man, daß am intrinsischen Bauelement bei maximaler Steilheit U_{DS} < 0,8 V und $U_{GS} \approx$ 0,8 V anliegen müssen. Dies ist aber gerade der Arbeitsbereich, in dem bei den numerischen Rechnungen der velocity

overshoot zu einer erheblichen Erhöhung des Stromes und der Steilheit führte (vgl. Kap. 4.2 Abb. 4.5).

Das Einsetzen des overshoot Effektes hängt davon ab, ob die Elektronen den Abstand zwischen Source und Gate ballistisch zurücklegen können oder nicht. Bei D on T ist dieser Abstand kürzer als bei S on T, wo er infolge der Giebelbildung der Kanäle verlängert wird, und damit der overshoot Effekt unwahrscheinlicher wird. Theoretisch wird in etwa eine Verdopplung der Elektronengeschwindigkeit erwartet (vgl. Kap. 2.3.4 und Kap. 4.2), die mit der ungefähren Verdopplung der intrinsischen Steilheit bei D on T sehr gut übereinstimmt. Dieser Effekt würde auch erklären, daß die Ausgangsleitwerte für D on T in Abb. 6.3 geringer sind als für S on T, denn ein Vergleich der berechneten Kennlinien in Kap. 4.2 ergab weiterhin, daß durch den overshoot Effekt der Ausgangsleitwert bei U_{GS} > 0,0 V verringert wurde.

Der dritte Summand, durch den die meßbare extrinsische Steilheit bestimmt wird, ist das Produkt aus Ausgangsleitwert mit der Summe der Bahn- und Kontaktwiderstände R_S und R_D im Verhältnis zur inneren Steilheit (vgl. Gl. 6.2). Je kleiner das Produkt G_{DS} (R_S + R_D) ausfällt, desto geringer ist die negative Rückkopplung auf die innere Steilheit. In der obigen Abschätzung wurde G_{DS} aus der Kennlinie für U_{GS} = +1 V bestimmt und für die weiteren Berechnungen benutzt. Bei genauer Betrachtung der gestrichelten obersten Kennlinie für D on T in Abb. 6.3c) ist oberhalb U_{DS} = 2,8 V ein geringer Abfall des Drainstromes erkennbar, der als negativer differentieller Widerstand (NDR) bezeichnet wird. In diesem Arbeitspunkt wird auch der Ausgangsleitwert G_{DS} aus dem Kleinsignal-Ersatzschaltbild negativ. Diese experimentelle Beobachtung steht im Gegensatz zu den numerischen Rechnungen, die in beiden Fällen nur positive Ausgangsleitwerte für den intrinsischen Transistor ergaben. Zwar wird der Kennlinienverlauf flacher, wenn die Serienwiderstände R_S und R_D berücksichtigt werden, aber niemals negativ.

Eine mögliche Erklärung für diesen Widerspruch liefert die Temperaturabhängigkeit der Beweglichkeit (s. Abb. 2.10), die bei Erwärmung des Gitters die Sättigungsgeschwindigkeit der Ladungsträger verringert (s. Gl. 2.12). Hierdurch verschlechtern sich ebenfalls der Ausgangsleitwert G_{DS} und die innere Steilheit g_{mi} (s. Gl. 2.17, 2.20), die damit den Stromabfall (NDR) verursachen können. Im Kap. 6.1.4 wird die Temperaturabhängigkeit des NDR noch näher untersucht.

Bei höheren Leistungsaufnahmen des PJBT, d.h. bei höheren Drainspannungen, sinkt der Ausgangsleitwert G_{DS} (s. Abb. 6.2a und c) aber auch die äußere Steilheit g_m (s. Abb. 6.2b und d). Damit ergibt sich zusammenfassend folgende Diskrepanz: Um die Erwärmung gering zu halten, sollten die Leistungsdichte und die Kontaktwiderstände möglichst gering sein. Während aber die erste Bedingung gerade für einen einzelnen oder wenige Gatefinger gut erfüllt wird, bedeutet dies eine Zunahme der auf die Länge normierten Widerstände (vgl. Tab. 6.1). Andererseits kann durch dichtes Zusammenlegen mehrerer Gatefinger (gut wäre eine Anordnung, deren Länge und Breite in etwa gleich sind) der Widerstand zwar minimiert werden, aber die Wärmeableitung wäre dann am schlechtesten. Für die Transistoren, deren Gateweite, Fingeranzahl und Kontaktwiderstände in Tab. 6.1 aufgeführt sind, ergibt sich für U_{GS} = +1 V als Mittelwert der Steilheit bei U_{DS} = 2 V und 3 V folgendes Bild.

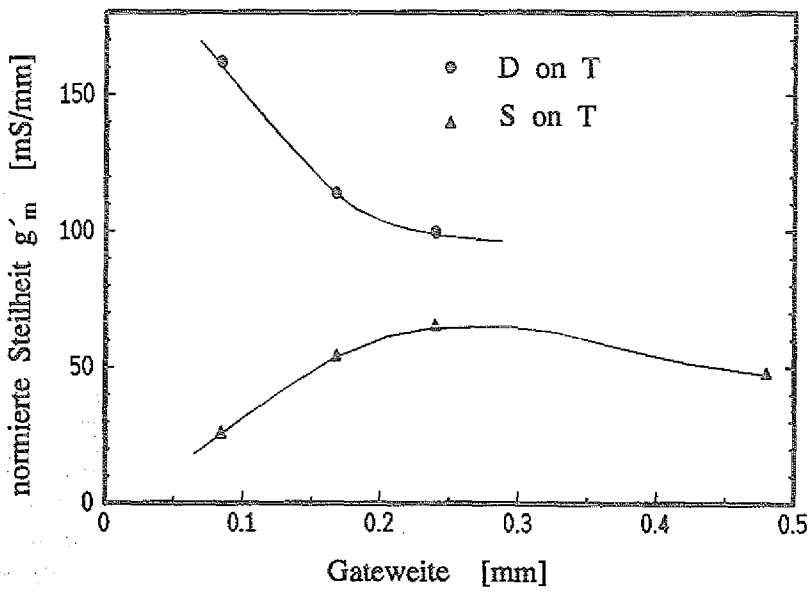


Abb. 6.4

Abhängigkeit der gemessenen Steilheit von der Gateweite für die Transistoren aus Tab. 6.1 .
Für b_k = 0,6 µm und U_{DS} = 2 V, 3 V wurde g_m (U_{GS} = 1 V) gemittelt.
Für D on T konnte bei 0,48 mm g'_m nicht gemessen werden, weil der Meßbereich ($I_D \leq 100$ mA) nicht ausreichte.

Für S on T ist die gemessene Steilheit in Abb. 6.4 geringer als für D on T, weil R'_S größer und g_{mi} geringer ist. Die höchste Steilheit ergibt sich für die geringsten Werte von R'_S, d.h. für Gateweiten von 0,2 mm bis 0,3 mm, weil R'_S für kürzere Gateweiten ansteigt.

Bei D on T ist R'_S kleiner als bei S on T. Dadurch verschiebt sich die maximale Steilheit zu kürzeren Gateweiten. Dieser Effekt wird durch die höhere intrinsische Steilheit infolge des overshoot Effektes verstärkt, der durch die angenommene thermische Beeinflussung bei geringerer Leistungsdichte, also kürzeren Gateweiten stärker ausgeprägt ist.

Bei der Kontaktanordnung D on T werden geringere Bahn- und Kontaktwiderstände und höhere Steilheiten gemessen. Dieses Ergebnis ist aufgrund der angewandten Technologie nicht selbstverständlich, denn das als kritisch vermutete Interface in den geätzten Gräben befindet sich bei dieser Kontaktanordnung in dem Bereich, wo sich Störungen empfindlich auf die Stromeigenschaften auswirken. So könnten Verunreinigungen der geätzten Probenoberfläche zu Störstellen oder einer lokalen p-Dotierung durch Kohlenstoff im Kanal führen und die Beweglichkeit oder durch Ausbildung einer Camel-Barriere die Ladungsträgerdichte reduzieren. Somit ist festzustellen, daß die angewandte Ätz- und Reinigungstechnik in Verbindung mit der überhöhten Dotierung zu Beginn der auffüllenden Epitaxie dieses Problem löst oder zumindest so weit einschränkt, daß keine Beeinträchtigung der Funktionsfähigkeit des PJBT auftritt.

6.1.4. Negativ differentieller Widerstand bei hohen Leistungsdichten

Bei der Untersuchung unterschiedlicher PJBT's fällt auf, daß der Kennlinienverlauf bei offenem Gate (U_{GS} =1 V) von der Bauelementgröße abhängig ist. Je größer die Gateweite und infolgedessen der Gatestrom ist, desto flacher verlaufen die Kennlinien im "Sättigungsbereich" (U_{DS} > 2 V). Wenn der Drainstrom je nach Gateweite 40-60 mA überschreitet, geht die Steigung (G_{DS}) auf Null zurück, und bei höheren Drainspannungen ist sogar ein leichtes Absinken des Stromes zu beobachten (NDR).

An einem Transistor der Probe PJ13B mit einer Kanalbreite von 0,4 µm, bei dem 20 je 12 µm lange Gatefinger auf einer Fläche von 16 µm·12 µm angeordnet sind, ist dieser Effekt besonders stark ausgeprägt (s. Abb. 6.5). Für die Punkte A und B auf der oberen Kennlinie bei U_{GS} = +1 V soll im Folgenden die elektrische Leistungsaufnahme des Transistors und die daraus resultierende Erwärmung berechnet werden. Ein Temperaturanstieg im Transistor verringert einerseits die Beweglichkeit und Sättigungsgeschwindigkeit der Ladungsträger (vgl. Abb. 2.10) und damit den Drainstrom. Um hierbei Einflüsse durch den overshoot Effekt auszuschließen, wurden die Kennlinien in S on T Schaltung aufgenommen.

Andererseits nimmt aber bei Temperaturanstieg der Diffusionsstrom am pn-Übergang exponentiell zu. Diese beiden Funktionen und die Abhängigkeit des berechneten Temperaturanstieges von der Bauelement-Geometrie, d.h. vom Wärmewiderstand, sollen benutzt werden, um den Einfluß der Temperatur auf die Kennlinie zu beurteilen.

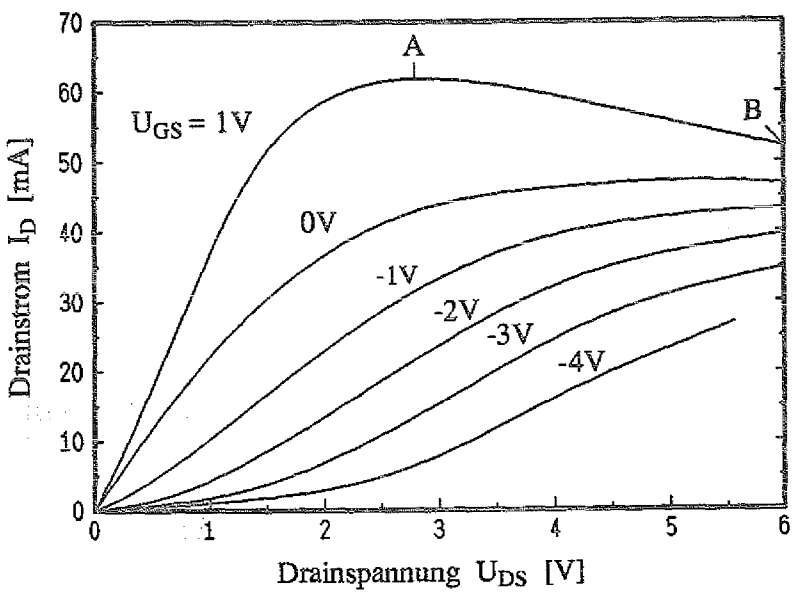


Abb. 6.5
NDR in der Ausgangskennlinie eines PJBT; Probe PJ13B;
S on T
Z = 20·12 µm b_k = 0,4 µm
R_S = 20 Ω R_D = 7 Ω

Die Leistungsaufnahme P_{el} in den Punkten A (= maximaler Strom) und B (U_{DS} = 6 V) beträgt P_A = 167 mW und P_B = 312 mW. Zur Berechnung des Wärmewiderstandes wird angenommen, daß die Leistung in einer Halbkugel mit Radius R_w an der Probenoberfläche generiert wird, und im homogenen Material mit der spezifischen Wärmeleitfähigkeit χ zur Wärmesenke abfließt. Die Erwärmung ΔT berechnet sich analog zum elektrischen Engewiderstand einer Metallspitze:

$$\Delta T \approx \frac{1}{2\pi \cdot \chi} \cdot \frac{P_{el}}{R_w} \qquad \text{Gl. 6.5}$$

Für obiges Bauelement liegen die Gatefinger in einer Fläche von 12 µm·16 µm, so daß R_w = 14 µm angenommen wird. Mit der thermischen Leitfähigkeit für GaAs (χ (300K) = 0,46 W/cmK; χ(340K) = 0,42 W/cmK) [Sze 81] berechnet sich:

$$T_A = 340°K \text{ und } T_B = 380°K$$

Die Sättigungsdriftgeschwindigkeit ist proportional zur reziproken Temperatur (vgl. Gl. 2.12), so daß

$$\frac{v_s(T_B)}{v_s(T_A)} = 0{,}88 \qquad \text{Gl. 6.6}$$

beträgt. Wenn diese Verringerung direkt auf den Strom übertragen wird, und die Veränderung des Arbeitspunktes im Transistor und damit dessen Verstärkung nicht berücksichtigt wird, berechnet sich die Abnahme des Drainstromes von A nach B zu 12%, die im Vergleich zu den gemessenen 16% etwas zu gering ausfällt.

Als zweite Größe soll der Gatestrom betrachtet werden, der durch die Spannung U am pn-Übergang und durch die Temperatur bestimmt wird. Die Spannung U ändert sich infolge des Spannungsabfalls an R_S , wenn sich der Drainstrom ändert.

$$U = U_{bi} - U_{GS} + R_s \cdot I_D \qquad \text{Gl. 6.7}$$

Damit ergibt sich für den diffusionsbestimmten Gatestrom [Sze 81, Kap. 2.4.2]:

$$I_G \sim \exp\left(\frac{U_{GS} - R_s \cdot I_D - U_{bi}}{kT}\right) \sim \exp\left(\frac{-R_s \cdot I_D}{kT}\right) \qquad \text{Gl. 6.8}$$

Der entsprechende Gatestrom I_G (U_{DS}) zu der Kennlinie bei U_{GS} = 1 V aus Abb. 6.5 ist in Abb. 6.6 a) logarithmisch aufgetragen. Als Orientierungshilfe sind entsprechend die Punkte A und B eingetragen.

Der theoretische Temperaturverlauf für I_G (T) nach Gl. 6.8 ist für die Punkte

A : mit U_A = 1,4 V - 1,0 V +20 Ω ·62 mA = 1,64 V
und B : mit U_B = 1,4 V - 1,0 V +20 Ω ·52 mA = 1,44 V

berechnet und ebenfalls in Abb. 6.6 eingetragen (α, β).

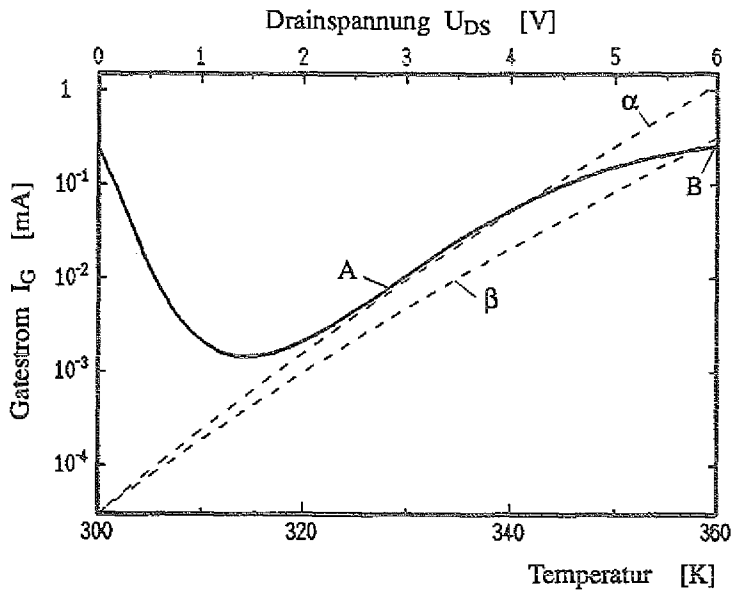


Abb. 6.6
Gemessener Gatestrom ——
I_G (U_{DS}) für U_{GS} = 1 V zur entsprechenden Kennlinie in Abb. 6.5.
Die Stromabnahme von I_G für U_{DS} < 1,2 V resultiert aus dem mit I_D zunehmenden Potentialabfall an R_S . Der Stromanstieg von A nach B ist thermisch bedingt und kann durch berechnete Kennlinien - - - -
α: I_G (T,U_A) und
β: I_G (T,U_B)
quantitativ beschrieben werden.

Der Proportionalitätsfaktor der beiden berechneten Kurven wurde so gewählt, daß sich im Punkt A die gemessene und die berechnete Kurve α überlagern. Die Abzisse für die gemessene Kennlinie ist die Drainspannung, während sie für die berechnete Kennlinie die Temperatur darstellt. Im Ursprung liegen U_{DS} = 0 V bzw. 300 K.

Wenn für den Maximalwert, der U_{DS} = 6 V entspricht, für die Temperatur 360 K gewählt wird, beschreibt die theoretische Kurve α die Meßkurve in der Nähe von A sehr gut. Beim Übergang zum Punkt B verringert sich U, so daß jetzt die theoretische Kurve β zutrifft, die wiederum in B recht nahe an der Meßkurve liegt.

Aus dieser Übereinstimmung folgt, daß die Zunahme des Gatestromes thermisch beschrieben werden kann. Die Temperaturen, die sich aus dem Gatestrom (Gl. 6.8) für die Punkte A und B ergeben, betragen T_A = 329 K und T_B = 360 K. Das entspricht einer Erwärmung, die 75% des Wertes beträgt, der mit dem unabhängigem Ansatz über die Leistungsaufnahme gefunden wurde.

Als dritte Möglichkeit, um die Temperaturabhängigkeit des NDR zu belegen, wird die Abhängigkeit der Wärmeableitung von der Bauelement-Geometrie benutzt. Die Gatefinger sind in Rechtecken angeordnet. Das geometrische Mittel ihrer Kantenlänge wird als Radius R_W in Gl. 6.5 eingesetzt, um den Wärmeleitwert zu berechnen.

Wenn die Temperatur, bei der der Drainstrom maximal ist, für verschiedene Bauelement-Geometrien gleich ist, muß sich aus Gl. 6.5 ein linearer Zusammenhang zwischen dem Leistungsabfall bei maximalem Strom und dem Wärmeleitwert ergeben. Für PJBT's, bei denen die Gatefinger jeweils 12 µm lang sind, aber in unterschiedlicher Anzahl und Breite angeordnet sind, so daß sich eine Breite der Fingerstruktur von 8, 16 oder 24 µm ergibt, sind die gemessenen Leistungen in Abb. 6.7 aufgetragen. Zum Vergleich ist der Verlauf des berechneten Wärmeleitwertes als durchgezogene Linie eingezeichnet.

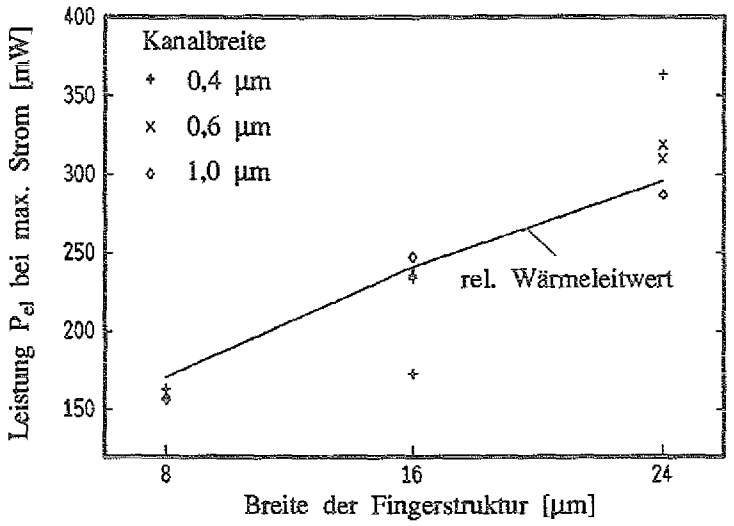


Abb. 6.7
Gemessene Leistungsaufnahme bei maximalem Drainstrom für PJBT's unterschiedlicher Kanalbreite und Gateweite aufgetragen gegen die Breite der Fingerstruktur.
Die Zunahme des Wärmeleitwertes mit der Strukturbreite ist als durchgezogene Linie eingezeichnet.

In Abb. 6.7 sind insgesamt 11 Punkte eingetragen, die auch für ganz unterschiedliche Kanalbreiten der PJBT fast deckungsgleiche Leistungen ergeben. Von zwei Ausreißern (bei der kritischen Lithographie von 0,4 µm Kanalbreite) abgesehen ergibt sich eine direkte Proportionalität zwischen Leistung und Wärmeleitwert, aus der eine Erwärmung von $\Delta T = 59$ K bei maximalem Strom berechnet wird.

Abschließend soll die Auswirkung der hohen Leistungsdichte und der damit einhergehenden Erwärmung auf die Steilheit untersucht werden. Sie wurde für die Ausgangskennlinie in Abb. 6.5 gemessen und ist in Abb. 6.8 dargestellt.

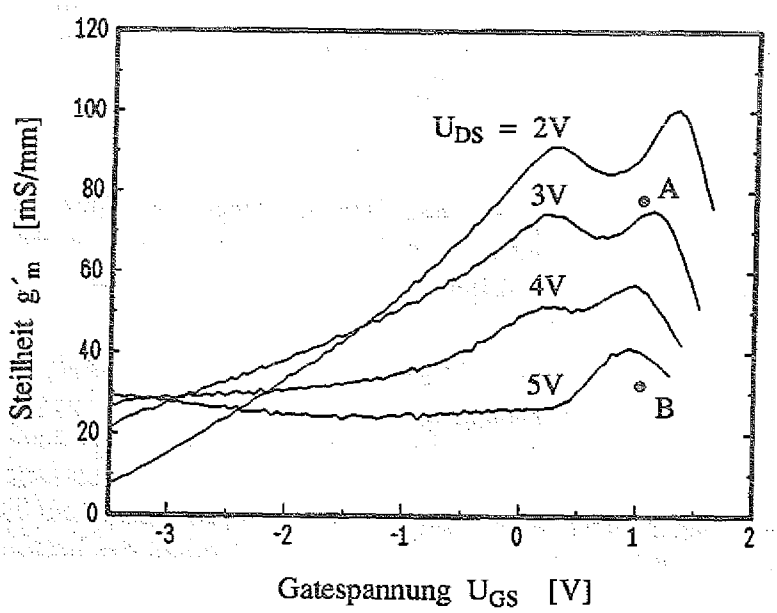


Abb. 6.8
Gemessene Steilheit zur Ausgangskennlinie in Abb. 6.5 bei S on T und U_{DS} =2V bis 5V. Den Punkte A und B, die den Arbeitspunkten in obiger Abbildung entsprechen, können die Temperaturen $T_A \approx 340$K und $T_B \approx 380$K zugeordnet werden.

Die gemessene Steilheit verschlechtert sich bei höheren Drainströmen und erreicht in ihrem Maximum bei U_{DS} =5V nur noch 40% des Wertes bei U_{DS} = 2V. Zwischen den Punkten A und B ist der Drainstrom in etwa konstant, so daß die Erhöhung der Drainspannung direkt als Zunahme der Leistungsdichte oder auch als Temperaturerhöhung interpretiert werden kann. Die für die Punkte A und B berechnete Temperaturdifferenz von ca. 40K bewirkt eine Halbierung der maximalen Steilheit.

Für geringere Drainspannungen sind folglich bessere Steilheiten zu erwarten, die jedoch für $U_{DS} \leq 2V$ durch die Kontakt- und Bahnwiderstände R_S und R_D begrenzt werden. Weil an den Widerständen auch Leistung abfällt, tragen sie nicht nur durch die Strombegrenzung sondern auch durch die zusätzliche Erwärmung zur Reduzierung der Steilheit bei und sollten deshalb so gering wie möglich gehalten werden.

Der Ausgangsleitwert kann aus den Gleichstrommessungen nicht korrekt bestimmt werden, weil er temperaturabhängig ist. Bei Hochfrequenzmessungen ist die Erwärmung zu träge, so daß G_{DS} nicht durch die zusätzliche Erwärmung des Kleinsignals reduziert wird, und somit effektiv höhere Ausgangsleitwerte zu schlechteren Hochfrequenzeigenschaften führen.

6.1.5. Einfluß der Wärmeableitung auf die Steilheit

Für die Hochfrequenztauglichkeit des PJBT ist die Steilheit ein entscheidender Faktor und sollte so groß wie möglich sein. Eine Erwärmung und damit die Verschlechterung der Steilheit sollte deshalb vermieden werden, wozu die Minimierung der Bahn- und Kontaktwiderstände und eine gute Wärmeableitung notwendige Voraussetzungen sind.

Auf der Probe PJ13B befinden sich Strukturen, bei denen die Fingerbreite der Kanalbreite entspricht. Bei anderen Strukturen wurde die Fingerbreite ursprünglich verdoppelt, um den Einfluß des Gatewiderstandes auf die Hochfrequenzeigenschaften zu untersuchen. Der Abstand zwischen zwei Stromkanälen wird hierdurch auf das 1,5fache vergrößert, so daß die Leistungsdichte entsprechend reduziert wird. Für zwei Strukturen mit b_k = 0,6 µm, die sich nur in diesem Punkt unterscheiden, wurde die Ausgangskennlinie und Steilheit gemessen. Für die Struktur mit gleicher Kanal- und Fingerbreite, deren Gateweite Z = 0,240 mm beträgt, sind die Kennlinien bereits in Abb. 6.3c) und d) dargestellt. Die entsprechenden Kennlinien für D on T für den PJBT mit doppelter Fingerbreite, dessen Gateweite 0,156 mm beträgt, zeigt Abb. 6.9.

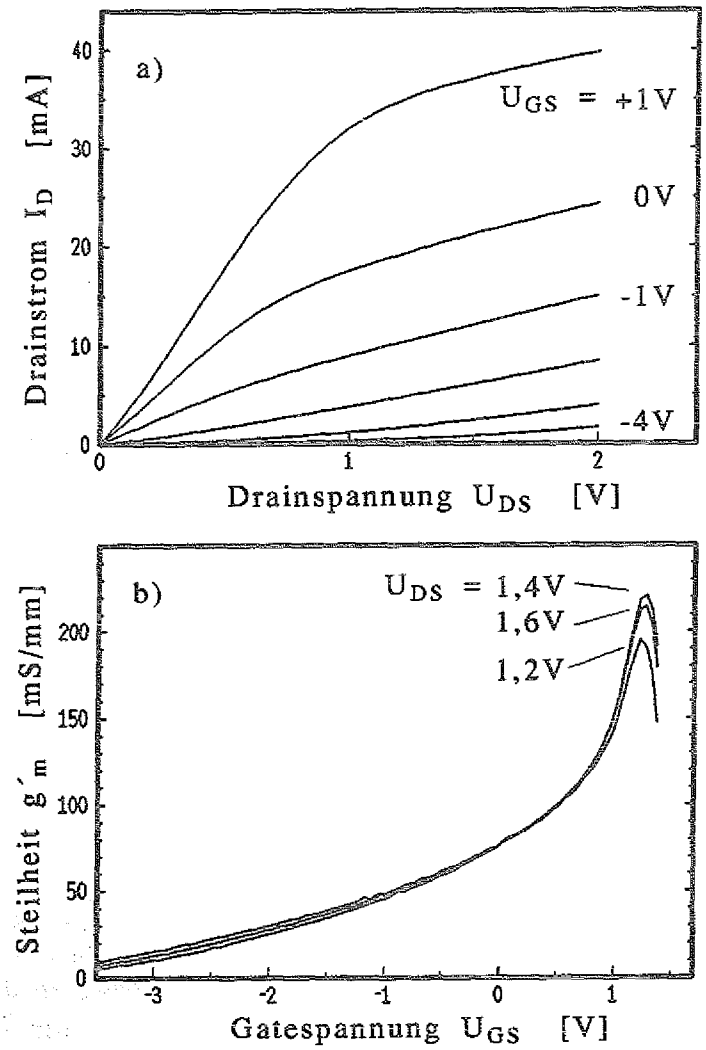


Abb. 6.9
Ausgangskennlinien und Steilheit für D on T eines PJBT mit doppelter Fingerbreite $b_k = 0{,}6$ µm, $b_F = 1{,}2$ µm und $Z = 0.156$ mm;
13 fingerförmige Kanäle sind in einer Fläche von 12 µm ·24µm angeordnet.

Der Vergleich der Kennlinien in Abb. 6.3c) und 6.9 ergibt, daß der Strom, wie zu erwarten ist, proportional zur Gateweite abnimmt, und der Kennlinienverlauf bis $U_{GS} = +1$ V sehr ähnlich ist. Für die auf die Einheitslänge normierte Steilheit ergibt sich für die Struktur mit der höheren Leistungsdichte $g'_{m,max} = 160$ mS/mm während für die Struktur mit der doppelten Gateweite sogar $g'_{m,max} = 220$ mS/mm gefunden wird. Dieses Ergebnis stellt also eine wesentliche Verbesserung dar.

Zum Vergleich der Steilheit soll der Wert von $g'_m = 150$ mS/mm für den GaAs-PBT für $b_k = 160$ nm herangezogen werden, mit dem $f_T = 35$ GHz und $f_{max} = 150$ GHz erreicht wurden [Boz 85]. Für $g'_m = 200$ mS/mm erreichte dieselbe Gruppe sogar $f_T = 42$ GHz und $f_{max} = 197$ GHz [Hol 85].

Die erreichbaren Grenzfrequenzen werden aber auch durch die Kapazität bestimmt, die sich durch die Verbreiterung der Gatefinger vergrößert und somit der Verbesserung der Steilheit entgegenwirkt. Diese negative Rückkopplung kann vermieden werden, wenn die Wärmeableitung durch Verkürzen der Gatefinger verbessert wird, weil dann die Kapazitäten, von Randeffekten abgesehen, gleich bleiben.

6.2. Gleichstromeigenschaften zylinderförmiger Stromkanäle

Die homoepitaktische Gatestruktur des PJBT ermöglicht, daß auch zylinderförmige Stromkanäle bei der Epitaxie vollständig aufgefüllt werden. Im Gegensatz zum PJBT ist dies beim SG-PBT, dessen Gatestruktur aus SiO_2 / W / SiO_2 besteht, nicht möglich, weil dort an den Fingerenden nach der Epitaxie offene Spalte verbleiben, die beim Aufdampfen der Metallisierung Kurzschlüsse zwischen dem oberen Kontakt und dem Gate verursachen [Lan 92].

Die zylinderförmigen Kanäle sind in der Maske des PJBT als gleichseitige Sechsecke ausgelegt, um ungünstige Facetten zu vermeiden (vgl. Kap. 5.3.1). Bei gleicher Querschnittsfläche der Kanäle wird theoretisch für die zylinderförmige Form eine doppelt so hohe Steilheit wir für langgestreckte Kanäle erwartet, weil die Einschnürung des Kanals zweidimensional erfolgt. Wenn die Steilheit nicht auf die Fläche, sondern den halben Umfang als Einheitslänge bezogen wird, ergeben sich theoretisch für beide Kanalformen gleiche Steilheiten. Für diese Normierung können die Werte der Steilheiten in bezug auf die Transitfrequenz direkt verglichen werden, weil sich gleiche Kapazitäten ergeben. Für Sechsecke, deren Abstand zweier gegenüberliegender Kanten $b_{k,zyl}$ gegeben ist, ergibt sich somit die "Einheitslänge" $L_{Sechs} = \sqrt{3} \cdot b_{k,zyl}$, die etwas größer ist als der halbe Umfang eines Kreises mit Durchmesser $b_{k,zyl}$.

Die Ströme und Steilheiten, die an der Probe PJ13B für verschieden große zylinderförmige Kanäle gemessen wurden, sind in Tab. 6.3 aufgelistet. Die Werte aus dieser Tabelle können nicht direkt mit denen aus Tab. 6.1 verglichen werden, weil dort nicht die maximalen Steilheiten aufgeführt sind.

$b_{k,zyl}$	[µm]	0,6	0,75	1,0	1,2	1,5
i		200	108	72	50	32
$Z=i \cdot L_{Sechs}$	[mm]	0,208	0,140	0,125	0,104	0,093
S on T						
I_D	[mA]	35,0	25,8	34,5	25,9	25
g_m	[mS]	16,5	12,1	11,0	6,1	3,2
g'_m	[mS / mm]	>97,4	86,2	87,6	58	34,2
D on T						
I_D	[mA]	33,3	28,6	29,5	37,3	32,9
g_m	[mS]	34,6	28,3	24,7	17,9	15,4
g'_m	[mS / mm]	166	202	198	172	165

Tab. 6.3
Gemessene Drainströme (U_{DS} = 2 V, U_{GS} = 1,2 V) und maximale Steilheiten (U_{DS} = 2 V) von zylinderförmigen Stromkanälen unterschiedlicher Durchmesser $b_{k,zyl}$.

Ebenso wie bei den langgestreckten Kanälen werden auch hier bei geringen Kanalbreiten für D on T doppelt so hohe Steilheiten erzielt wie für S on T. Je breiter die Kanäle sind, desto größer wird das Verhältnis. Bei $U_{DS} = 2$ V wird die maximale Steilheit $g'_m = 202$ mS/mm für $b_{k,zyl} = 0{,}75$ µm gefunden. Dieser Wert ist mit der nominellen Kanalbreite berechnet, die infolge der Strukturübertragung allerdings geringer ausfällt, so daß dieser Wert noch nach oben hin zu korrigieren ist. Bei der kleineren Struktur mit $b_{k,zyl} = 0{,}6$ µm fällt diese Ungenauigkeit noch stärker ins Gewicht, und könnte somit eine Erklärung dafür sein, daß hier nicht der maximale Wert für die normierte Steilheit beobachtet wurde. Dagegen ist der direkt gemessene Wert $g_m = 34{,}6$ mS hier maximal.

Die Ausgangskennlinie und die Steilheit für zylinderförmige Kanäle mit $b_{k,zyl} = 1{,}0$ µm ist in Abb. 6.10 aufgetragen. Die Skalierung der Achsen wurde aus Abb. 6.9 übernommen, um einen Vergleich beider Kennlinien zu vereinfachen.

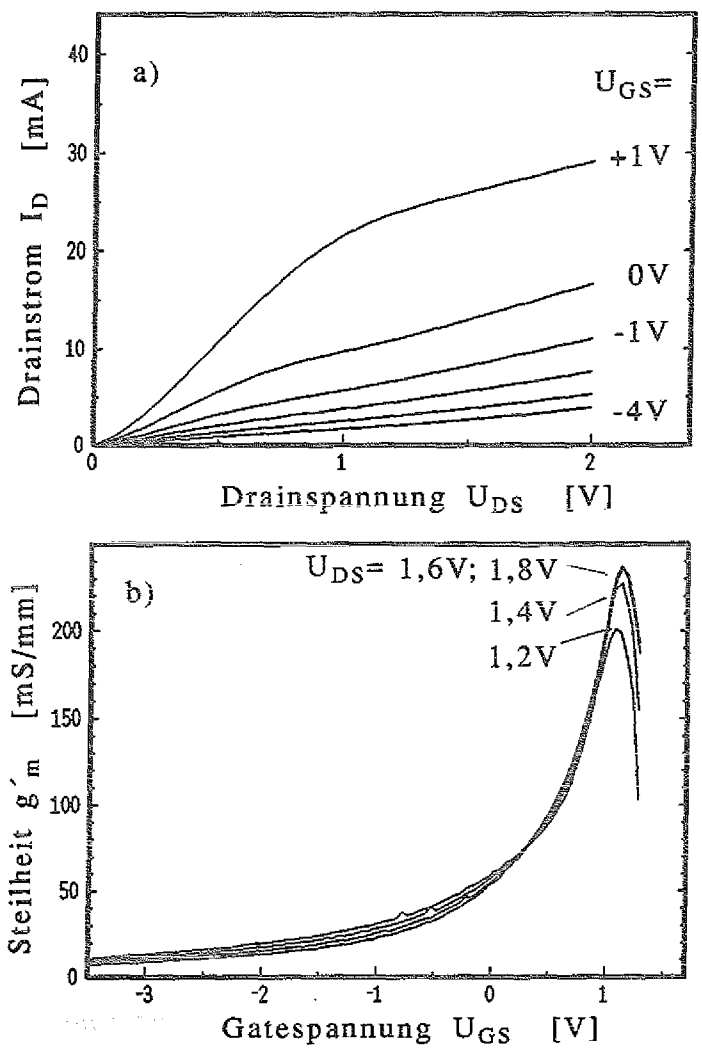


Abb. 6.10
Zylinderförmige Stromkanäle: Ausgangskennlinie und Steilheit für D on T mit $b_{k,zyl} = 1{,}0$ µm und Z = 0,125 mm; 72 zylinderförmige Kanäle sind in einer Fläche von 24 µm·24 µm angeordnet.

Bei Vergleich der entsprechenden Kennlinien in Abb. 6.10 und Abb. 6.9 ergeben sich sehr ähnliche Ausgangskennlinien.

Der Strom bei U_{GS} = 1 V ist zwar für die fingerförmigen Kanäle um ca. 30% größer, aber der Anstieg der Kennlinien und damit die Ausgangsleitwerte $G_{DS} \approx 6$ mS sind vergleichbar. Obwohl die zylinderförmigen Kanäle mit $b_{k,zyl}$ = 1,0 µm sehr viel weiter als die 0,6 µm breiten, langgestreckten Kanäle sind, können sie ähnlich gut abgeschnürt werden. Weil durch die zweidimensionale Einengung die Querschnittsfläche der zylinderförmigen Kanäle schneller abnimmt, wird der Strom schneller reduziert. Dieses Verhalten wird durch den abrupteren, schnelleren Abfall der Steilheit zu negativen Gatespannungen im Vergleich zu Abb. 6.9 b) und Abb. 6.10 b) deutlich.

Die maximale Steilheit fällt mit g'_m = 240 mS/mm für die zylinderförmigen Kanäle sogar noch etwas besser aus als theoretisch erwartet wurde. Dieses überraschende Ergebnis wird aber sofort relativiert, wenn berücksichtigt wird, daß zwar in beiden Fällen die Leistungsaufnahme gleich, aber die Fläche der zylinderförmigen Struktur doppelt so groß ist.

Zusammenfassend ergeben sich im Vergleich zu den fingerförmigen Strukturen folgende Ergebnisse: Für zylinderförmige Stromkanäle werden ebenso gute Steilheiten gefunden wie für fingerförmige Kanäle. Vergleichsweise können größere Strukturen abgeschnürt werden, die lithographisch einfacher zu erzeugen sind. Schließlich ist die Verringerung des Stromes effektiver, weil der Übergang zwischen maximaler Steilheit und Abschnürung eine geringere Spannungsänderung erfordert. Diese Unterschiede sind auf die unterschiedliche Geometrie und die vorliegenden Felder zurückzuführen.

6.3. Hochfrequenzeigenschaften

Zur Untersuchung der Hochfrequenzeigenschaften wurden Streuparameter-Messungen mittels eines automatisierten Hochfrequenzmeßplatzes (HP-8510B Netzwerkanalysator und HP-8340B Frequenzgenerator) durchgeführt. Zur Messung der Grenzfrequenzen wurden - wie in Kapitel 5 beschrieben - Koplanarleitungen zu den Kontaktflächen der Transistoren hergestellt. Zur Kontaktierung wird mit Hilfe von "getaperten" Koplanar-Mikrostreifenleitungen in den Meßspitzen sowohl das Hochfrequenzsignal als auch die Vorspannung bis an die Kontaktpads herangeführt. (Einzelheiten über den Meßaufbau und die Auswerteprogramme s. [Sta 91]). Zur Kalibrierung wurde das LRM-Verfahren (Line Reflect Match) verwendet.

Wegen der anfänglichen Probleme bei der Kontaktbildung (s. Kap. 5) wurden die meisten Koplanarleitungen für S on T ausgelegt. Bei der D on T Schaltung, die sich in den Gleichstrommessungen als vorteilhaft erwies, ist eine Mesa-Ätzung für die Hochfrequenz-Kontaktierung nicht notwendig. Nachträglich erwies sich aber gerade dieser Prozeßschritt als unumgänglich, weil bei Verzicht auf die Mesa-Ätzung die parasitären Kapazitäten der Zuleitungen die Hochfrequenzeigenschaften sehr verschlechtern, so daß an den S on T Strukturen die besseren Ergebnisse erzielt wurden.

Um den Einfluß der parasitären Kapazitäten und des Gatewiderstandes auf die Hochfrequenzeigenschaften zu untersuchen, wurden f_T und f_{max} für Transistoren gemessen, die sich in den parasitären Kapazitäten, der Gateweite der Fingerbreite und -länge sowie in den Zuleitungen zum Gate unterscheiden. Die Geometrie der untersuchten Transistoren ist in Abb. 6.11 maßstabsgetreu wiedergegeben.

Die wichtigsten Parameter und Meßergebnisse der abgebildeten Transistoren, die der Form der Gatefinger entsprechend als "breit" oder "lang" bzw. der notwendigen Justiergenauigkeit entsprechend als "kritisch" oder "sicher" bezeichnet werden, sind der Tabelle Tab. 6.4 zu entnehmen.

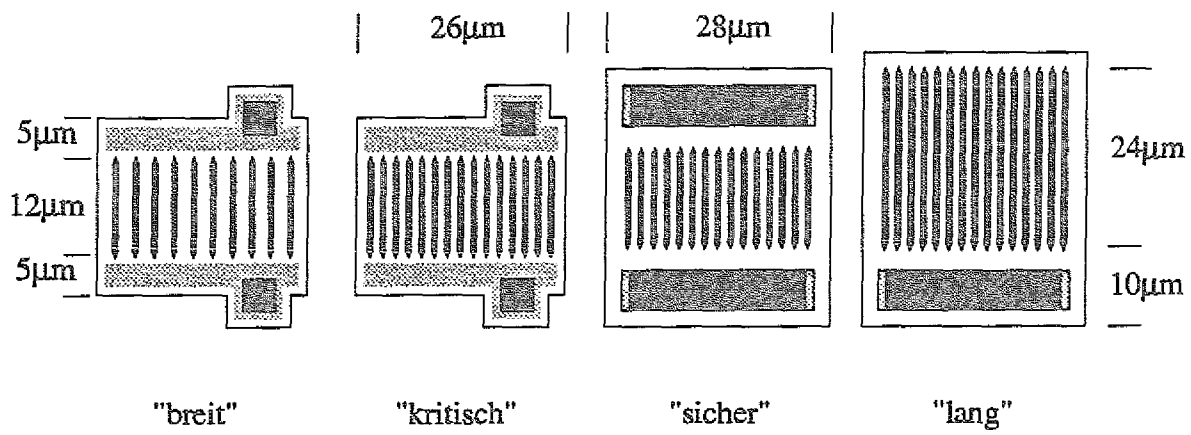


Abb. 6.11
Layout von PJBT's. Die Stromkanäle (schwarze Streifen) sind vom p^{++}-Gate (hell) umgeben. An die unterschiedlichen Gatekontakte (grau) werden durch die Öffnungen in Polyimid (schwarze Rechtecke) die Koplanarleitungen herangeführt.

	"breit"	"kritisch"	"sicher"	"lang"
Z [mm]	0,120	0,180	0,180	0,360
A/A_0 ($A_0 = 780\ \mu m^2$)	0,94	1,00	1,33	1,66
I_{DS} [mA]	29	52 // 50	46	85
f_T [GHz]	3,9	5,2 // 5,4	4,0	2,7
f_{max} [GHz]	2,1	1,3 // 1,3	1,8	0,7
$g_m^* \approx f_T \cdot \frac{A}{A_0}$ [rel. Werte]	3,7	5,2 // 5,4	5,3	4,5
$R_G^* \approx \frac{f_T}{f_{max}^2} \cdot \frac{A_0}{A}$ [rel. Werte]	0,94	3,07 // 3,14	0,93	3,32

Tab. 6.4 Geometrische Abmessungen und Meßdaten für S on T der oberhalb der entsprechenden Spalten abgebildeten Transistoren. A berechet sich als Summe der Fläche der gesamten Struktur plus der Fläche der Stromkanäle. Dieser Ansatz soll die höhere Kapazität pro Fläche in den Kanälen berücksichtigen, so daß A $\approx C_T$ entspricht. Mit dieser Annahme werden dann g_m^* und R_G^* abgeschätzt. Erklärung s. Text.

Alle Transistoren waren auf der Probe PJ13B und haben eine Kanalbreite von $b_k = 0{,}8\ \mu m$. Die Meßwerte wurden alle bei $U_{GS} = 1$ V und $U_{DS} = 4$ V aufgenommen. Der als "kritisch" bezeichnete PJBT wurde an zwei identischen Strukturen gemessen. Die Meßwerte stimmen recht gut überein. Obwohl die anderen Strukturen nur einmal auf der Probe waren, und deshalb die Streuung ihrer Meßwerte nicht beurteilt werden kann, sollen qualitativ die Einflüsse der Struktur auf die Meßwerte diskutiert werden.

Für den als "kritisch" bezeichneten Transistor wurde mit 5,4 GHz die höhere Transitfrequenz gemessen ($f_T \sim g_m / C_T$), wie aufgrund der geringeren Flächen für die Gatekontakte im Vergleich zu "sicher" mit 4,0 GHz zu erwarten ist. Aufgrund der kürzeren Gateweite Z erreicht "breit" nur 3,9 GHz. Dieser Wert ist besser, als durch die Verkürzung der Gateweite und bei linearer Übertragung dieses Wertes auf die Steilheit (gleiche C_T vorausgesetzt) zu erwarten ist (3,4 GHz), obwohl der Anteil an parasitären Kapazitäten relativ noch zunimmt. Allerdings besteht für die Struktur "lang" sogar ein besseres Verhältnis von Gateweite zu Kapazität, so daß die Abnahme von f_T auf 2,7 GHz nur plausibel wird, wenn die Verschlechterung der Steilheit infolge der größeren Bahn- und Kontaktwiderstände R_S und R_D sowie der Temperaturerhöhung (vgl. Kap. 6.1.3 und 6.1.4) berücksichtigt wird.

Als nächstes soll die maximale Schwingfrequenz betrachtet werden, die außer von der Steilheit und den Kapazitäten vor allem vom Gatewiderstand abhängt. Im Vergleich zum GaAs-PBT war der spezifische Widerstand des p^{++}-Gates beim PJBT sehr hoch, so daß er der limitierende Faktor der Hochfrequenztauglichkeit sein könnte. Um den Anteil der anderen Parameter an f_{max} zu berücksichtigen, soll Gl. 2.27 so umgestellt werden, daß R_G bestimmt werden kann.

$$R_G = \frac{f_T}{f_{max}^2} \cdot \frac{1}{8\pi} \cdot \frac{1}{\frac{G_{DS}}{g_m} \cdot C_T + C_{DS}} \qquad \text{Gl. 6.9}$$

Da die Kapazitäten nicht bekannt sind, sollen ihre Werte über die Flächen der Strukturen abgeschätzt werden. A berechnet sich als Summe der gesamten Fläche plus der Fläche der Kanäle. Weil diese höhere Kapazitäten pro Einheitsfläche haben, werden sie mit doppelter Gewichtung berücksichtigt. Damit kann eine Abschätzung des normierten Gatewiderstandes als

$$R_g^* \sim \frac{f_T}{f_{max}^2} \cdot \frac{A_0}{A} \qquad \text{Gl. 6.10}$$

vorgenommen werden, der zum Vergleich herangezogen werden soll.

Bei Vergleich der Meßergebnisse in Tab. 6.4 fällt auf, daß für den Transistor "kritisch" f_{max} schlechter ist als für die beiden anderen Transistoren mit kurzen Gatefingern, obwohl sich die Werte für f_T umgekehrt verhalten. Bei Berechnung von R_G * ergibt sich für den Transistor "kritisch" ein mehr als dreifach höherer Wert im Vergleich zu den beiden anderen Transistoren.

Der Gatewiderstand setzt sich aus dem als "Kontaktwiderstand" bezeichnetem Anteil R_k der Zuleitung zu den Fingern und aus den Widerständen der einzelnen Gatefinger R_{G1}

zusammen (vgl. Kap. 3.1, Abb. 3.1). Anscheinend haben beide Anteile ein ähnliches Gewicht, so daß die schlechtere maximale Schwingfrequenz des "kritischen" Transistors einmal auf die höheren Widerstände der Gatefinger, aber im anderen Vergleich auf höhere Widerstände R_k in der Kontaktzuleitung zurückzuführen ist.

Bei Vergleich der Strukturen "breit" und "kritisch" kann von gleichen Werten für R_k ausgegangen werden. Da sich aber die Gateweiten wie 2:3 verhalten, sind zur Umladung der Kapazitäten im Fingerbereich insgesamt höhere Ströme erforderlich, die einen höheren Spannungsabfall an R_k bewirken. Dies bedeutet, daß R_k nur in Verbindung mit der Gateweite Z als normierter Wert $R'_k = R_k \cdot Z$ beurteilt werden kann, was schon in Gl.3.3 und 3.4 bei der Dimensionierung der Gatefingerlängen gezeigt wurde. Folglich ist auch hier der bessere Wert für f_{max} bei der "breiten" Struktur teilweise auf die Verkürzung der Gateweite und nicht nur auf die Verbreiterung der Gatefinger zurückzuführen.

Die großen Kontaktflächen in den Strukturen "sicher" und "lang" sind gleich. Allerdings unterscheidet sich in beiden Fällen die Gatelänge, die einem Kontakt zugeordnet werden kann, durch den Faktor 4. Entsprechend verhalten sich die Werte von R'_k. Der normierte Widerstand des einzelnen Gatefingers R'_{G1} nimmt sogar noch stärker zu, so daß sich durch beide Anteile die gemessene maximale Schwingfrequenz verschlechtert.

Für einen Transistor auf der Probe PJ14C, dessen p^{++}-Schicht mit 100 nm nur halb so dick wie im obigen Falle ist, wurden für die Struktur "sicher", allerdings nur mit einem Kontakt, f_T = 3,4 GHz und f_{max} = 1,4 GHz gemessen. Diese Werte sind vergleichbar mit den Meßwerten, die für ähnliche Strukturen bei der doppelten Dicke der p^{++}-Schicht erzielt wurden (s. Tab. 6.4). Dieses Ergebnis deutet darauf hin, daß der relativ schlechte spezifische Leitwert der p^{++}-Schicht bei den erreichten Frequenzen noch nicht der limitierende Faktor ist.

In Abhängigkeit von der Kanalbreite wurde an Transistoren der Struktur "kritisch" folgende Grenzfrequenz bei den obigen Arbeitspunkten mit S on T - Schaltung gemessen:

b_k [µm]	0,6	0,8	1,0	1,2
Z [mm]	0,240	0,180	0,144	0,120
I_D [mA]	50	50	45	43
f_T [GHz]	6,1	5,4	4,7	3,0
f_{max} [GHz]	1,5	1,3	2,2	1,8

Tab. 6.5
Erzielte Grenzfrequenzen in Abhängigkeit von der Kanalbreite b_k für PJBT's mit der als "kritisch" bezeichneteten Struktur aus Abb. 6.11. Die Gateweiten Z sind unterschiedlich, weil die Fläche der Fingerstruktur jeweils 12µm·24µm groß waren.

Die bislang beste an PJBT's gemessene Transitfrequenz von 6,1 GHz ergibt sich somit für die geringste Kanalbreite 0,6 µm. Dieser Wert kann noch verbessert werden, wie die Ergebnisse der Gleichstromeigenschaften (Kap. 6.1) belegen. Durch den Wechsel der

Kontaktanordnung zu D on T kann die Steilheit und folglich die Transitfrequenz verdoppelt werden. Durch Realisierung noch engerer Stromkanäle kann die Steilheit noch weiter verbessert und gleichzeitig G_{DS} und der Strom noch reduziert werden. Durch gleichzeitiges Verkürzen der Kanallänge wird der overshoot Effekt noch wirksamer, und die Bahnwiderstände werden weiter reduziert, so daß weniger Leistung im PJBT abfällt. Bei Berücksichtigung einer guten Wärmeableitung, die durch Verkürzen der Gatefinger erreicht werden kann und damit gleichzeitig den Gatewiderstand verringert, kann eine weitere Verbesserung sowohl von f_T als auch von f_{max} erzielt werden.

Da für f_{max} bei einer Fingerbreite von 1,0 µm der maximale Wert von 2,2 GHz erreicht wurde, erscheint eine Struktur, bei der die Gatefinger breiter sind als die Kanäle, sinnvoll. Der Erfolg dieser Alternative ist sicherlich auf die $ip^{++}i$-Gatestruktur zurückzuführen, weil ohne sie die parasitären Kapazitäten stärker zunehmen würden. Auch aus thermischen Gründen erscheint die Verbreiterung der Gatefinger als geeignete Maßnahme.

7. Zusammenfassung

Im Rahmen dieser Arbeit wurden Permeable Junction Base Transistoren hergestellt, deren Gate aus hochdotiertem GaAs besteht. Reaktives Ionen Ätzen mit $CH_4 : H_2$ und selektive Epitaxie zum Auffüllen der Kanäle erwiesen sich als geeignete Methoden, um die erforderlichen Strukturen herzustellen. Dabei ergaben sich bis zu den kleinsten realisierten Kanalbreiten von 0,3 µm hervorragende Steilheiten.

Der Aufbau des PJBT entspricht einem vertikalen FET mit sehr kurzem Gate. Im Sättigungsbereich kann die Funktion des PJBT durch das Drift-Sättigungsmodell beschrieben und damit die intrinsische Steilheit berechnet werden. Mit diesem analytischen Modell kann der Einfluß von parasitären Widerständen und Kapazitäten berechnet und bei der Auslegung des Designs berücksichtigt werden.

Mit Monte-Carlo Simulationen wurde ein velocity overshoot für das intrinsische Bauelement berechnet, der eine Verdopplung der Driftgeschwindigkeit der Elektronen im Kanal voraussagt. Der overshoot Effekt erhöht den Drainstrom nur bei geringen Drainspannungen und verbessert deshalb das Sättigungsverhalten des PJBT. Dies wird aus dem Vergleich mit Ergebnissen der Drift-Diffusionsrechnungen erkennbar, welche auf einer stationären, ortsunabhängigen Geschwindigkeits-Feldstärke-Charakteristik beruhen. Für hohe Beweglichkeiten bei geringen Feldern, wie bei III-V Halbleitern, wird auch ohne velocity overshoot ein günstigerer Kennlinienverlauf berechnet als für eine sättigende Feldabhängigkeit wie bei Silicium.

Die Gleichstrommessungen bestätigen, daß bei höheren Kanaldotierungen größere Steilheiten, geringere Kontakt- und Bahnwiderstände sowie infolge der besseren Abschirmung ein günstigeres Sättigungsverhalten erreicht werden. Mit abnehmender Kanalbreite wird bei den realisierten Dimensionen die Steuerbarkeit des Stromes besser, und die gemessene Steilheit nimmt kontinuierlich zu. Dieses Ergebnis zeigt, daß mit der angewandten Technologie auch bei kleineren Strukturen noch bessere Ergebnisse zu erwarten sind. Durch Vergleich des gemessenen Stromes und der Steilheit bei unterschiedlicher Kontaktanordnung - Source und Drain wurden getauscht - ergaben sich für die Anordnung mit dem kürzeren Abstand zwischen Source und Gate ein geringerer Kontakt- und Bahnwiderstand R_S und eine Verdopplung der maximalen Steilheit.

Letzteres ist teilweise auf R_S zurückzuführen, aber hauptsächlich durch ein Anwachsen der intrinsischen Steilheit bedingt. Dies kann auf den overshoot Effekt zurückgeführt werden, weil die höhere Steilheit im gleichen Arbeitsbereich wie beim Vergleich der Simulationsergebnisse auftritt und durch die Verkürzung des Abstandes zwischen Source und Gate hervorgerufen wird.

Andererseits wird die Steilheit auch durch die Bahn- und Kontaktwiderstände beeinflußt, die in ungünstigen Fällen die meßbare externe Steilheit begrenzen. Ein zweiter limitierender Faktor ist die Erwärmung, die infolge der Leistungsaufnahme des Transistors die Elektronengeschwindigkeit reduziert und sich damit dämpfend auf die intrinsische Steilheit auswirkt. Insbesondere ist für die maximale Steilheit, die auf den overshoot Effekt zurückgeführt wird, eine starke Abhängigkeit von der Temperatur zu beobachten. Bei hohen Leistungsdichten wird dieser Effekt zum entscheidenden Faktor, der dazu führt, daß an Strukturen mit besserer Wärmeableitung höhere Steilheiten erzielt werden.

Bei einer Kanalbreite von 0,6 µm wird eine hohe Steilheit von maximal 220 mS/mm erreicht, die durch Verringerung der Kanalbreite und -länge und durch eine Verbesserung der Kontakt- und Bahnwiderstände noch verbessert werden kann, wenn gleichzeitig die Erwärmung gering gehalten wird. Hierbei kommt der Reduzierung der Widerstände eine zweifache Bedeutung zu, weil sie zum einen als Serienwiderstände die Steilheit elektrisch und zum anderen wegen des zusätzlichen Leistungsabfalls auch thermisch begrenzen.

Für zylinderförmige Kanäle wurden mit 240 mS/mm, die auf den halben Umfang der Kanäle bezogen sind, sogar noch etwas bessere Steilheiten gefunden. Bei dieser Form der Kanäle können vergleichsweise größere Strukturen, die lithographisch leichter zu erzeugen sind, abgeschnürt werden.

Bei hohen Leistungsdichten tritt ein negativ differentieller Widerstand auf, der auch durch die thermisch bedingte Abnahme der Elektronengeschwindigkeit erklärt werden kann. Die Erwärmung bewirkt zwar eine Abnahme des Ausgangsleitwertes bei statischen Messungen, aber die gleichzeitige Reduzierung der Steilheit ist schwerwiegender und reduziert die Hochfrequenztauglichkeit.

Für Kanalbreiten von b_K = 0,6 µm wurden Grenzfrequenzen von f_T = 6,1 GHz und f_{max} = 1,5 GHz bzw. für b_K = 1,0 µm von 4,6 GHz und 2,1 GHz gemessen. Wegen anfänglicher Probleme bei der Kontaktierung wurde für die Hochfrequenzmessungen die ungünstigere Kontaktanordnung mit der schlechteren Steilheit gewählt. Diese wurde außerdem durch die Temperaturerhöhung infolge der hohen Leistungsaufnahme des Bauelementes begrenzt.

Die erreichbaren Grenzfrequenzen werden in starkem Maße durch die Steilheit und den Ausgangsleitwert bestimmt, die durch Verkleinern der Abmessungen des Kanals noch verbessert werden können. Bei einem neuen Layout der Transistorstruktur müssen die Bahn- und Kontaktwiderstände sowie die Kapazitäten begrenzt und vor allem eine gute Wärmeableitung gewährleistet werden. Die kapazitätsverringernden intrinsischen Schichten erlauben eine begrenzte Verbreiterung der Gatefinger, durch die ebenso wie durch eine weitere Verkürzung dergleichen die Wärmeableitung verbessert wird. Gleichzeitig wird durch die veränderte Gategeometrie der Gatewiderstand verringert, so daß eine erhebliche Verbesserung der erreichbaren Grenzfrequenzen zu erwarten ist.

8. Anhang

Anhang A: Laterale Strukturierung

A1. Optische Lithographie mit 0.4 µm Auflösung

Parameter für Photolack AZ 5206 E, Umkehrprozeß

Probe	2 Zoll Wafer mit SiO_2	
Reinigung	letzter Schritt: Propanol	
Dehydrieren	Hotplate 2 min, 150 °C	⇒ gute Haftung
Haftvermittler	4000 rpm, 1 min, 90 °C	nur auf SiO_2, Metallen
AZ 5206 E	6000 rpm, 2 min, 90 °C	$d_{Lack} \approx 500$ nm
Randentlackung	nur bei Bruchstücken	
Belichten	3 - 4 sec bei 6 mW/cm^2	Vakuumkontakt, Anm *
Backen	2,5 min bei 115 °C	
Flash	10 sec bei 6 mW/cm^2	
Entwickeln	1,5 min, MIF 1 : 1,5	länger ⇒ stärker überhängende Flanken

rpm = rounds per minute
MIF = Metall Ion Free Developer

Anm *:
Auflösungen < 1 µm sind nur bei optimalem Kontakt erreichbar. Zur Optimierung der Lithographie, d.h. zur Verbreiterung von schmalen Lackstreifen um max. 0.1 µm kann die Belichtungszeit bis auf 8 sec verlängert werden. Da die Lackfenster gegebenenfalls noch nicht durchentwickelt sind, sollte mit O_2-Plasma in RIE 30 - 50 sec bei 200 W nachgeätzt werden. Die Verrundungen an den Fingerenden können so minimiert werden.

A2. Optische Lithographie für lift-off und Ätzprozesse

Parameter für Photolack AZ 5214 E, Umkehrprozeß

Probe	Waferstücke 7x7 mm^2	
Reinigung	letzter Schritt: Propanol	
Dehydrieren	Hotplate 2 min, 150 °C	⇒ gute Haftung
Haftvermittler	4000 rpm, 1 min, 90 °C	nur auf SiO_2, Metallen
AZ 5214 E	4000 rpm, 5 min, 90 °C	$d_{Lack} \approx 1{,}4$ µm
Randentlackung *Belichten* *Entwickeln* *Trocknen*	 *1 min bei 6 mW/cm²* *ca. 1 min Dev. 400K 1:4* *1 min 90 °C*	 *bis Ecken frei sind; MIF nicht geeignet*
Belichten	3,5 - 4 sec für lift-off 7 sec für Ätzprozesse	Vakuumkontakt, Anm *
Backen	1,5 min bei 110 °C	
Flash	20 sec bei 6 mW/cm^2	
Entwickeln	1,5 min, MIF 1 : 1,5	länger ⇒ stärker über-hängende Flanken

rpm = rounds per minute
MIF = Metall Ion Free Developer

Anm.*:

Das Belichtungsprogramm "Vakuumkontakt" ist nur sinnvoll, wenn das Probestück wieder zu einem ganzen Wafer ergänzt wird. Sonst besteht die Gefahr, daß die Maske bei "Vakuumkontakt" zerbricht.

Die Vorteile sind:

a) ein optimaler Kontakt ergibt negative Flanken, die den lift-off erleichtern
b) die Probe verrutscht nicht beim Belichten, d.h. eine sichere Justage ist gewährleistet

A3. Strukturierung der Polyimidschicht

Parameter für Polyimid-Selectilux HTR 3-50, Umkehrprozeß

Probe	Waferstücke 7x7 mm^2	
Reinigung	letzter Schritt: Propanol	
Dehydrieren	Hotplate 2 min, 150 °C	⇒ gute Haftung
Polyimid	3000 rpm, 5 min, 90 °C	$d_{Poly} \approx 2{,}0$ µm
Belichten	15 sec bei 6 mW/cm^2	Softkontakt, Anm *
Entwickeln	20 sec Select. Developer 20 sec Dev.:Prop. (1:1)	jeweils im Ultraschallbad
Spülen	Propanol	möglichst kurz
Härten	5 min 120 °C Hotplate 30 min, 150-300 °C 30 min, 300 °C 30 min, 300-150 °C	im Trockenofen unter Vakuum

rpm = rounds per minute
MIF = Metall Ion Free Developer

Anm.*:

Um runde Flanken für die Metallisierung zu erhalten, ist eine Proximity-Belichtung notwendig [Mer 87]. Der notwendige Abstand von ca. 30 µm zwischen Maske und Probe wird durch die Polyimid-Wülste am Probenrand erzeugt. Mit dem Belichtungsprogramm "Softkontakt" wird erreicht, daß die Probe sanft in der richtigen Position gehalten wird.

Anhang B: Vertikale Strukturierung - Ätztechnik

B1. Trockenätzen von SiO_2 mit CHF_3

Anlagentyp: RIE 80, Slave-Kammer Fa. Plasma Technologie

1) 10 sec O_2-Plasma ⇒ Entfernung von Lackschleier (scumming)

Gase O_2 =	30 sccm
Druck	0.020 mbar
RF-Leistung	200 Watt
result. Gleichspannung	- 400 V
Zeit	10 sec

2) SiO_2 - Ätzen ⇒ Öffnen der SiO_2-Schicht

Gase CHF_3 =	15 sccm
Druck	0.018 mbar
RF-Leistung	240 Watt
result. Gleichspannung	- 525 V
Zeit	Endpunkt Anm.* + 10 sec Überätzen
Ätzrate SiO_2(PECVD) SiO_2(e-beam) Lack	22 nm/min 30 nm/min ≤ 10 nm/min

Anm.*:
Mit einem Laserinterferometer kann der Endpunkt der Ätzung erkannt werden; um sicher zu stellen, daß die Schicht überall entfernt ist, wird noch eine kurze Zeit überätzt.

3) O_2-Plasma ⇒ Lack entfernen

Gase O_2 =	30 sccm
Druck	0.100 mbar
RF-Leistung	240 Watt
result. Gleichspannung	- 460 V
Zeit	Endpunkt + 30 sec Überätzen
Ätzrate Lack	250 nm/min

B2. Trockenätzen von GaAs mit $CH_4 : H_2$

Anlagentyp: RIE 80, Master-Kammer
Fa. Plasma Technologie

1.) CH_4:H_2 MORIE Ätzen von GaAs

automatisches Zünden		ein (Anm 1*)
Gase	CH_4 = H_2 =	25 sccm 20 sccm
Druck	Vorgabe: Arbeitspunkt:	0.000 mbar 0.019 mbar
RF-Leistung		400 Watt
result. Gleichspannung		-660 V, fällt bis -630 V
Ätzrate		7 nm/min
Zeit		75-105 min d.h. Tiefe/Rate
Polymerbildung auf SiO_2		ca 4 nm/min

Die Anlage hat eine Turbomolekularpumpe, die H_2 schlechter fördert als CH_4. Deshalb ist im Vergleich zur Literatur der CH_4-Fluß auf ein Vielfaches erhöht.

Anm 1*
Das Plasma darf nicht bei zu hohen CH_4-Partialdrücken gezündet werden, weil sich dann eine Polymerschicht bildet, die alle Oberflächen passiviert und Ätzen verhindert. Das Programm "Automatisches Zünden" zündet ein H_2-Plasma und stellt dann sofort die gewünsche Gasmischung ein.

2.) O_2-Plasma Veraschen des Polymers

automatisches Zünden	ein (Anm 2*)
Gase O_2 =	30 sccm
Druck	0.100 mbar
RF-Leistung	200 Watt
result. Gleichspannung	- 440 V
Ätzrate	70 nm/min
Zeit	5 - 7 min (1 min/15 min MORIE)

Anm.2*:

Die gewünschten steilen GaAs-Flanken in MORIE können nur bei hohen Leistungen (> 350 W) d.h. bei hohen Ätzraten (ca. 7 nm) erzielt werden. Dies ist bei kleinen Öffnungen (Brunnen) besonders kritisch, so daß sie eventuell stark verrunden und nicht bis zur gewünschten Tiefe geätzt werden. Während des Prozesses nimmt die resultierende Gleichspannung ab, weil sich Polymere in der Kammer abscheiden. Aus diesem Grund und evtl. wegen der Abschattung bei tieferen Ätzungen verflacht das Profil mit zunehmender Tiefe. In einer zweistufigen Ätzung mit zwischenzeitlicher Veraschung des Polymers durch O_2 wurde im zweiten Ätzzyklus in den engen Strukturen nur noch ein eingeengter Kanal weitergeätzt, der auf jeder Seite ca. 200 nm zurücksprang.

B3. Probenreinigung mittels Trockenätzen der geviertelten Wafer

Anlagentyp: RIE 80, Master-Kammer
Fa. Plasma Technologie

1) 2,5 min O_2-Plasma ⇒ Veraschung von Polymerresten

Gase O_2 =	30 sccm
Druck	0.100 mbar
RF-Leistung	200 Watt
result. Gleichspannung	- 440 V
Zeit	2,5 min

2.)1,5 min CH_4:H_2 MORIE mit geringem CH_4-Anteil

Gase CH_4 = H_2 =	5 sccm 30 sccm
Druck	0.050 mbar
RF-Leistung	300 Watt
result. Gleichspannung	- 560 V

3.) 2,5 min O_2-Plasma

Parameter wie unter 1.)

Durch das abwechselnde Ätzen mit O_2 und CH_4:H_2 wird eine Oxidschicht gebildet und zwischenzeitlich abgetragen. Darin enthaltene Verunreinigungen bilden flüchtige Verbindungen oder schwimmen auf der Oberfläche, die abschließend mit einer Oxidschicht versehen gegen Kohlenstoffverunreingungen versiegelt wird.

Anhang C: Wachstumsparameter der selektiven Epitaxie

LP-MOVPE

mit N_2 als Trägergas

Temperatur	650 °C
Strömungsgeschwindigkeit	0,9 m/s
V/III-Verhältnis	150
Partialdruck P_{TMG}	0,24 Pa
Wachstumsrate (ganzflächig)	0,6 mm/h
Wachstumsrate (kleiner Strukturen)	0,7 - 0,8 mm/h

für weitere Details s. [Har 92]

9. Literaturverzeichnis

Act 87 Actis R., Chick R., Hollis M.A. et al,
"Small-Signal Gain Performance of the Permeable Base Transistor at EHF",
IEEE Electron Device Letters 8(2), (1987), 66-68

Ada 85 Adachi S., Ando S., Asai H. and Susa N.,
"A New Gate Structure Vertical-GaAs FET",
IEEE Electron Device Letters 6(6), (1985), 264-266

Alf 86 Alferov Zh.I., Korol'kov I. et al,
"Buried-gate gallium arsenide vertical field-effect transistor",
Soviet Technical Physics Letters 12(2), (1986), 77-78

And 90 Ando Yuji, Kuzuhara M., Onda K. et al,
"Signal and Noise Modeling for Striped Channel Field-Effect Transistors",
Extended Abstracts of the 22nd (1990 International) Conference on Solid State Devices and Materials, Tokyo, Japan: Business Center for Acad. Soc. Japan, 1990, pp. 39-42 of xiii+1247 pp.

Asa 84 Asai H., Adachi S. et al,
"Lateral GaAs growth over tungsten gratings on (001) GaAs substrates ba metal-organic chemical vapour deposition and application to vertical field effect transistors",
J. Appl. Phys. 55, (1984), 3868-3870

Azo 81 Azoulay R., Bouadma N., Bouley J.C, and Dugrand L.
"Selective MOCVD eptiaxy for optoelectronic devices"
J. Crystal Growth 55, (1981) 229

Bed 92 Bedi A.,
"TriQuint's New Datacoms Chipsets Feature GaAs & Silicon ICs",
III-Vs Reviews Feature 5(6), (1992), 18-19

Ben 82 Beneking H.,
"Materialbezogene Eigenschaften moderner Halbleiter-Bauelemente",
Phys. Bl. 38(6), (1982), 146-151

Ben 84 Beneking H.,
"Halbleitertechnik III - Theoretische Grundlagen",
Manuskript zur Vorlesung, RWTH Aachen, 3. Auflage (1984)

Boz 79 Bozler C.O., Alley G.D., Murphy R.A. et al
"Fabrication and microwave performance of the permeable base transistor",
IEEE Int. Electron Devices Meet. Tech. Dig., (1979), 384-387

Boz 80 Bozler C.O. and Alley G.D.,
"Fabrication and Numerical Simulation of the Permeable Base Transistor",
IEEE Transactions on Electron Devices 27(6), (1980), 1128-1141

Boz 82 Bozler C.O. and Alley G.D.,
"The Permeable Base Transistor and its application to logic circuits",
Proc. IEEE 70(1), (1982), 46-52

Boz 85 Bozler C.O., Hollies M.A., Nichols K.B. et al.,
"18,5 dB gain at 18 GHz with a GaAs permeable base transistor",
IEEE Electron Device Lett. 6(9), (1985), 456-458

Bra 81 Braslau N.,
"Alloyed ohmic contacts to GaAs",
J. Vac. Sci. Technol. 19(3), (1981), 803-807

Cam 84 Campbell P.M., Ehle R.S., Gray P.V. and Baliga B.J.,
"Fabrication of a Buried Junction-Gate Vertical-Channel GaAs FET",
IEDM Tech. Dig. (1982) p. 258

Can 90 Canham L.T.,
"Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers",
Appl. Phys. Letters 57(10), (1990), 1048ff

Cap 90 Capasso F.,
"Nanoscale and Ultrafast Devices",
Todays Physics, (February 1990), 23-24

Che 87 Cheung R., Thoms S., Beamont S.P. et al
"Reactive ion etching of GaAs using a mixture of methane and hydrogen"
Electronics Letters 23, (1987), 857-859

Col 90 Collot P. and Gaonach C.,
"Electrical damage in n-GaAs due to methane-hydrogen RIE",
Semicond. Sci. Technol. 5, (1990), 237-241

Fre 83 Frensley W.R.,
"An Analytic Model for the Barrier-Limited Mode of Operation of the Permeable Base Transistor",
IEEE Transactions on Electron Devices 30(12), (1983), 1624-1628

Gar 89 Garrett B. and Thrush E.J.,
"Temporally resolved growth habit studies of InP/(InGa)As heterostructures grown by MOCVD on contoured substrates"
J. Crystal Growth 97, (1989), 273

Grä 91 Gräber J.,
"Elektronisches Bauelement und Verfahren zu seiner Herstellung",
(PJBT mit siebförmiger Basis)
Deutsche Patentanmeldung PT 41 42 654.1-33, und
"Elektronisches Bauelement und Verfahren zu dessen Herstellung",
(PJBT), Deutsche Patentanmeldung PT 41 42 595.2-33,

Grä 92 Gräber J., Kamp M., Mörsch G., Meyer R., Hardtdegen H. und Lüth H.,
"The Permeable Junction Base Transistor with a new Gate of extremely high doped p^{++}-GaAs",
Microelectronic Engineering 19, (1992), 131-134

Gru 87 Gruhle A., Vescan L. and Beneking H.,
"Dual-gate silicon permeable base transistors buelt in LPVPE-grown material",
Electronics Letters 23(9), (1987), 447-448

Gru 90 Gruhle A. and Beneking H.,
"Silicon etched-groove Permeable Base Transistors with 90-nm finger width",
IEEE Electron Device letters 11(4), (1990), 165-166

Gru 91 Gruhle A., Badoz P.A., Chevalier F. et al,
"Silicon etched-groove permable base transistor fabrication with cutoff frequencies above 25 GHz",
Microelectronic Engineering 15, (1991), 27-30

Har 88 Harth W.,
"Microwave semiconductor devices: status and trends",
Mikrowellenmagazin 14(2), (1988), 106-116

Har 92 Hardtdegen H., Hollfelder M. Meyer R. et al,
"MOVPE growth of GaAs using a N_2 carrier"
Journal of Crystal Growth 124 , (1992), 420-426

Hay 86 Hayes J.R. and Levi A.F.J.,
"Dynamics of extreme nonequilibrium electron transport in GaAs",
IEEE J. 22, (1986), 1744-1752

Hei 86 Heinecke H., Brauers A., Grafahrend F. et al,
"Selektive Growth of GaAs in the MOMBE et MOCVD systems",
Journal of Crystal Growth 77, (1986), 303-309

Hen 87 Henry L., Vaudry C. and Granjoux P.,
"Novel process for integration of optoelectronic devices using reactive ion etching without chlorinated gas",
Electronics Letters, 23(24), (1987), 1253-1254

Hes 88 Hess K. and Iafrate G.J.,
"Theory and Applications of Near Ballistic Transport in Semiconductors",
Proceedings of the IEEE 76(5), (1988), 519-532

Hes 90 Hess K.,
"Supercomputer Images of Electron Device Physics",
Physics Today, (February 1990), 34-54

Hol 85 Hollis M.A., Nichols K.B., Murphy R.A. et al.,
"Reproducible fabrication of high-performance GaAs permeable base transistors",
IEDM Tech. Dig., Dec, (1985), 102-105

Hol 87 Hollis M.A., Nichols K.B., Murphy R.A. et Bozler C.O.,
"Advance in the technology for the permeable base transistor",
SPIE Advanced Processing of Semiconductor Devices 797, (1987), 335-347

How 85 Howes M.J. and Morgan D.V.
"Gallium Arsenide: Materials, Devices and Circuits",
Chapter 4: "Etching and Surface Preparation of GaAs for Device Fabrication",
Wiley-Interscience-Publication, New York, 1985

Jon 90 Jones S.H., Seidel L.K., Lau K.M. and Harold M.,
"Patterned substrate epitaxy surface shapes",
Journal of Crystal Growth 108, (1990), 73-88

Kam 92 Kamp M.,
"Metallorganische Molekularstrahlepitaxie im Heterosystem GaAs/AlGaAs",
Dissertation, RWTH Aachen, 1992

Kay 91 Kayser O.,
"Selektive Epitaxie von InP und GaInAs im metallorg. Depositionssystem",
Dissertation, RWTH Aachen, 1991

Koh 83 Kohn E., Mishra U. and Eastman L.F.,
"Short-Channel Effects in 0.5-µm Source-Drain Spaced Vertical GaAs FET's - A First Experimental Investigation",
IEEE Electron Device Letters 4(4), (1983), 125-127

Kre 86 Kreskovsky J.P., Meyyappan M. and Grubin H.L.,
"The Moments of the Boltzmann Transport Equation as Applied to the Gallium Arsenide Permeable Base Transistor",
in 'Proceedings of the first International Workshop on the Numerical Modeling of Semiconductors',
ed. by Miller J.J.H., (Boole, Dublin, Ireland, 1986), p. 99-105

Lan 92 Langen W.,
"Herstellung und Charakterisierung des selektiv gewachsenen Permeable Base Transistors",
Diplomarbeit, RWTH Aachen, April 1992

Law 89 Law V.J. and Jones G.A.C.,
"Obtaining high etch rates of $GaAs/Al_{0.7}As_{0.3}$ using methane:hydrogen MORIE and organic photoresist masks"
Semicond. Sci. Technol. 4 (1989) 833-835

Lee 81 Lee C.P., Welch B.M. and Fleming W.P.,
"Reliability of AuGe/Pt and AuGe/Ni ohmic contacts on GaAs",
Electronics Letters 17(11), (1981), 407f

Lus 91 Lustig N., Muramkami M., Norcott M et al,
"Low Au content thermally stable NiGe(Au)W ohmic contacts to n-type GaAs",
Appl. Phys. Lett. 58(19), (1991), 2093-2095

Lüt 91 Lüth H.,
"Elektronisches Bauelement und Verfahren zu dessen Herstellung",
Europäische Patentanmeldung 91101433.0

Maj 90 Majidi-Ahy R., Yi-Ching Pao,
"Varian achieves 5-100 GHz MMIC distributed amplifier",
GaAs News 6(3), (1990), 4-5

Mal 76 Maloney T.J. and Frey J.,
"Frequency Limits of GaAs and InP Field-Effect Transistors at 300 K and 77 K with Typical Active Layer Doping",
IEEE Trans. Electron Devices 23, (1976), 519

Mar 93 Marso M.,
priv. Mitteilung,
Inst. für Schicht- und Ionentechnik, KFA Jülich

Mas 91 Masuhara T., Itoh K., Seki K. and Sasaki K.,
"VLSI Memories: Present Status and Future Prospects",
IEICE Transactions E 74(1), (1991), 130-141

May 92 May ,
priv. Mitteilung,
Ferd. Braun Inst., Berlin

Mer 87 Fa. E. Merck, Merck Electronic Chemicals Photoresists
"Selectilux^R HTR 3, Photo Sensitive Polyimide Precursor",
EM Industries, Inc, Darmstadt 1987, (1-35)

Mey 88 Meyyappan M., Kreskovsky J.P. and Grubin H.L.,
"Scaling, material, and design characteristics of the permeable base transistor",
J. Appl. Phys. 64(9), (1988), 4733-4750

Mil 80 Miller D.C.,
"The alloying of Gold and Gold alloy ohmic contact metallizations with Gallium Arsenide"
J. Electrochem. Soc.: SOLID-STATE SCIENCE AND TECHNOLOGY,
127(2), (1980), 467-475

Mör 91 Mörsch G.,
"Zum Einbau von Kohlenstoff aus gasförmigen Quellen bei der MOMBE von GaAs",
in: Berichte d. Forschungszentrums Jülich, Inst. f. Schicht- und Ionentechnik (1991), Jül-2506

Mor 78 Mori Y. and Watanabe N.,
"A New Etching Solution System, H_3PO_4-H_2O_2-H_2O, for GaAs and Its Kinetics",
J. Electrochem. Soc.: Solid-State Science and Technology, (September 1978), 1510-1514

Mor 92 Moritz H.,
"Elektronenspektroskopische Untersuchungen von Eisensilizid/Silizium-Heterostrukturen",
Dissertation RWTH Aachen, 1992

Mou 90 Mouis M., Letourneau P. and Vincent G.,
"Frequency perfomances of MOS compatible silicon permeable base transistors and comparison with simulation results",
Proceedings of the 20th ESSDERC (IOP Publishing. ltd), Nottingham, A.Hilger Bristol, (1990), 37-40

Ngu 92 Nguyen L.D., Brown A.S., Thompson M.A. and Jelloian L.M.,
"50-nm Self-Aligned-Gate Pseudomorphic AlInAs/GaInAs High Elecron Mobility Transistors",
IEEE Transactions on Electron Devices 39(9), (1992), 2007-2014

Nig 85 Niggebrügge U., Klug M., Garus G.,
"A novel process for reactive ion etching on InP, using CH_4/ H_2"
Gallium Arsenide and Related Compounds (Inst. Phys. Conf. Ser. 79 Ch 6, (1985) 367-372)

Nis 75 Nishizawa J.-I., Terasaki T. and Shibata J.,
"Field-Effect Transistor Versus Analog Transistor (Static Induction Transistor)",
IEEE Transactions on Electron Devices 22(4), (1975), 185-197

Oga 79 Ogawa M.,
"Alloying behaviour of Ni/Au-Ge films on GaAs"
J. Appl. Phys 51(1), (1980), 406-412

Ohm 79 Ohmi T.,
"Power Static Induction Transistor Technology",
International Electron Devices Meeting, Technical Digest, Washington DC, 3.-5., (Dec 79), 84-87

Ohm 80 Ohmi T.,
"Punching Through Device and Its Integration - Static Induction Transistor",
IEEE Transactions on Electron Devices 27(3), (1980), 536-545

Osm 83 Osman M.A., Navon D.H., Tang T.W. and Sha L.,
"Improved Design of the Gallium Arsenide Permeable Base Transistor",
IEEE Transactions on Electron Devices 30(10), (1983), 1348-1354

Pab 92 Pabst M.* und Lugli P.,
priv. Mitteilung,
*Inst. für Schicht- und Ionentechnik, KFA Jülich

Pol 92 Pollentier I., Buydens L., van Daele P. and Demeester P.,
"Heteroepitaxial or epitaxial lift-off approach for future optoelectronic GaAs MESFET/InP optical switch integration ?",
Proceedings of the 22nd European Solid State Device Research Conference, Leuven Sept 1992 in: Microelectronic Engineering 19, (1992), 207-210

Rat 84 Rathman D.D., Vojak B.A., Astolfi D.K. and Stern L.A.
"The Effect of Base-Schottky Geometry on Si PBT Device Performance",
IEEE Electron Device Letters 6(5), (1984), 191-193

Rat 90 Rathman D.D.,
"Optimization of the Doping Profile in Si Permeable Base Transistors for High-Frequneca, High-Voltage Operation",
IEEE Transactions on Elekctron Devices 37(9), (1990), 2090-2098

Reg 87 Regan R.J., Butler S.J., Armiento C.A. and Rock F.C.,
"Static Induction Transistors: HF to X Band",
Microwave Journal Dedham 30(9), 1987, 175-200

Ren 91a Ren F., Abernathy C.R. and Pearton S:J.,
"Novel carbon-doped p-channel GaAs metal-semiconductor field-effect transistor grown by metalorganic molecular beam epitaxy",
J. Appl. Phys. 70(5), (1991), 2885-2886

Ren 91b Ren F., Fullowan T.R., Lothian J., Wisk P.W. et al,
"Stability of carbon and beryllium-doped base GaAs/AlGaAs heterojunction bipolar transistor",
Appl. Phys. Lett. 59(27), (1991), 3613-3615

Ric 69 Richman P.,
"Modulation of space-charge-limited current flow in insulated-gate field-effect tetrode",
IEEE Trans. Electron Devices 16, (1969), 759-766

Ric 83 Rice J.R.,
"Numerical Methods, Software, and Analysis",
McGraw-Hill Book Company, Intern. Student Edition, 1983

Ric 91 Richter A., Steiner P., Kozlowsky F. and Lang W.,
"Current Induced Light Emission from a Porous Silicon Device",
Electron Device Letters 12, (1991)

Ruc 72 Ruch J.G.,
"Electron Dynamics in Short Channel Field-Effect Transistors",
IEEE Transactions on Electron Devices 19(5), (1972), 652-654

San 62 Sangster R.C.,
"Model studies of Crystal growth phenomena in the III-V semiconducting compounds"
in: "Compound semiconductors" ec. R.K. Willardson, H.L. Goering
Vol. 1 (Reinhold, New York, 1962) 241

Sch 92 Schüppen A.,
"Silizium Permeable Base Transistoren mit vergrabenem $CoSi_2$-Gate",
Dissertation, RWTH Aachen, 1992

Shu 76 Shur M.,
"Influence of Nonuniform Field Distribution on Frequency Limits of GaAs Field-Effect Transistors",
Electronics Letters 23(12), (1976), 615-616

Sta 91 Stassen R.,
"Einsatz eines Mikrowellen-Spitzenmeßplatzes zur Charakterisierung von Transistoren direkt auf dem Wafer im Frequenzbereich von 0,045 bis 26,5 GHz",
Diplomarbeit: RWTH Aachen - Inst. f. Schicht- und Ionentechnik, Berichte des Forschungszentrum Jülich Nr. 2459 (1991)

Sze 81 Sze A.M.,
"Physics of Semiconductor Devices",
Wiley-Interscience Publication, New York, 1981, 2nd edition

Tes 64 Teszner S. and Gicquel R.,
"Gridistor - A New Field-Effect Device",
Proceedings of the IEEE, December, (1964), 1502-1530

Tie 85 Tietze U. und Schenk Ch.,
"Halbleiter-Schaltungstechnik",
Springer Verlag Berlin Heidelberg New York Tokyo 1985, 7. Auflage

Vid 79 Vidimari F.,
"Improved ohmic properties of Au-Ge contacts to thin n-GaAs layers alloyed with an SiO_2-overlayer",
Electronics Letters 15(21), (1979), 674-676

Voj 83 Vojak B.A. and Alley G.D.,
"A comparison of etched-geometry and overgrown silicon permeable base transistors by two-dimensional numerical simulations",
IEEE Trans. Electron Devices, 30(8), (1983), 877-883

Voj 84 Vojak B.A., McClelland R.W. Lincoln et al,
"A Self-Aligned Dual-Grating GaAs Permeable Base Transistor",
IEEE Electron device Letters 5(7), (1984), 270-274

Wat 50 Watanabe Y. and Nishizawa J.,
Japan Patent 205068 (1950)

Weg 59 Wegener H.A.R.,
"The Cylindrical Field-Effect Transistor",
IRE Transactions on electron devices 6, (1959), 442-449

Wei 89 Weinzierl S. and Krusius J.P.,
"Optimization of the Design of the Heterojunction Vertical Field Effect Transistor Using a Two-Dimensional Self-Consistent Monte Carlo Method",
Proceedings IEEE: Conference on Advanced Concepts in High Speed Semiconductor Devices and Circuits, (August 1989), 237-245

Wil 84 Williams R.E.,
Gallium Arsenide Processing Techniques,
Dedham: ARTECH HOUSE INC.,1984

Yam 75 Yamaguchi K., Toyabe T. and Kodera H.,
"Two-dimensional Analysis of Vertical Junction Gate FET's",
Supplement to Japan. Journal of Appl. Physics 15, (1976), 163-168

Zhu 84 Zhu X.C., Zhang X.N., v.d.Ziel A.and Bozler C.O.,
"Low Frequency Noise in Permeable Base Transistors",
IEEE Transactions on Electron Devices **31**(10), (1984), 1408-1413

Zul 67a Zuleeg R.,
"A Silicon Space-Charge-Limited Triode and Analog Transistor",
Solid State Electronics **10**, (1967), 449-460

Zul 67b Zuleeg R.,
"Multi-Channel Field-Effect Transistor Theory and Experiment",
Solid-State Electronics **10**, (1967), 559-576

Danksagung

Die Entwicklung, Herstellung und Charakterisierung eines neuen Transistors umfaßt vielfältige Aufgaben, die nur gelöst werden können, wenn alle beteiligten Mitarbeiter mit ihren speziellen Kenntnissen Hand in Hand arbeiten. Ich möchte mich bei allen Mitgliedern des ISI herzlich bedanken, die durch ihre Arbeit und ihre Anregungen zum Gelingen dieser Aufgabe beigetragen haben. Mein besonderer Dank gilt:

Herrn Prof. Dr. H. Lüth für die Möglichkeit, diese Arbeit an seinem Institut anzufertigen, für seine ständige Unterstützung und für die Freiräume, die er mir gewährte.

Herrn Prof. Dr. B. Lengeler für die Übernahme des Korreferats.

Herrn Dr. M. Kamp, Herrn Dipl.-Phys. G. Mörsch und Herrn Dipl. Phys. F. König für die Herstellung der MOMBE-Schichten und für die kritische Durchsicht dieser Arbeit.

Frau Dr. H. Hardtdegen, Herrn Dipl.-Phys. R. Meyer, Herrn M. Hollfelder und Herrn K. Wirtz für das selektive Überwachsen mittels MOVPE

Herrn Dr. M. Marso für numerische Simulationen und - sowie Herrn Dr. A. Schüppen - für zahlreiche Diskussionen und technologische Hilfen

Herrn Dr. M Pabst und Herrn Prof. Dr. P. Lugli für Monte-Carlo Simulationen

Herrn R. Euler für CV- und differentielle Hall-Messungen

Herrn Dipl.-Ing. A. Fox für die Hochfrequenzmessungen

Herrn Dipl.-Ing. H.P. Bochem für die Sekundärelektronenmikroskopie

Herrn Dipl.-Ing. F. Ringelmann für die Unterstützung an der RIE-Anlage und bei den verschiedenen Ätzprozessen

Herrn J. Zillikens für die Elektronenstrahlverdampfung

Herrn Dr. A.v.d. Hart, Frau M. Nonn und Frau C. Flörke für die Erstellung der Masken mit dem Elektronenstrahlschreiber

Herrn Dipl.-Ing. A. Steffen und Herrn Dipl.-Ing. F. Schroeteler für ihre technische Unterstützung im Reinraum

FORSCHUNGSZENTRUM JÜLICH GmbH

KFA

Jül-2783
Juni 1993
ISSN 0944-2952